

Circuitos Electrónicos Digitales (CED-ISW) 2018-19

Boletín 2: Análisis y diseño de Circuitos Combinacionales

Problema 1

A partir de las tablas de verdad de las siguientes funciones, obtenga las expresiones algebraicas de dichas funciones y los circuitos lógicos que las realizan:

a)

X	Y	F1	F2	F3
0	0	1	0	1
0	1	0	1	1
1	0	1	1	1
1	1	0	0	0

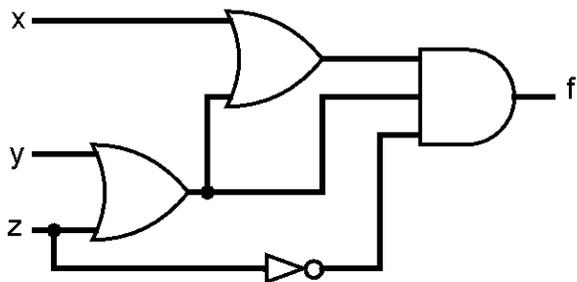
b)

X	Y	Z	F4	F5	F6	F7	F8	F9
0	0	0	0	1	0	1	1	1
0	0	1	1	0	0	1	0	0
0	1	0	0	0	0	1	1	1
0	1	1	0	1	0	0	0	0
1	0	0	0	1	1	1	1	1
1	0	1	1	1	1	1	1	0
1	1	0	0	0	0	1	1	1
1	1	1	0	0	0	1	1	0

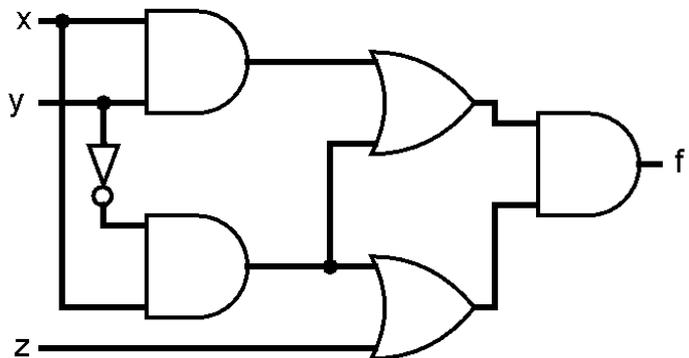
Problema 2

Analice los siguientes circuitos y obtenga sus expresiones algebraicas normalizadas (sp o ps):

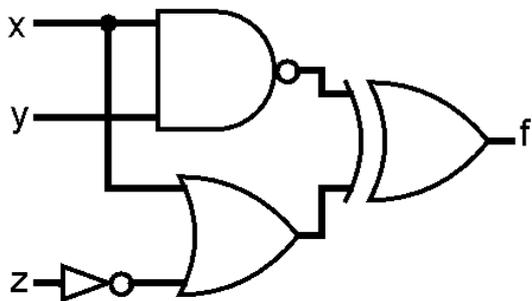
a)



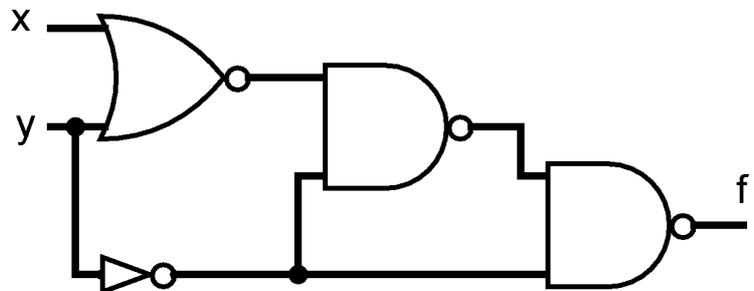
b)



c)

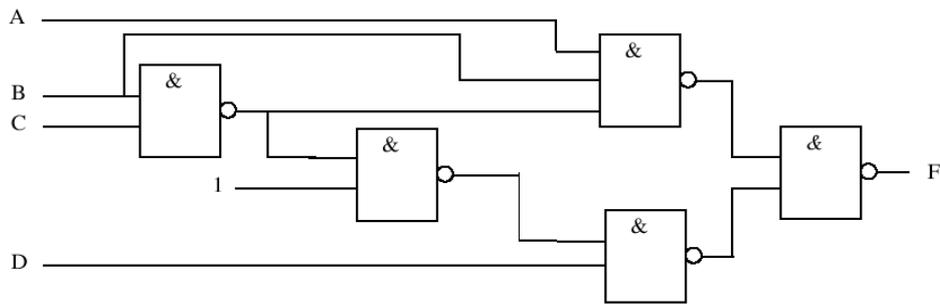


d)

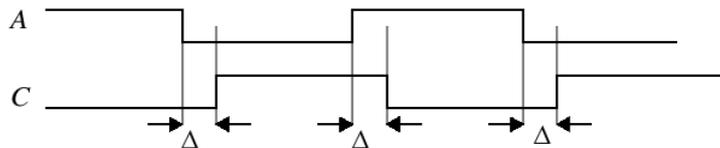


Problema 3

En el circuito de la figura, todas las puertas introducen el mismo retardo de valor Δ .



- Obtenga el mapa de $F(A, B, C, D)$.
- Considerando el retraso, determine la forma de onda de F si $A = B = D = 1$ y C cambia periódicamente.
- Igual que (b), si $A = C = D = 1$ y B cambia periódicamente.
- Igual que (b), si $B = D = 1$ y A y C son como las representadas:



- Interpretar los resultados obtenidos en los apartados (b), (c) y (d).

Problema 4

Utilizando el mapa de Karnaugh, determine las relaciones mínimas en suma de productos y producto de sumas de las siguientes funciones. Implemente igualmente, un circuito mínimo en dos niveles.

- $F(X, Y, Z, U) = \sum(3, 4, 7, 8, 10, 11, 12, 13, 14)$
- $F(X, Y, Z, U) = \sum(0, 4, 6, 7, 10, 12, 13, 14)$
- $F(A, B, C, D) = \prod(3, 5, 7, 11, 13, 15)$
- $F(X, Y, Z, U) = \sum(0, 1, 3, 6, 9, 11, 12, 13, 15)$
- $F(X, Y, Z, U) = \sum(0, 2, 3, 4, 5, 7, 8, 9, 13, 14, 15)$
- $F(A, B, C, D) = \prod(0, 3, 4, 6, 7, 11, 13, 14, 15)$
- $F(A, B, C, D, E) = \sum(0, 2, 5, 7, 13, 15, 16, 18, 26, 29, 31)$
- $F(X, Y, Z, U) = \sum(0, 1, 2, 4, 6, 8, 9, 12, 13, 14)$

Problema 5

Diseñe de forma óptima, un circuito que genere la función F y cuya realización sea en dos niveles:

- $F = \sum(1, 2, 7, 8, 19, 20, 25) + d(10, 11, 12, 13, 14, 15, 26, 27, 28)$
- $F = \sum(1, 2, 5, 6, 9) + d(10, 11, 12, 13, 14, 15)$
- $F = \sum(0, 2, 5, 7, 13, 15, 16, 18, 26, 29, 31) + d(20, 24, 28)$
- $F = \sum(13, 15, 17, 18, 19, 20, 21, 23, 25, 27, 29, 30, 31) + d(1, 2, 12, 24)$
- $F = \sum(0, 4, 6, 8, 9, 12, 13, 14, 15, 18, 22, 26, 28, 30, 31)$
- $F = VX'YZ + VWXY' + VWYZ' + V'WXY' + VWX'Y + V'XYZ' + VWX'Y'$
- $F = \sum(0, 3, 5, 8, 10, 11, 14)$
- $F = \prod(2, 3, 6, 13, 15, 19, 20, 22, 25, 26, 27, 28, 29) \cdot d(0, 7, 12, 18, 24)$

Problema 6

Las normas de seguridad de los modernos aviones exigen que para señales de vital importancia para la seguridad del aparato, los circuitos deben estar triplicados para que el fallo de uno de ellos no produzca una catástrofe. En caso de que los tres circuitos no produzcan la misma salida, ésta se escogerá mediante votación. Diseñe el circuito "votador" que ha de utilizarse para obtener como resultado el valor mayoritario de las tres entradas.

Problema 7

Sea F una función de un dígito BCD y de una entrada de control X . F vale "1" en los siguientes casos:

- Si $X = 1$ y el número BCD es múltiplo de 3.
- Si $X = 0$ y el número BCD tiene una cantidad impar de unos.

Implemente F como un circuito en dos niveles utilizando puertas NAND.

Problema 8

Se pretende diseñar un circuito combinacional que tenga como entrada un número BCD natural y como salida la parte entera del cociente de su división por 3. Se pide:

- Expresar las funciones mínimas de salida como suma de productos y como productos de sumas.
- Obtener las expresiones correspondientes a cada una de las anteriores, realizadas con un sólo tipo de puerta y representar el circuito correspondiente a la mínima de estas expresiones.

Problema 9

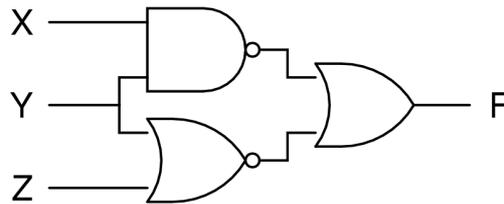
Realice la función F:

$$F = AB'CD + ABC'E + AB'CE + A'BC'E + A'B'CE' + A'BCD' + A'BCD' + AB'C'E$$

- Con puertas NAND.
- Con puertas NOR.

Problema 10

Rediseñe el circuito de la figura utilizando exclusivamente puertas NAND:



Problema 11

Suponga que los números entre 0 y 15 están representados en binario con cuatro bits: X3-X0, donde X3 es el bit más significativo. Diseñe un circuito que de salida Z = 1 si y sólo si el número X3-X0 es primo. Base su diseño en la obtención de una expresión mínima en dos niveles para Z.

Problema 12

Las cuatro líneas de entrada de un circuito combinacional corresponden a un número natural codificado en binario natural. Diseñe un circuito en dos niveles que sirva para detectar cuándo un número es una potencia de dos.

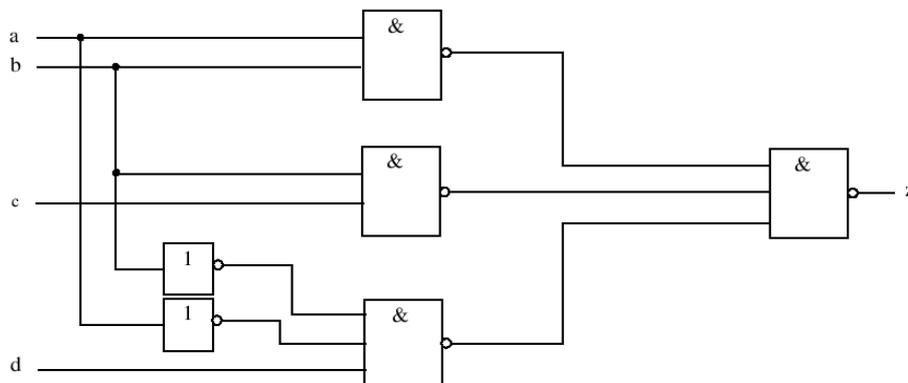
Problema 13

Se tiene una palabra de 5 bits: los 4 últimos bits representan un dígito BCD y el primero es un bit de paridad impar. Obtenga la tabla de verdad (o el K-mapa) de las funciones siguientes:

- F1; se hará "1" para valores de entrada que no correspondan con dígitos BCD.
- F2; se hará "1" para palabras con paridad incorrecta.

Problema 14

En el diseño de la función $F = \prod(4, 5, 6, 7, 8, 9) \cdot d(0, 2, 13, 15)$, se ha dado como solución el circuito de la figura (las variables están en único raíl):



- Determine, si los hay, todos los errores de la solución y corríjalos.
- Para el circuito de la figura, dibuje la forma de onda de salida si b es una señal periódica de frecuencia 20 MHz y acd = 011 se mantienen constantes, suponiendo que todas las puertas poseen un tiempo de retraso de 5ns.

Problema 15

Diseñe, de manera eficiente, un circuito que reciba como entrada un número entero entre 2 y 20 y que genere las siguientes salidas a partir del mismo (activas en alto):

- La salida T debe activarse si el número es múltiplo de 3.
- La salida P debe activarse si el número es primo.

Por último, añada al diseño anterior la circuitería necesaria para dotarlo de 2 salidas más (activas en bajo):

- La salida I debe activarse si el número es impar.
- La salida C debe activarse si el número es múltiplo de 4.

Problema 16

Considere la función $f(X, Y, Z, T) = (Y + Z + T) \cdot ZT + (X + Y + T) \cdot (X + Y + Z)$

- Represente la función mediante un K-mapa.
- Expresé la función como suma de minterminos.
- Expresé la función como producto de maxtérminos.
- Expresé la función como suma de productos mínima.
- Expresé la función como producto de sumas mínimo.
- Diseñe un circuito que implemente la función utilizando puertas lógicas.

Problema 17

Diseñe con puertas lógicas un circuito combinacional que reciba cuatro entradas (a, b, c, d) y genere dos salidas (f, g) de la siguiente forma:

- Si $a = 0$: $f = 0$; $g = 1$.
- Si $a = 1$: $f =$ paridad impar (b, c, d); $g =$ mayoría (b, c, d).

Problema 18

La directiva de un equipo de fútbol está compuesta por 4 miembros: el presidente y 3 directivos. Las decisiones se toman por mayoría; siendo el voto del presidente decisivo en caso de empate. Por último, la esposa del presidente tiene la potestad de cambiar la decisión de la directiva si lo desea. Diseñe un circuito combinacional óptimo que resuelva dicha votación utilizando puertas.

Problema 19

Diseñe un circuito combinacional que detecte un error en la representación de un dígito decimal en BCD.

Problema 20

Diseñe un circuito combinacional que multiplique por cinco una entrada de un dígito decimal representado en BCD. La salida debe representarse también en BCD. Compruebe que las salidas pueden obtenerse de las líneas de entrada sin usar ninguna puerta lógica.

Problema 21

Diseñe un circuito combinacional cuya entrada sea un número de cuatro bits, y cuya salida sea el complemento a 2 del número de entrada.

Problema 22

Se pretende diseñar un circuito comparador de 2 números de 2 bits, $A=(a_1, a_0)$ y $B=(b_1, b_0)$. Dicho circuito deberá tener tres salidas M (Mayor), I (Igual), m (menor), de tal forma que:

- $M=1 \Leftrightarrow A > B$
- $I = 1 \Leftrightarrow A = B$
- $m=1 \Leftrightarrow A < B$

Diséñese exclusivamente con puertas NOR.

Problema 23

Diseñe el circuito de alarma de un coche de dos puertas de tal forma que haga sonar la alarma cuando:

- Las puertas estén cerradas, el motor apagado y se abra el maletero.
- El motor esté en marcha, las puertas cerradas y el maletero abierto.
- El freno de mano quitado, el motor encendido y alguna de las puertas abiertas.

Problema 24

Una lámpara situada en el exterior de una casa se ilumina cuando su señal de excitación está en nivel bajo. Esta señal

de activación está controlada por un circuito de cuatro entradas:

- x_1 : orden de encender la lámpara (activa en bajo)
- x_2 : orden de desconectar el sistema de encendido de la lámpara (activa en bajo)
- x_3 : orden de emergencia (activa en bajo)
- x_4 : aviso del estado de la luz de la calle: "1" si es de día, "0" si es de noche

La lámpara debe iluminarse cuando haya orden de encenderla, el estado de la luz exterior sea el apropiado y no haya inhibición (no haya orden de desconectarla), excepto si hay emergencia, en cuyo caso se ilumina independientemente de las otras señales. Diseñe el circuito de control del encendido de la lámpara.

Problema 25

Un sistema de iluminación emplea lógica de control binaria para una determinada luminaria. Esta luminaria está en una intersección en forma de T en un vestíbulo. Hay un conmutador para esta luz en cada uno de los tres puntos del final de la T. Estos interruptores tienen salidas binarias 0 y 1 dependiendo de su posición, y se nombran x_1 , x_2 y x_3 . La luz se controla mediante un amplificador conectado a un tiristor. Cuando Z, la entrada del amplificador, está a 1, la luz se enciende, y cuando está a 0, la luz se apaga. Debe encontrar una función $Z(x_1, x_2, x_3)$ de modo que si cualquiera de los interruptores cambia, el valor Z cambia pasando la luz de estar encendida a apagada o viceversa.

Problema 26

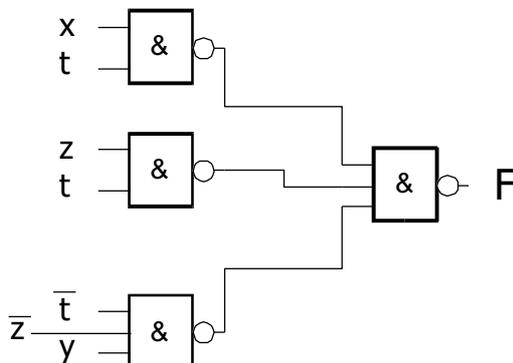
Considere un circuito que reciba como entrada un número binario de **4 bits** (dicho número será siempre de tipo natural, es decir, mayor que **0**). El circuito debe activar una salida **F** cuando el número coincida con alguno de la sucesión de **Fibonacci**. Realice un diseño eficiente de dicho circuito utilizando exclusivamente puertas **NOR** (considere raíl doble).

Nota: recuerde que la sucesión de **Fibonacci** comienza con los números **1 y 1**, y a partir de estos, cada término es la suma de los dos anteriores. Es decir:

1, 1, 2, 3, ...

Problema 27

Como jefe de producción de su empresa, usted ha encargado a su equipo un circuito que implemente la siguiente función lógica: $F(x,y,z,t) = \prod(1,2,5,6,9,13) \cdot d(0,7,8,15)$. Su equipo le propone la siguiente solución:



Indique qué errores posee este diseño para obtener F y corrijalos de forma que el diseño sea óptimo.

Circuitos Electrónicos Digitales (CED-ISW) 2018-19

Boletín 3: Subsistemas Combinacionales

Problema 1

Realice la función $f = \Sigma(0, 3, 6)$ con los siguientes componentes:

- Utilizando un decodificador con salidas activas en nivel alto y puertas OR.
- Utilizando un decodificador con salidas activas en nivel bajo y puertas AND.
- Utilizando un decodificador con salidas activas en bajo y puertas NAND.
- Con un decodificador con salidas activas en alto y puertas NOR.

Problema 2

Realice las siguientes funciones haciendo uso de los dispositivos que se dan en cada uno de los apartados:

- Utilizando un decodificador con salidas activas en nivel alto y puertas OR.
- Utilizando un decodificador con salidas activas en nivel bajo y puertas AND.
- Utilizando un decodificador con salidas activas en bajo y puertas NAND.
- Utilizando un decodificador con salidas activas en alto y puertas NOR.

$$F1 = \Sigma(0, 9, 11, 15) + d(1, 2, 3)$$

$$F2 = \Pi(0, 3, 5) \cdot d(1, 2)$$

$$F3 = \Pi(1, 3, 4, 6, 9, 11) \cdot d(7, 12, 14)$$

$$F4 = \Pi(1, 2, 3, 7, 8, 9)$$

Problema 3

Diseñe un circuito que permita multiplicar dos números binarios de dos bits. Para ello, utilice puertas lógicas de dos entradas y un decodificador con salidas activas en alto.

Problema 4

Diseñe un circuito de 4 entradas (a, b, c, d) y 3 salidas (z_2, z_1, z_0) que realice las siguientes funciones:

- z_0 vale 1 cuando tres o más entradas sean 1.
- z_1 vale 1 cuando haya el mismo número de unos que de ceros.
- z_2 vale 0 cuando dos o más entradas sean 1.

Para ello se dispone de:

- Un decodificador con salidas activas en nivel alto y puertas NOR.
- Un decodificador con salidas activas en bajo y puertas NAND.

Problema 5

Se dispone de un decodificador DEC 2:4 con salidas activas en alto y con señal de habilitación activa también en nivel alto. Diseñe, con las mismas características:

- Un DEC 1:2
- Un DEC 3:8
- Un DEC 4:16

Problema 6

Utilizando decodificadores de menos entradas que el dado, proponga varias soluciones para implementar:

- Un DEC 2:4
- Un DEC 3:8
- Un DEC 4:16

Indique en cada apartado qué alternativa conduce al menor número de decodificadores.

Problema 7

Implemente un circuito que realice la conversión BCD a Gray utilizando decodificadores y puertas.

Problema 8

Realice las funciones de conmutación siguientes utilizando multiplexores de 4 canales (MUX 4:1)

- $F = \Sigma(0, 1, 3, 4)$
- $F = \Sigma(2, 4, 5, 7)$
- $F = \Sigma(0, 3, 4)$
- $F = \Sigma(1, 2, 3, 6, 7)$

Problema 9

Realice las funciones del ejercicio anterior con: a) MUX-1; b) MUX-3

Problema 10

Realice con multiplexores de dos entradas de selección la función:

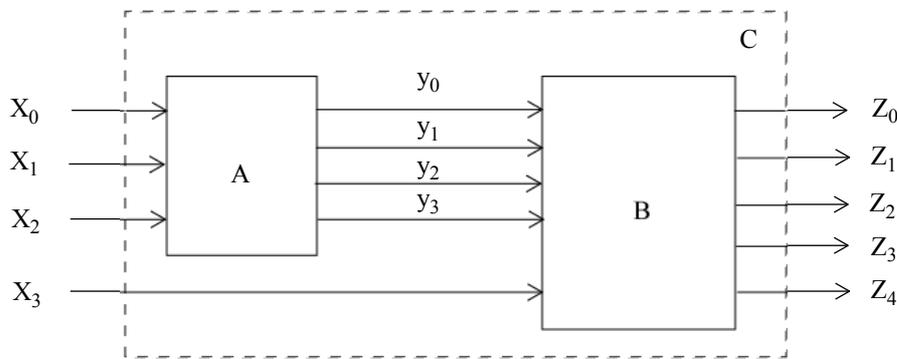
$$F = \Sigma(0,1,3,4,5,6,8,9,10,11,12,15,17,20,22,23,25,28,29,30,31)$$

Problema 11

Un sistema de comunicación se ha diseñado para que transmita uno de los dos códigos binarios de cuatro bits siguientes: CA = 0010 y CB = 1101. Durante la transmisión pueden recibirse perturbaciones que provoquen errores en la comunicación de dichos códigos. Diseñe un circuito con cuatro entradas (el dato de 4 bits) y 3 salidas A, B, C. La salida A se hace igual a 1 si el código recibido es el 0010 o ese mismo código con un error en un bit. La salida B se hará 1 si el código recibido es el 1101 o ese mismo con un error en un bit. La salida C se hace 1 si el código recibido difiere en dos bits de los códigos 0010 y 1101. Diseñe la función A con MUX 2:1, la función B con un decodificador y puertas NAND, y la C con puertas NOR.

Problema 12

El bloque A de la figura pone su salida $y_k=1$ si y sólo si hay k entradas a 1. Diseñe la unidad B para que el bloque completo C ponga $z_j=1$ si y sólo si hay j entradas a 1. Utilice sólo MUX 2:1



Problema 13

Utilizando multiplexores de menos entradas de selección que el dado, se pide:

- a) ¿Cómo implementaría un MUX de 3 entradas de selección?
- b) ¿Cómo implementaría un MUX de 4 entradas de selección?

Problema 14

Implemente la siguiente función multisalida usando un decodificador y puertas:

$$F = \Sigma(0,1,3,7,9,12,15)$$

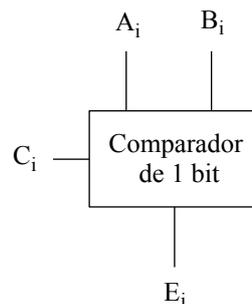
$$G = \Pi(0,1,2,5,6,10,11)$$

$$H = (X_3 + X_2) \cdot (X_2 + X_1 + X_0)$$

Problema 15

La figura muestra un comparador de dos números de 1 bit y su tabla de verdad. Se desea obtener un comparador de números de 6 bits utilizando exclusivamente comparadores de 1 bit. El diseño debe contemplar que el tiempo de retraso no supere $4t_d$, donde t_d es el retraso asociado al comparador de 1 bit.

C_i	A_i	B_i	E_i
0	X	X	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1



Problema 16

Un sistema que mide periódicamente la temperatura de un experimento de laboratorio da la información utilizando números de 4 bits en notación complemento a dos. Diseñe un circuito que detecte el intervalo cerrado de códigos $[-5,4]$

utilizando exclusivamente comparadores de magnitud de cualquier n° de bits y puertas de dos entradas que no sean operadores lógicos universales.

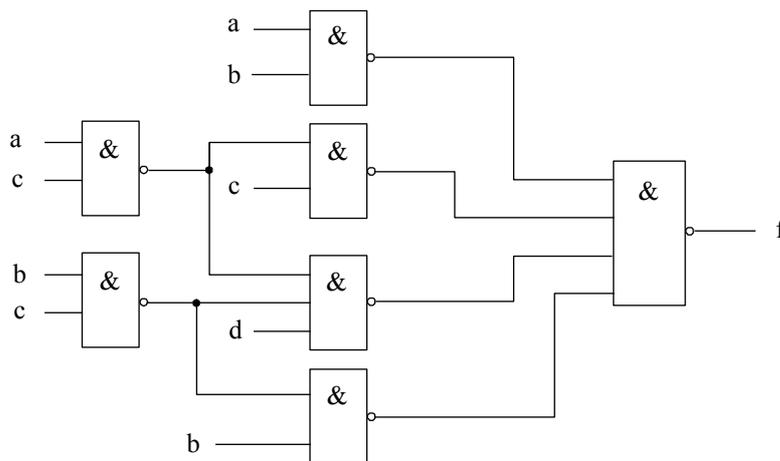
Problema 17.- En un determinado sistema microcomputador, existen 3 subsistemas que procesan la información de forma independiente a través de cuatro fases de operación. Por propósitos de control, es necesario conocer:

- a) Cuándo dos o más subsistemas están en la misma fase.
- b) Cuándo exactamente dos subsistemas están en la misma fase.

Cada subsistema genera una señal de dos bits para indicar en qué fase se encuentra (00,01,10,11). Diseñe un circuito que permita conocer cuándo el conjunto de subsistemas se encuentra en alguna de las dos situaciones posibles.

Problema 18

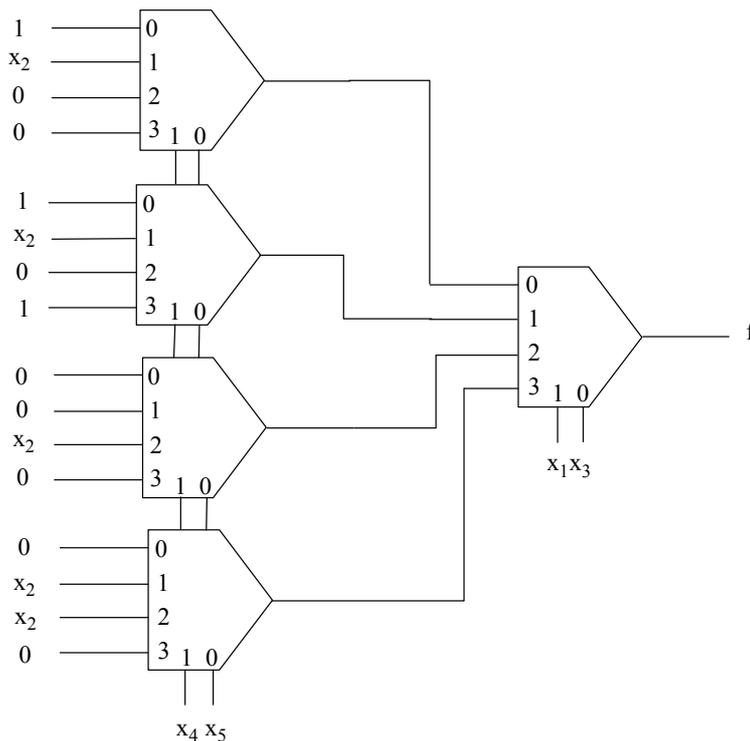
Diseñe un circuito con MUX de 4 canales que realice la función del circuito de la figura:



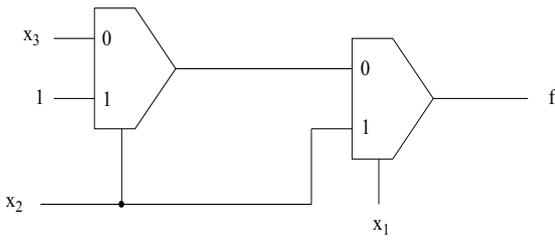
Problema 19

Analice los siguientes circuitos:

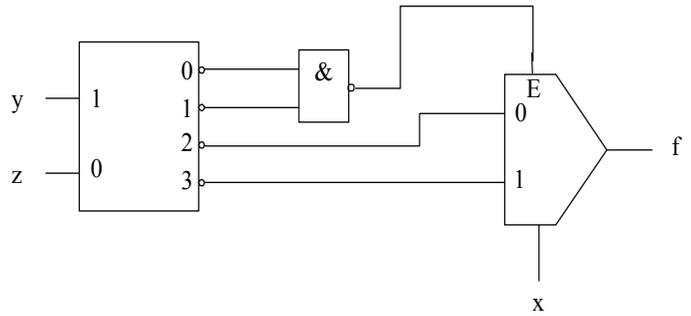
a)



b)



c)

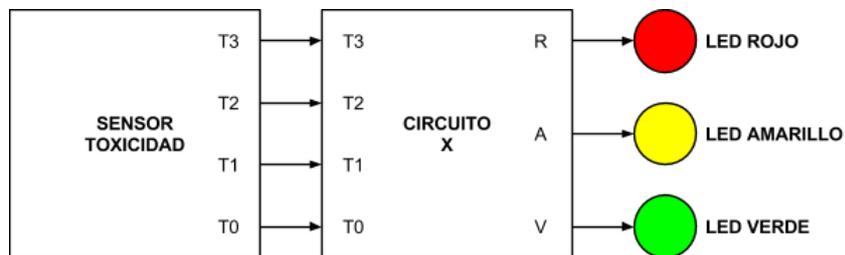


Problema 19

En un laboratorio químico, se desea instalar un sistema de seguridad que alerte de la toxicidad del aire. Para ello se cuenta con un sensor con salida **T** en formato **BCD** (T_3, T_2, T_1, T_0) que indica el grado de toxicidad. A dicho sensor se desea conectar un semáforo (ver figura) que indique de forma luminosa la información suministrada por el mismo:

Verde si $T \leq 4$, Amarillo si $5 \leq T \leq 7$ o Rojo si $T \geq 8$.

Se pide: realice un diseño eficiente del **circuito X** utilizando un decodificador y puertas NAND.



Problema 20

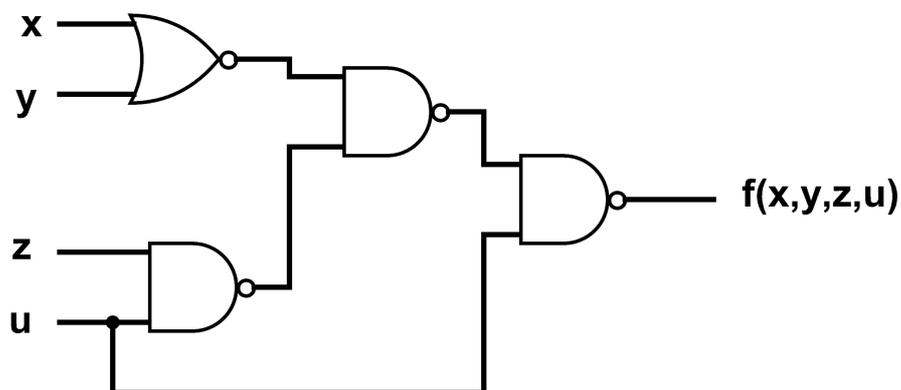
- Muestre la tabla de funcionamiento y diseñe, a nivel de puertas, un DEC2:4 con salidas activas en bajo y ENABLE activo en alto.
- Muestre la tabla de funcionamiento y diseñe, a nivel de puertas, un MUX4:1

Problema 21

Diseñe un convertidor GRAY-BINARIO NATURAL para números de 3 bits. Utilice para ello, un decodificador y el menor número de puertas NOR posible.

Problema 22

Analice el circuito de la figura y diseñe un nuevo circuito que realice esa misma función, pero usando exclusivamente **multiplexores de 2 canales (MUX2:1)**. Considere las variables en **ÚNICO RAIL**



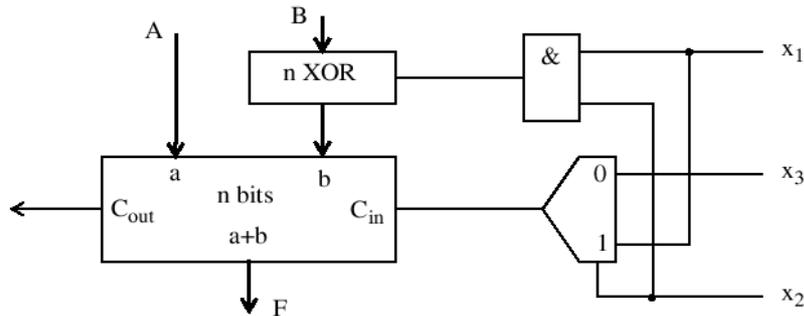
Problema 10

Diseñe un circuito aritmético con dos variables de selección s_1 y s_0 que genere las siguientes operaciones aritméticas. Dibuje el diagrama lógico de una etapa típica.

s_1	s_0	$C_{in} = 0$	$C_{in} = 1$
0	0	$F = A+B$	$F = A+B+1$
0	1	$F = A$	$F = A+1$
1	0	$F = \overline{B}$	$F = \overline{B}+1$
1	1	$F = A+\overline{B}$	$F = A+\overline{B}+1$

Problema 11

En el circuito de la figura hay, entre otros, un sumador paralelo de N bits y un bloque “transfiere/complementa” B (representado por “n XOR”). Describa funcionalmente el circuito. Esto es, represente su operación en forma de tabla y explíquelo verbalmente.



Problema 12

a) Diseñe una ALU de 3 bits que incorpore las operaciones aritmético-lógicas mostradas en la tabla. Debe dar una solución detallada, a nivel de bits. Puede usar como elementos: **sumadores completos de 1 bit, Multiplexores MUX2ⁿ:1 y puertas lógicas.**

S2 S1 S0	OPERACIÓN
0 0 0	$F = A + B + C_{in}$
0 0 1	$F = A + 2B + C_{in}$
0 1 0	$F = A - B$
0 1 1	$F = A - 2B$
1 0 0	$F = A \text{ or } B$
1 0 1	$F = A \text{ exor } B$
1 1 0	$F = A \text{ and } B$
1 1 1	$F = A \text{ nand } B$

b) Para la ALU del apartado anterior, complete la tabla indicando el resultado que se obtiene para los números $A = 011$ y $B = 001$. Debe indicar también los cálculos que ha realizado para encontrar las soluciones.

S2 S1 S0	Cin=0	Cin= 1
0 0 0	F= Cout =	F= Cout =
0 0 1	F= Cout =	F= Cout =
0 1 0	F= Cout =	F= Cout =
0 1 1	F= Cout =	F= Cout =
1 0 0	F= Cout =	F= Cout =
1 0 1	F= Cout =	F= Cout =
1 1 0	F= Cout =	F= Cout =
1 1 1	F= Cout =	F= Cout =

Problema 13

Sean dos números A y B sin signo, de 2 bits cada uno. Realice un circuito que calcule $A - B$ y presente el resultado en notación signo-magnitud. Utilice sólo puertas NAND (variables en doble raíl). Modifique el circuito anterior considerando que las puertas sólo tienen 3 entradas.

Problema 14

Diseñe una ALU que opere con dos números A y B de cuatro bits, con las siguientes operaciones:

S2 S1 S0	OPERACIÓN
0 0 0	$F = A + B + Cin$
0 0 1	$F = A + Cin$
0 1 0	$F = 2A + Cin$
0 1 1	$F = A + /B + Cin$
1 0 0	$F = A \text{ or } B$
1 0 1	$F = A \text{ and } B$
1 1 0	$F = /A$
1 1 1	$F = /B$

Nota: $/A$ y $/B$ representan el Complemento a 1 de A y de B respectivamente

Problema 15

Se desea diseñar un circuito aritmético para trabajar con números de 4 bits en **notación Ca1**. El circuito debe tener las siguientes operaciones:

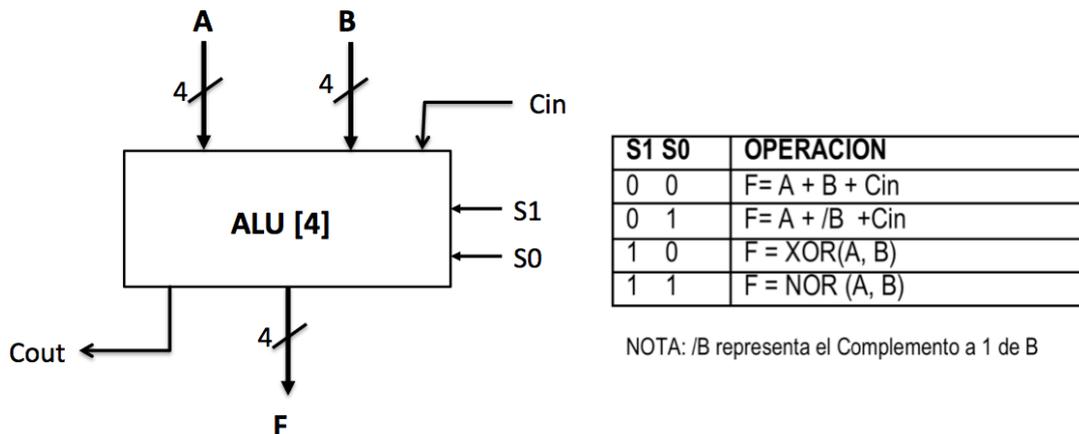
S1 S0	F =	Comentario
0 0	$A + B$	Suma (A más B)
0 1	$A - B$	Resta (A menos B)
1 0	$A + 1$	Incrementa A
1 1	A	Transfiere A

- a) Diseñe el circuito anterior, a nivel de bit (todas las etapas del circuito), con especial atención a las conexiones necesarias para los bits de carry (recuerde que queremos que trabaje con números en notación Ca1)
- b) Suponga que $A = 0011$ y $B = 0100$. Complete la tabla siguiente indicando el resultado de cada operación e indique si se produce desbordamiento (overflow):

Operación	S1 S0	Resultado F=	¿overflow?
A + B			
A - B			

Problema 16

- a) Diseñe una ALU que realice las operaciones indicadas en la tabla:



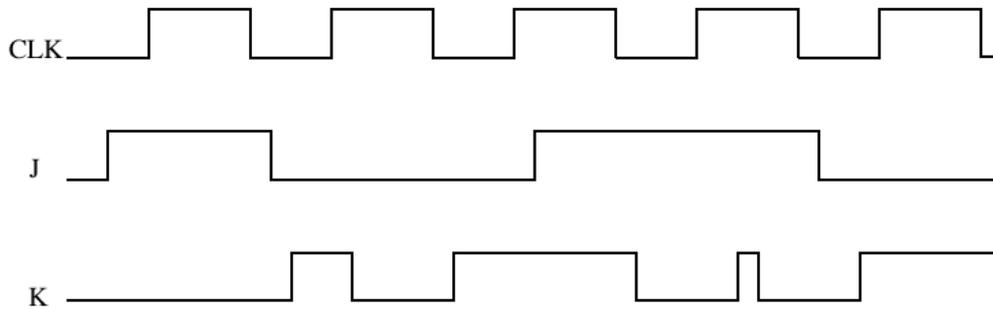
- b) Se desea asociar dos ALUs como la anterior, para trabajar con números de 8 bits. Explique qué habría que hacer para que opere en Notación Complemento a 1.

Circuitos Electrónicos Digitales (CED-ISW) 2018-19

Boletín 5: Análisis y Diseño de Circuitos Secuenciales Síncronos

Problema 1

a) Para las secuencias de entrada de la figura, encuentre la forma de onda de salida para el caso de un biestable JK disparado por flanco negativo.



b) Ídem para el caso de ser disparado por flanco positivo.

Problema 2

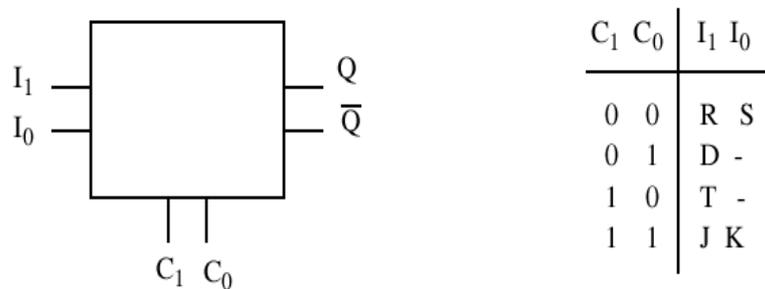
Utilizando biestables JK disparados por flancos de subida, diseñe los biestables T y D.

Problema 3

Tomando como base un biestable RS, obtenga los biestables JK, T y D.

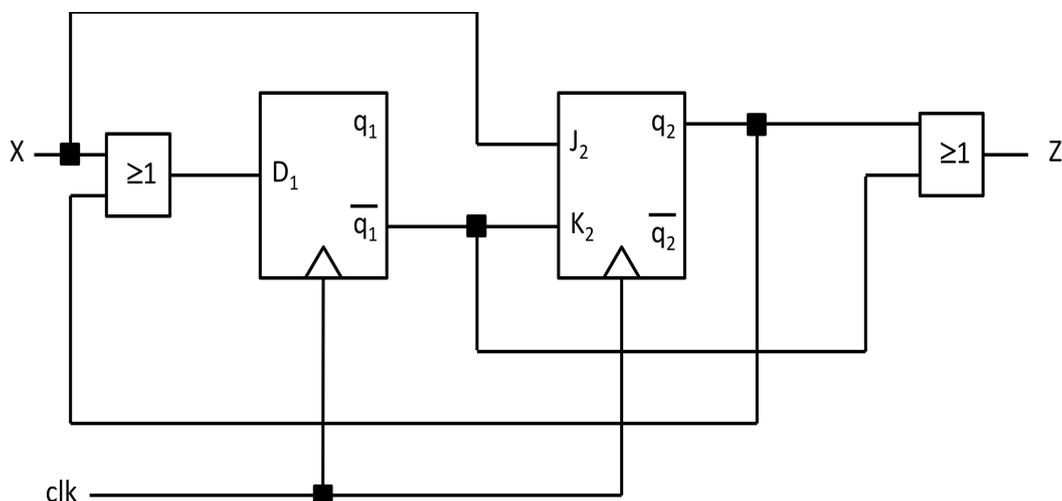
Problema 4

Se pretende construir un circuito como el de la figura, el cual podrá actuar como SR, D, T o JK dependiendo del valor de C_1 y C_0 (ver tabla). Diseñelo utilizando como único elemento de memoria un biestable tipo T.



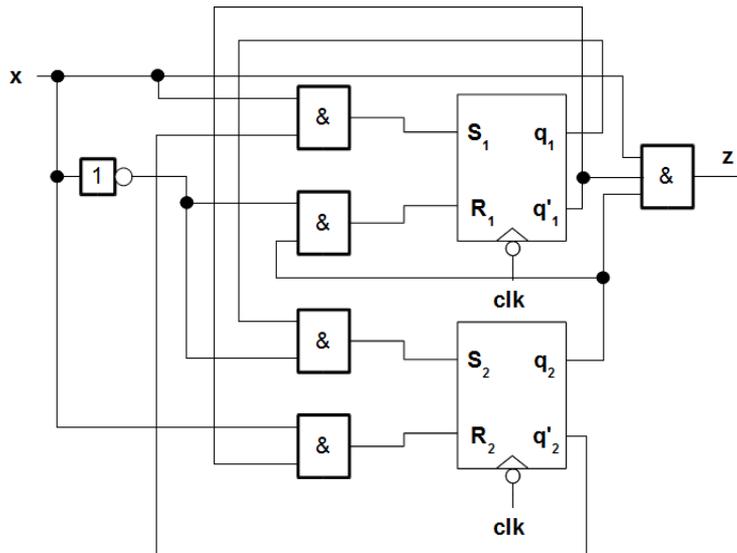
Problema 5

Analice el circuito de la figura:



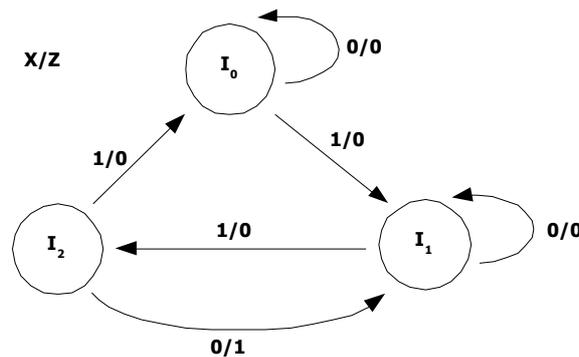
Problema 6

Analice el circuito de la figura:



Problema 7

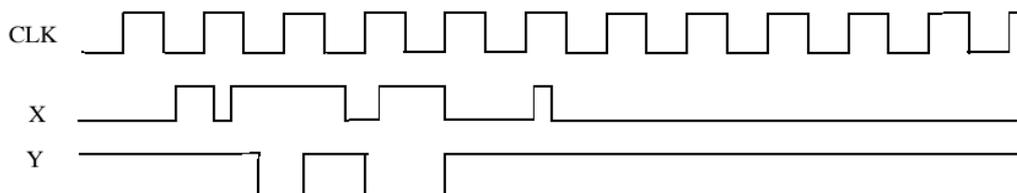
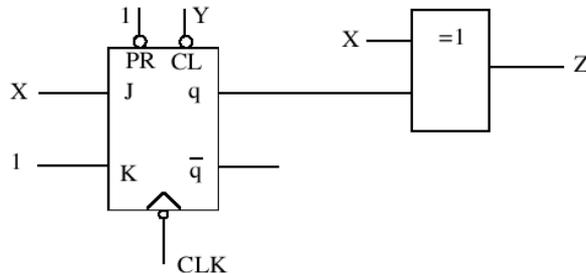
a) Diseñar con biestables JK el circuito secuencial síncrono que implemente este diagrama de estados:



b) Al implementar este diagrama necesitamos dos biestables, con lo cual tendremos cuatro estados posibles. ¿Sabrías decir qué hace el cuarto estado (que no aparece en este diagrama de estados) en tu diseño? Muestra el diagrama de estados completo del circuito que has diseñado y compáralo con el del apartado a).

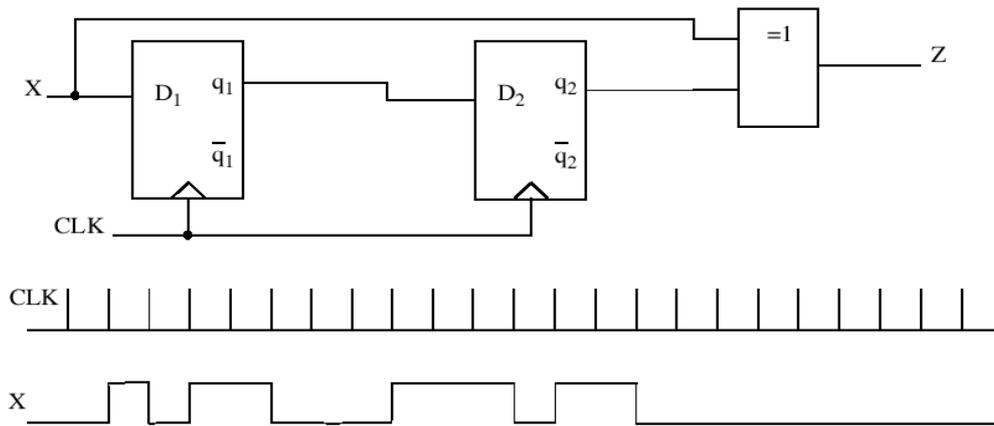
Problema 8

Para el circuito y la secuencia de entrada de la figura, determine la forma de onda de salida. El estado inicial es desconocido. El biestable es disparado por flanco. Justifique las transiciones producidas en la salida.



Problema 9

Analice el circuito de la figura y muestre la secuencia de salida para la secuencia de entrada dada (sólo se muestran los flancos de subida de clk).



Problema 10

Construya la tabla de estados para una máquina de Mealy con una entrada X y una salida Z, que detecte la llegada de tres ceros o tres unos consecutivos, dando una salida Z = 1 coincidiendo con la aparición del tercer bit.

Problema 11

Obtenga el diagrama de estados de un circuito con dos entradas, X e Y, que dé salida Z = 1 cuando en los 4 últimos ciclos de reloj, las entradas hayan sido: 11, 01, 01, 11.

Problema 12

Muestre la tabla de estados (lo más reducida posible) de una máquina secuencial síncrona con una entrada X y una salida Z que opera de la siguiente forma: cuando se detecta la llegada de 110 (primero un 1, después un 1 y después un 0), Z se pone a 1, manteniendo este valor hasta detectar la secuencia 010, en cuyo caso Z pasa a tomar valor 0, manteniendo este valor hasta que llegue una nueva secuencia 110.

Problema 13

Un circuito secuencial tiene una entrada X y una salida Z. Por X se transmiten pulsos positivos de 1, 2 ó 3 ciclos de duración. De un pulso al siguiente, X permanece a 0 un mínimo de 10 ciclos. La salida Z se pondrá a 1 tras terminar el pulso de entrada y permanecerá a 1 durante 3 ciclos si el pulso de X duró 1 ciclo, durante 2 ciclos si X duró 2 ciclos y durante 1 ciclo si X duró 3 ciclos. En otros casos Z será cero. Obtenga la tabla de estados/salida (lo más reducida posible) según el modelo de máquina de Mealy.

Problema 14

Sobre una única línea X, se envía una información sincronizada con una señal de reloj CK. Se ha convenido que la información sea correcta siempre que no haya 2 o más unos consecutivos o bien 4 o más ceros consecutivos. Diseñe un circuito cuya salida sea 1 si se detecta un error en la transmisión y que permanezca a ese valor en tanto dure el error.

Problema 15

Diseñe un chequeador de paridad para caracteres de 4 bits. El circuito recibirá, partiendo de un estado inicial, 4 bits en serie por una línea de entrada X. Coincidiendo con el cuarto bit, la salida del circuito será 1 si y solo si el número total de unos recibidos ha sido par. Tras la recepción del cuarto bit, el circuito volverá a aceptar en la entrada un nuevo carácter de 4 bits. Utilice en el diseño biestables D.

Problema 16

Diseñe un circuito secuencial síncrono que reciba una entrada X y produzca una salida Z = 1, después de que haya recibido las secuencias de entrada 001 ó 100. Comience el diseño por un estado de *reset*.

Problema 17

Este fin de semana he comprado en unos grandes almacenes una lámpara para el salón, con tres bombillas (z_3, z_2, z_1) controladas por un mando a distancia con un único pulsador (x). Con este pulsador pueden encenderse secuencialmente: solo una (z_3); dos (z_3, z_2); las tres (z_3, z_2, z_1); ninguna. Esto es: si las lámparas están apagadas,

pulsando una vez se enciende z3; si vuelves a pulsar, se enciende también z2; si pulsas de nuevo se enciende también la última bombilla (z1); y volviendo a pulsar se apagan todas. Obtenga el diagrama de estados de un autómata de Moore correspondiente al circuito de control de encendido de la lámpara y diseñelo usando biestables y puertas lógicas.

Problema 18

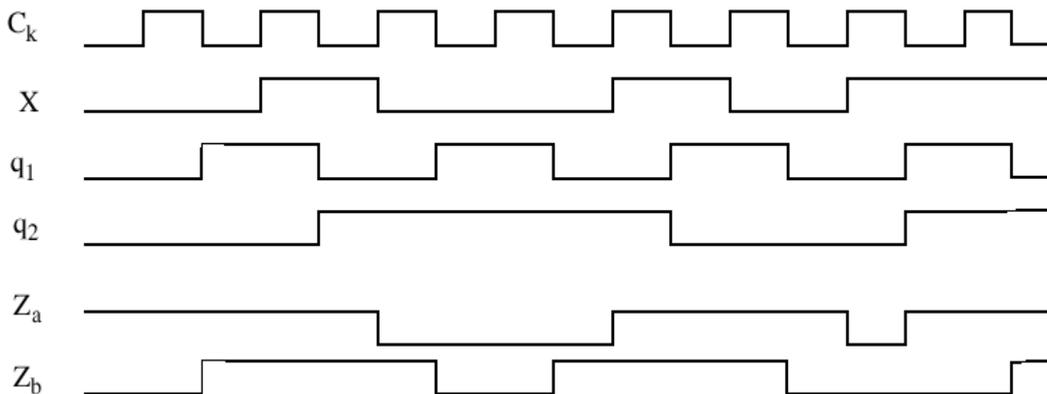
Por una línea de entrada X se reciben, sincronizados con una señal de reloj, grupos de 4 bits. Diseñe un circuito secuencial síncrono (de una entrada y una salida) que genere en su salida el complemento a 2 del número de entrada. Ejemplo:

$$X = 0, 1, 0, 0$$

$$Z = 0, 1, 1, 1$$

Problema 19

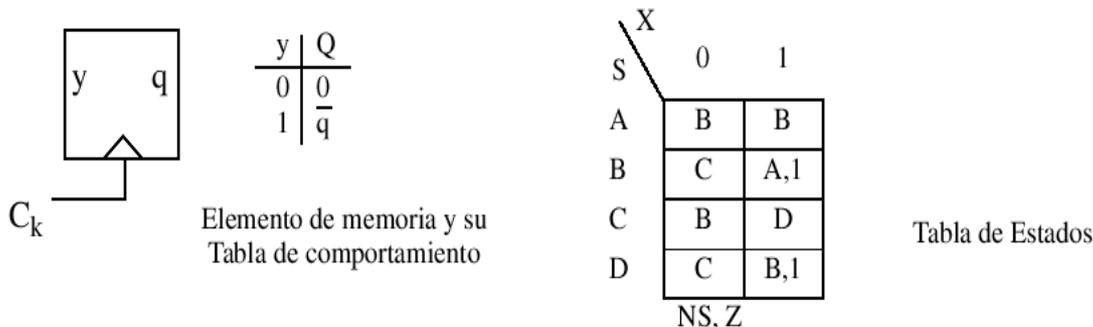
En un osciloscopio se observa el siguiente comportamiento:



Realice el circuito con biestables T y puertas NAND.

Problema 20

Para el dispositivo de memoria que se muestra a continuación:



- a) Obtenga su tabla de excitación.
- b) Razone si es posible implementar cualquier máquina de estados utilizando este tipo de dispositivo como elemento de memoria.
- c) Con dos de estos elementos de memoria y las puertas necesarias, realice un circuito que implemente la tabla de estados. Elija una asignación de estados adecuada, sin consideraciones de costes.

Problema 21

Obtenga el diagrama de estados para un circuito de Moore que genere salida Z=1, durante un ciclo de reloj, cuando a la línea de entrada X se han suministrado exactamente tres "1" (durante los tres últimos ciclos de reloj precedentes, la entrada X tomó valor "1"). Si durante cuatro o más ciclos de reloj se da X=1, la salida será Z=0.

Problema 22

Por una línea se envían en serie (bit a bit) grupos de cuatro bits, correspondientes a dígitos BCD. Se desea detectar el envío del número 5. Diseñe un circuito de Mealy que lo realice.

Problema 23

Diseñese un circuito secuencial síncrono, con una entrada de datos X, que produzca salida z=1 durante un ciclo de reloj cuando la secuencia de los tres últimos valores de entrada hayan sido 111, 110 ó 000.

Problema 24

Obtenga el **diagrama de estados** correspondiente a un circuito secuencial síncrono (CSS) de una entrada X y una salida Z que se utiliza para encender ($Z=1$) o apagar ($Z=0$) una bombilla, de acuerdo a la secuencia de bits que recibe por la entrada X. La bombilla se enciende con la secuencia 1,0,0,1 y se apaga con la secuencia 0,0,0. Comience el diagrama por un estado con la bombilla apagada.

Problema 25

Obtenga el diagrama de estados correspondiente a un circuito secuencial síncrono con una entrada X y una salida Z que funcione como un detector de secuencias. Partiendo de un estado inicial (con $Z=0$), la secuencia de bits 1001 pone $Z=1$; a partir de ese momento, se mantiene $Z=1$ hasta que detecte 000 que vuelve a colocar al autómata en el estado inicial.

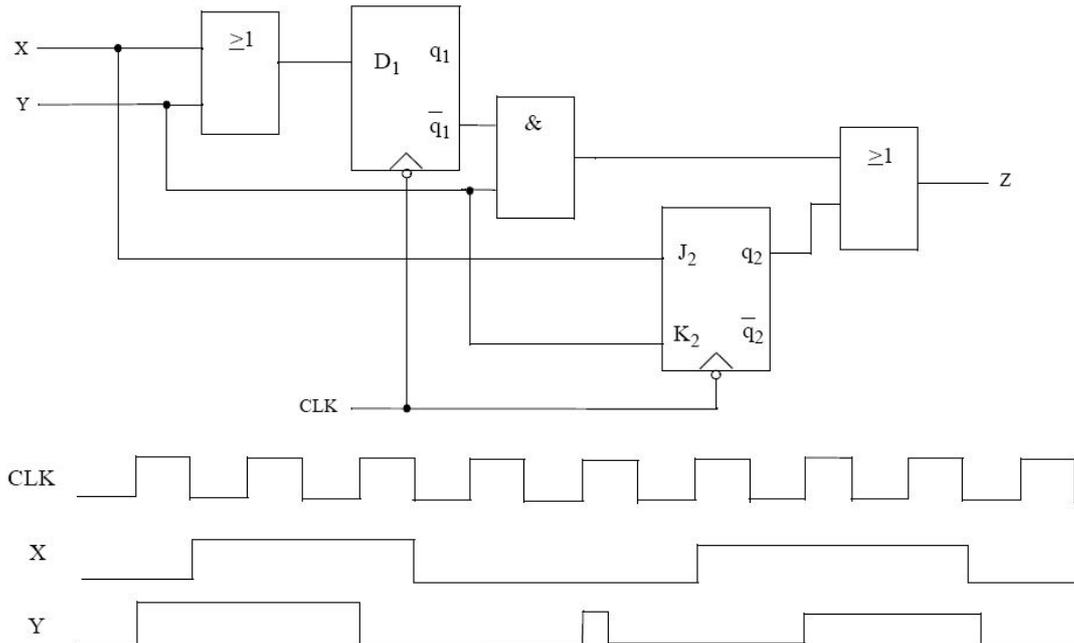
Problema 26

- a) Obtenga el diagrama de estados de un **autómata de Mealy** correspondiente a un detector de la secuencia 1101. El circuito, partiendo de RESET, recibirá una secuencia de bits por su entrada X, generando salida $Z=1$ cuando se detecte la secuencia 1101. Contemple los posibles **solapamientos** en las cadenas de bits.
- b) Obtenga el diagrama de estados de un **autómata de Moore** correspondiente a un detector de la secuencia 1101. Dicho circuito recibe por su entrada X una secuencia de bits que se entienden **agrupados de 4 en 4**. Cada vez que el grupo recibido coincida con 1101, debe genera en su salida Z un pulso a 1 de un ciclo de duración; el resto del tiempo la salida Z será 0.

Problema 27

Analice el Circuito Secuencial Síncrono de la figura y obtenga la forma de onda de salida correspondiente a la secuencia de entrada indicada en el cronograma.

Utilice la siguiente asignación de estados: S0 ($q_1q_0 = 00$); S1 ($q_1q_0 = 01$); S2 ($q_1q_0 = 10$); S3 ($q_1q_0 = 11$).



Problema 28

Obtenga el diagrama de estados correspondiente a un autómata de Mealy, con una entrada X y una salida Z, que genere salida $Z=1$, al detectar alguna de las dos secuencias siguientes: 1,1,0,1 o bien 0,0,1. Contemple todos los posibles solapamientos de las cadenas de bits.

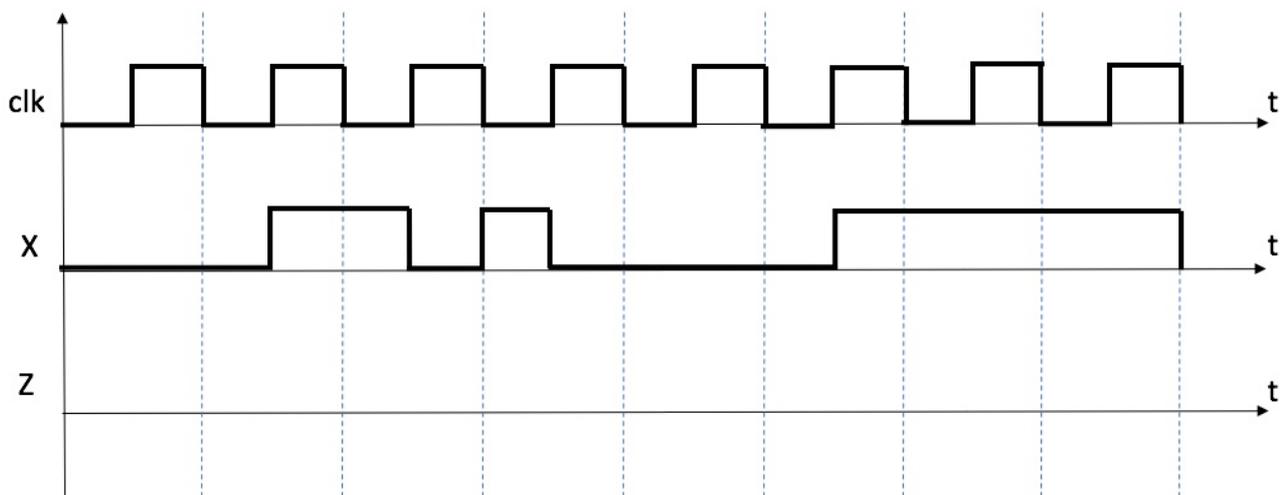
Problema 29

- a) Utilizando un biestable JK (q_1) y otro D (q_0), ambos disparados por flancos de bajada, y las puertas lógicas necesarias, diseñe un circuito secuencial síncrono cuyo comportamiento responda al siguiente diagrama de estados:

		X	
	S	0	1
S0		S0,0	S2,1
S1		S1,0	S3,1
S3		S2,1	S0,0
S2		S3,1	S1,0
		NS, z	

NOTA: utilice la asignación S0(q1q0=00); S1(q1q0=01); S2(q1q0=10) S3(q1q0=11)

- b) Considerando que el estado inicial es S0, indique en el cronograma siguiente la secuencia de estados y obtenga la forma de onda de salida del circuito anterior (Z), para la secuencia de entrada siguiente:



Problema 30

Por una línea se reciben en serie (bit a bit), sincronizados con una señal de reloj, **grupos de 4 bits** correspondientes a dígitos BCD, siendo el primer bit recibido el más significativo (el de mayor peso). Coincidiendo con el último bit del grupo, el circuito debe generar salida $z = 1$ si ha recibido alguno de los siguientes códigos: 5, 6 ó 7. Obtenga el diagrama de estados (**autómata de Mealy**) del circuito correspondiente.

Circuitos Electrónicos Digitales (CED-ISW) 2018-19

Boletín 6: Subsistemas secuenciales: registros y contadores

Problema 1

Diseñe un contador de 4 bits (*mod*-16) que permita carga de datos en paralelo. El contador debe ser síncrono y podrá ser puesto a 0 (CLEAR). Diseñelo con biestables JK y puertas lógicas.

Problema 2

Diseñe un contador *mod*-4 que tenga las siguientes características:

- Ser síncrono y disparado por flanco de subida.
- Ser puesto a 0 de manera asíncrona.
- Inhibirse de la cuenta, manteniendo el estado almacenado.
- Contar hacia arriba.
- Contar hacia abajo.
- Cargar datos en paralelo.

Problema 3

Diseñe un contador síncrono con una entrada X, de forma que sea un contador *mod*-16 para X = 0 y *mod*-12 para X = 1.

Problema 4

Diseñe un registro universal de 4 bits. En particular, debe cumplir las siguientes especificaciones:

- Ser síncrono y disparado por flanco positivo de reloj.
- Tener entrada de puesta a cero asíncrona.
- Tener las cuatro formas de operación siguientes: inhibición, desplazamiento a la izquierda, desplazamiento a la derecha y carga de datos en paralelo.

Problema 5

Diseñe un circuito que genere la secuencia 110010 utilizando:

- a) Biestables y puertas lógicas.
- b) Un multiplexor y un contador.
- c) Un registro de desplazamiento.

Problema 6

Se dispone de un contador *mod*-16 con dos operaciones síncronas (cuenta y carga en paralelo) y una operación asíncrona (Clear). La selección de operación se hace con 3 señales de control: CUENTA, CARGA y CLEAR. Su funcionamiento es el que se indica:

- Si CUENTA = 1 y CARGA = 0, el contador cuenta hacia arriba.
- Si CARGA = 1, el contador se carga con datos en paralelo.
- Tiene también salida de carry.

Utilizando este contador módulo 16 (OJO, no hay que diseñarlo) y los elementos combinacionales que estime necesarios, diseñe:

- a) Un contador *mod*-6 que cuente de 0 a 5.
- b) Un contador *mod*-6 que cuente de 10 a 15.
- c) Un contador *mod*-6 que cuente de 4 a 9.
- d) Un contador que cuente de 0 a 34.

Problema 7

Diseñe un generador de la secuencia 100111 utilizando como base un registro de desplazamiento.

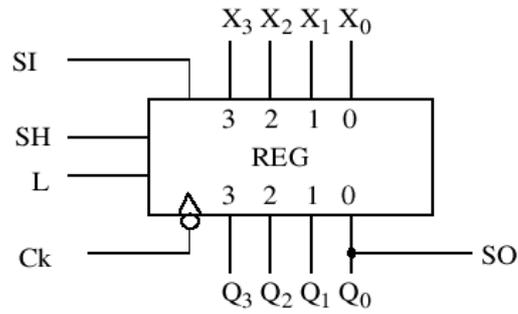
Problema 8

Se dispone de una señal binaria con periodo de 1 minuto, contadores *mod*-10 disparados por flanco negativo con entrada de CLEAR síncrona activa en alta y salida de acarreo (CARRY), *displays* de 7 segmentos con entradas BCD y puertas lógicas. Diseñe un reloj digital que muestre las horas y los minutos.

Problema 9

La figura muestra un registro de 4 bits con tres operaciones síncronas (Inhibición, Carga en Paralelo y Desplazamiento a la derecha).

SH	L	REG
0	0	$REG \leftarrow REG$
0	1	$REG \leftarrow X_3 - X_0$
1	x	$SHR(REG, SI)$

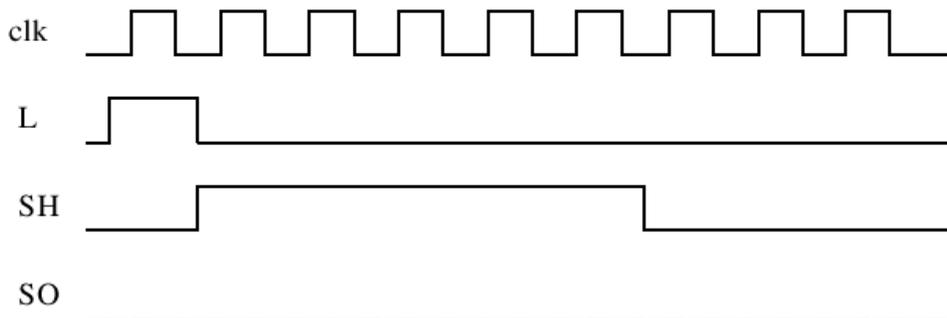


SH: Desplazamiento a la derecha
L: Carga en paralelo

SI: Entrada en serie
SO: Salida serie

a) Utilizando dicho registro y componentes combinatoriales, diseñe un registro universal de 4 bits. Esto es, tendrá carga en paralelo, desplazamiento (a derecha y a izquierda) e inhibición.

b) Indique las conexiones que habría que realizar para que operase como un registro con rotación circular a la derecha y complete el diagrama temporal mostrado a continuación. Suponga que cuando se activa la señal de carga (L) el valor de las entradas es $X_3 - X_0 = 1010$.



Problema 10

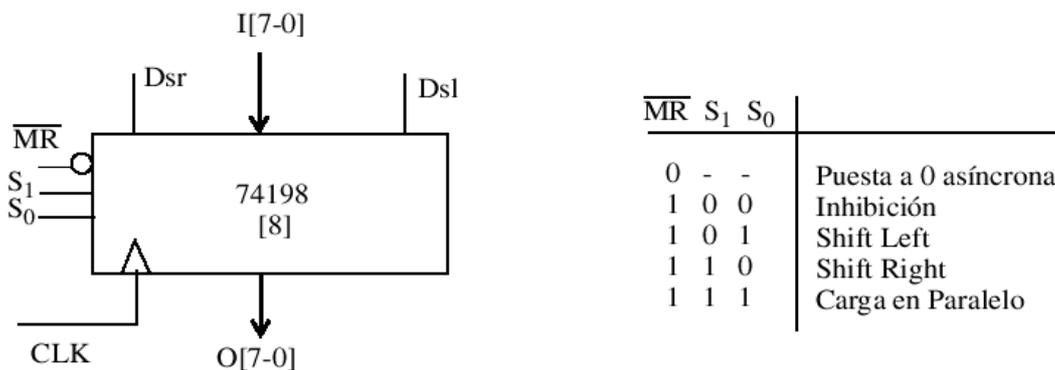
Considere **un contador** módulo 16 que sólo cuenta números pares (0, 2, 4, ... 28, 30) con las siguientes características:

- Es síncrono y disparado por flanco de bajada
- Dispone de dos señales S1S0 que controlan su operación (00= INHIBITION; 01=UP; 10= DOWN; 11=CLEAR).

Realice un diseño eficiente del contador basado en biestables tipo T (puede utilizar, además, las puertas lógicas y subsistemas combinatoriales que considere necesario).

Problema 11

Se dispone de un circuito integrado 74198 cuya descripción es la mostrada en la figura:



Como se observa en la tabla, MR (Master Reset) activa la puesta a cero asíncrona, mientras que S1 y S0 seleccionan alguna de las cuatro operaciones síncronas disponibles. Por otra parte, Dsr y Dsl son, respectivamente, las entradas de datos en serie para el desplazamiento, esto es, Rin y Lin.

Se desea diseñar un **registro de 8 bits** con las siguientes operaciones:

A ₁ A ₀	Operación
0 0	Desplazar a derecha introduciendo un 0
0 1	Desplazar a derecha introduciendo el bit de signo
1 0	Desplazar a derecha introduciendo el bit menos significativo
1 1	No desplazar

a) Diseñe el registro utilizando las puertas necesarias y el 74198.

b) Suponiendo que inicialmente el registro contiene el dato 10101010, indique qué ocurre para la siguiente secuencia de entradas (cada valor corresponde a un ciclo de reloj):

$$RA_1A_0 = 0-0, 110, 011, 001, 100$$

Problema 12

Para una aplicación específica se desea diseñar un registro de 4 bits que permita almacenar y operar con números de 4 bits con signo en notación **Signo-Magnitud**. El registro debe disponer de las siguientes operaciones síncronas:

- Carga en paralelo de un dato de entrada de 4 bits: $R \leftarrow Din$
- Inhibición: $R \leftarrow R$
- Cambio de signo del dato almacenado: $R \leftarrow -R$
- Cálculo de la parte entera del cociente de su división por 2 del dato almacenado: $R \leftarrow R/2$ (OJO: debe respetarse el signo del dato almacenado).

Diseñe dicho registro con los componentes que estime oportunos

Problema 13

Se dispone de contadores *mod-10* (cuentan de 0 a 9) con las siguientes características:

- Señal de puesta a cero síncrona (CLEAR) activa en alto.
- Señal de cuenta ascendente (UP) activa en alto.
- La señal CLEAR tiene prioridad.
- No cuentan con señal de *carry*.

Construya un contador *mod-26* con salida BCD utilizando contadores de este tipo y puertas lógicas. ¿Qué cambios habría que hacer en el diseño si los contadores fueran de las mismas características que los anteriores pero de *mod-12* (contando de 0 a 11)?

Problema 14

a) Diseñe un registro de 4 bits con las siguientes operaciones: desplazamiento a la derecha, inhibición y clear asíncrono. Debe disponer de entrada y salida series, así como salidas en paralelo.

b) Utilizando dicho registro y los componentes combinacionales que estime convenientes, diseñe un detector de la secuencia 1,1,0,1.

Problema 15

a) **Diseñe un registro de 4 bits** que tenga las siguientes operaciones: Desplazamiento a izquierda, inhibición y puesta a cero asíncrona. Debe indicar también el diagrama estructural del subsistema (diagrama de bloques especificando las entradas y salidas que debe tener) así como su tabla de funcionamiento.

b) A partir de dicho registro de 4 bits, implemente un **registro de 8 bits** con las mismas funciones

Problema 16

Se dispone de un contador ascendente módulo 16 con **carga en paralelo síncrona**, y **clear asíncrono**. A partir de este contador, y las puertas mínimamente necesarias, diseñe:

- a) Un contador módulo 12 (de 0 a 11)
- b) Un contador módulo 12 (3 a 14)

Debe indicar claramente el diagrama estructural y su tabla de funcionamiento.

Problema 17

a) Diseñe un contador módulo 8 con las siguientes operaciones:

- cuenta ascendente
- cuenta descendente
- inhibición
- clear síncrono

- b) Tomando como base el contador anterior, diseñe un contador módulo 6 con idénticas operaciones (cuenta ascendente, cuenta descendente, inhibición y clear síncrono).

Problema 18

Considere **un contador** módulo 16 que sólo cuenta números pares (0, 2, 4, ... 28, 30) con las siguientes características:

- Es síncrono y disparado por flanco de bajada
- Dispone de dos señales S1S0 que controlan su operación (00= INHIBITION; 01=UP; 10= DOWN; 11=CLEAR).

Realice un diseño eficiente del contador basado en biestables tipo T (puede utilizar, además, las puertas lógicas y subsistemas combinacionales que considere necesario).

Problema 19

Con el objetivo de implementar un determinado circuito multiplicador, un cliente nos ha solicitado el diseño de un registro de desplazamiento de 5 bits que sea capaz de desplazar 1 ó 2 bits según se necesite (con idea de multiplicar por 2 ó por 4 según el caso).

Realice un diseño eficiente del registro considerando las siguientes características:

- Debe dispararse por flancos de subida de la señal de reloj (clk)
- Dispondrá de dos señales de control (S1 y S0) para seleccionar alguna de las siguientes operaciones síncronas:

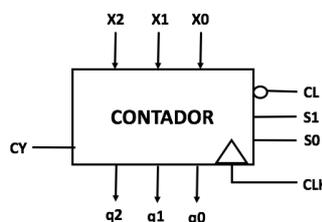
S1 S0	Operación	
0 0	$R \leftarrow R$	Inhibición
0 1	$R \leftarrow 2 \times R$	Desplazamiento a la izquierda normal (1 bit)
1 0	$R \leftarrow 4 \times R$	Desplazamiento a la izquierda doble (2 bits)
1 1	$R \leftarrow X$	Carga de datos en paralelo

- Debe contar con salidas de lectura en paralelo
- No dispone de entrada serie (en los desplazamientos debe introducir ceros)

Problema 20

- a) Diseñe, con biestables T, un contador síncrono binario ascendente/descendente módulo 8 que disponga de salida de CARRY, además de CLEAR asíncrono, INHIBICIÓN y CARGA síncronas, de acuerdo a la siguiente tabla de operaciones:

CL	S1	S0	OPERACIÓN
0	-	-	CLEAR ASÍNCRONO
1	0	0	CUENTA ASCENDENTE
1	0	1	CUENTA DESCENDENTE
1	1	0	INHIBICIÓN
1	1	1	CARGA EN PARALELO



- b) Utilizando el contador del apartado anterior y las puertas lógicas necesarias, diseñe otro que realice las siguientes operaciones de cuenta:

- 1) De 0 a 6
- 2) De 3 a 7
- 3) De 2 a 5