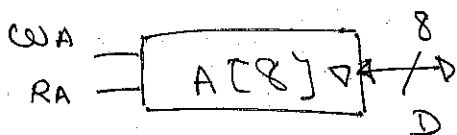


Sist digital capaz de comparar dos números de 8bits (A y B), A ← mayor, B ← menor. Tras finalizar, el sistema generará la señal de fin

- a) Def. op ↓ los registros.
- b) Carta ASM y controlador.
- c) Si añadiremos elementos nuevos, ¿se puede simplificar la arq de la U.D? Razone la respuesta.

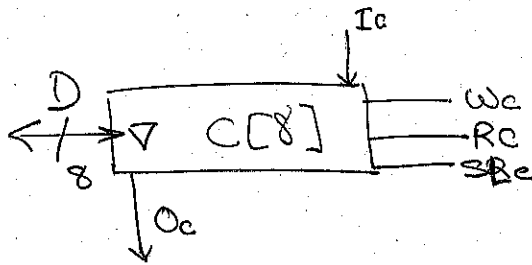
Vamos a hacer la descripción RT de los registros:

\* Registros A y B.



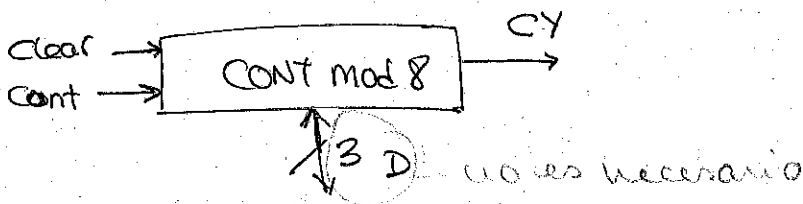
WA	RA	Operación	A ←	D
0	0	inh	A ← [A]	HI
0	1	lectura	A ← [A]	[A]
1	0	escritura	A ← D	D
1	1	prohibida		

\* Registros Cy D.



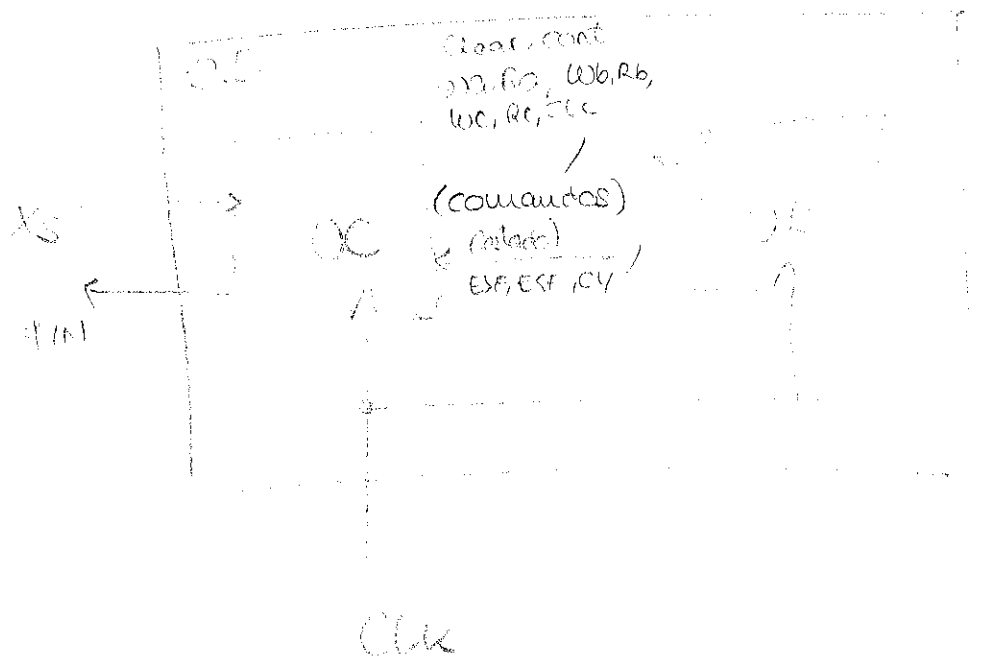
We Rc SRe	OPERACION	C ←	D	Oe
0 0 0	Inhibición	$C \leftarrow [C]$	H1	Msb [C]
0 0 1	Disp. Aq	$C \leftarrow \text{SHL}(e, Ie)$	H1	Msb [C]
0 1 0	Lectura	$C \leftarrow [C]$	[C]	Msb [C]
1 0 0	Escritura	$C \leftarrow D$	D	Msb [C]
resto	prohibidas	-	-	-

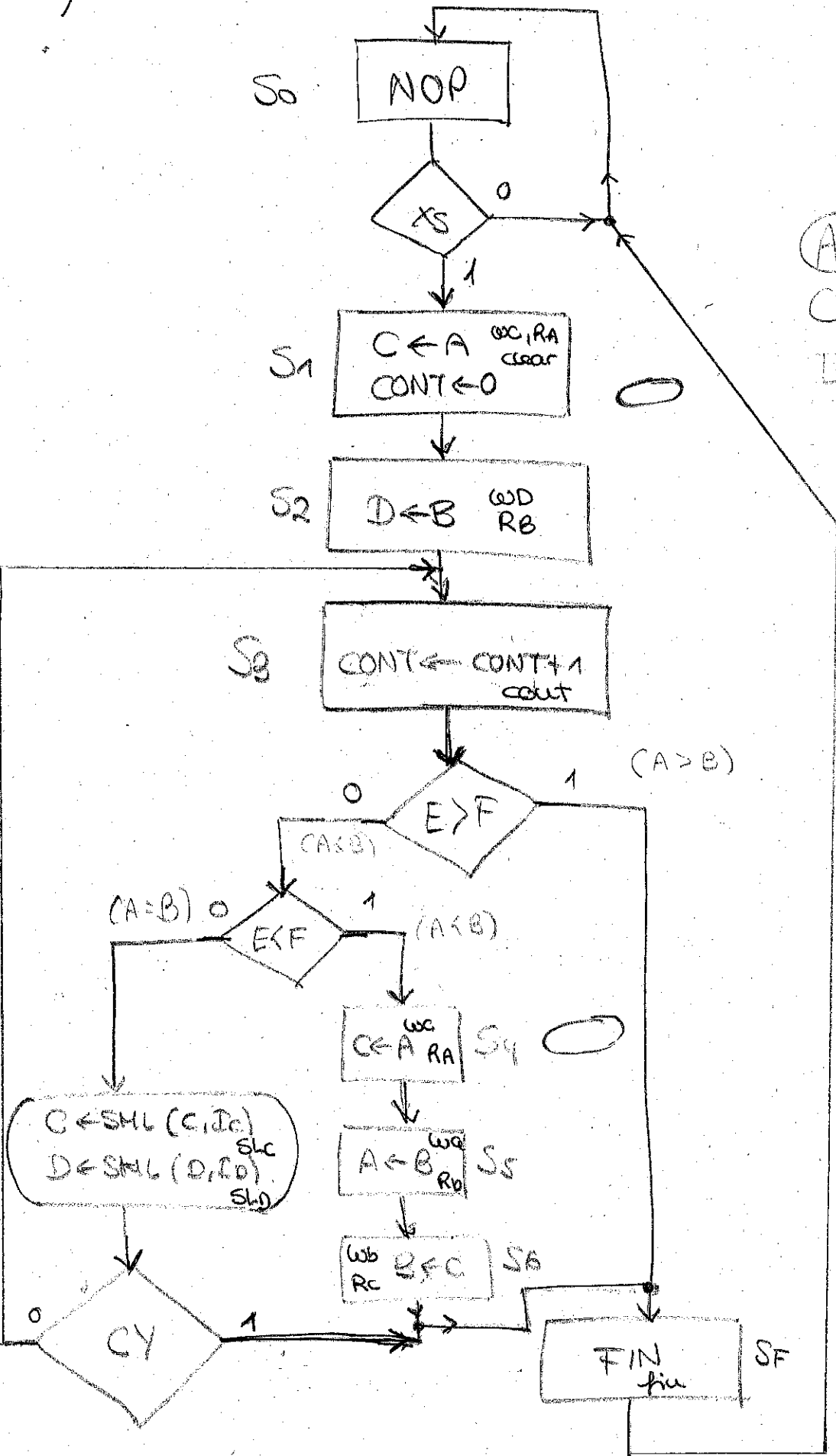
\* Contador



clear	Cont	OPERACION	CONT ←	D
0	0	inh	[CONT]	[CONT]
0	1	cuente	[CONT]+1	[CONT]
1	0	puesta a 0	0	[CONT]
1	1	prohibida	-	-

# Estructura del S.D



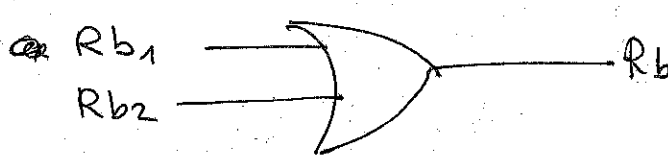
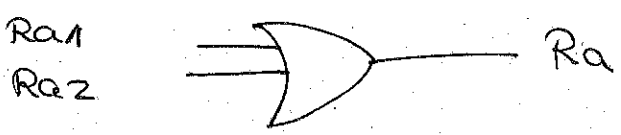
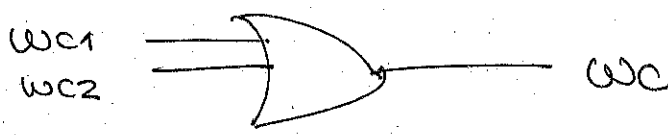
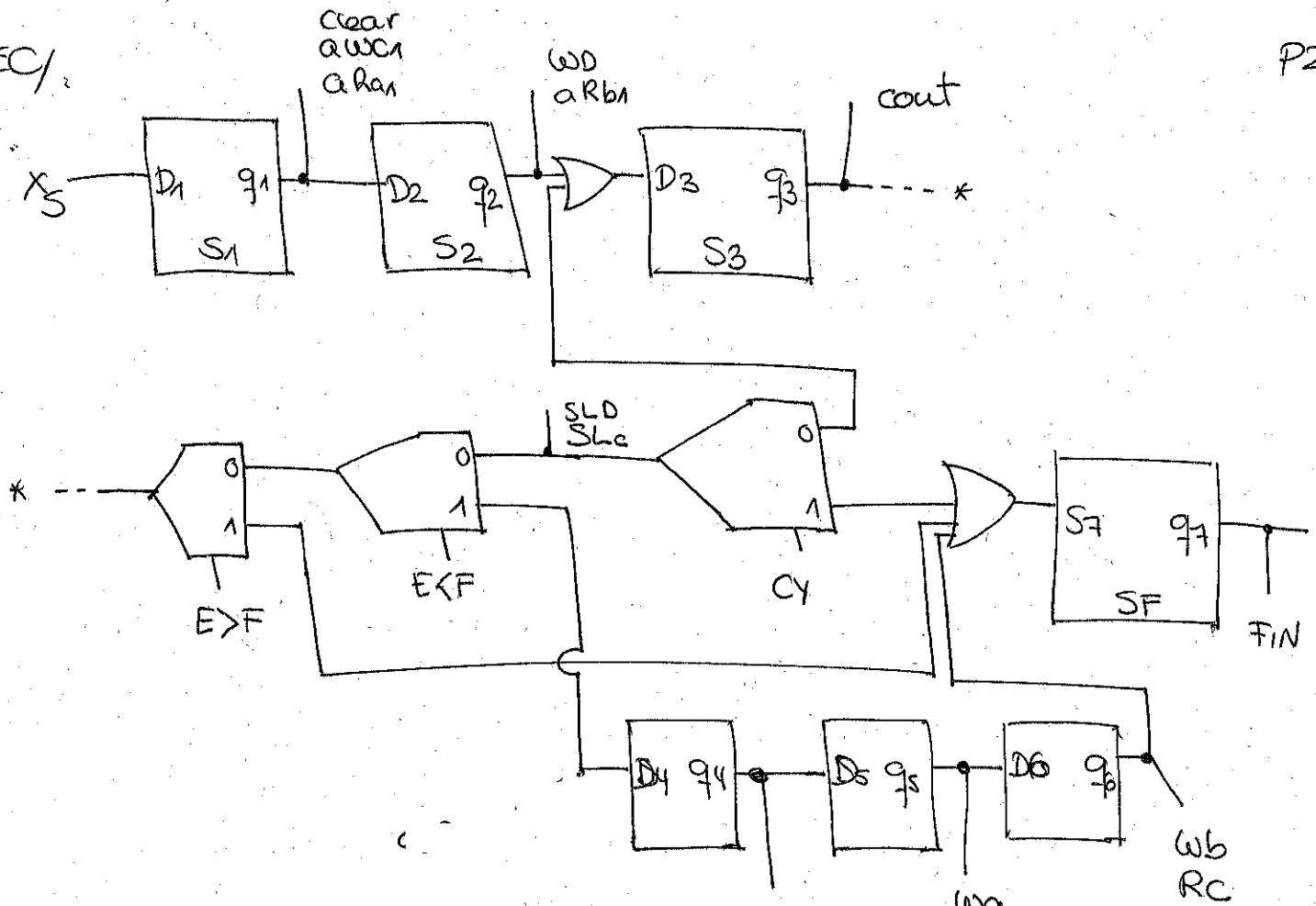


A  
 B  
 C  
 D  
 E  
 F

P.D. → Podría incluirse el estado S4 en S3.

EC/2

P21/36



Supongamos

$$A = \begin{array}{cc} \downarrow & \downarrow \\ 0000 & 0000 \end{array}$$

$$B = \begin{array}{cc} 0000 & 0000 \\ \uparrow & \uparrow \end{array}$$

S0

$$S1 \quad C \leftarrow 0000 \quad 0000 \quad \text{cout} \leftarrow 0$$

$$S2 \quad D \leftarrow 0000 \quad 0000$$

$$S3 \quad \text{cout} \leftarrow 1 \quad (E=F) \quad \begin{array}{l} C \leftarrow 0000 \quad 000x \\ D \leftarrow 0000 \quad 000x \end{array}$$

se considera q  
el desp. este hecho  
en el ciclo siguiente.

$$S3 \quad \text{cout} \leftarrow 2 \quad (E=F) \quad \begin{array}{l} C \leftarrow 0000 \quad 00xx \\ D \leftarrow 0000 \quad 00xx \end{array}$$

$$S3 \quad \text{cout} \leftarrow 3 \quad (E=F) \quad \begin{array}{l} C \leftarrow 0000 \quad 0xxx \\ D \leftarrow 0000 \quad 0xxx \end{array}$$

$$S3 \quad \text{cout} \leftarrow 4 \quad (E=F) \quad \begin{array}{l} C \leftarrow 0000 \quad xxxxx \\ D \leftarrow 0000 \quad xxxxx \end{array}$$

$$S3 \quad \text{cout} \leftarrow 5 \quad (E=F) \quad \begin{array}{l} C \leftarrow 000x \quad xxxxx \\ D \leftarrow 000x \quad xxxxx \end{array}$$

$$S3 \quad \text{cout} \leftarrow 6 \quad (E=F) \quad \begin{array}{l} C \leftarrow 00xx \quad xxxxx \\ D \leftarrow 00xx \quad xxxxx \end{array}$$

$$S3 \quad \text{cout} \leftarrow 7 \quad (E=F) \quad \begin{array}{l} C \leftarrow 0xxx \quad xxxxx \\ D \leftarrow 0xxx \quad xxxxx \end{array}$$

$$S3 \quad \text{cout} \leftarrow 0 \quad (E=F) \quad (CY=1) \quad \begin{array}{l} C \leftarrow xxxxx \quad xxxxx \\ D \leftarrow xxxxx \quad xxxxx \end{array}$$

SF FIN

Eq. Sup.

A = 0000 0001  
B = 0000 0000

P21/5

S0

S1 C ← 0000 0001 cout ← 0

S2 D ← 0000 0000

S3 cout ← 1 (E=F) C ← 0000 001x

D ← 0000 000x

S3 cout ← 2 (E=F) C ← 0000 01xx

D ← 0000 00xx

S3 cout ← 3 (E=F) C ← 0000 1xxx

D ← 0000 0xxx

S3 cout ← 4 (E=F) C ← 0001 xxxx

D ← 0000 xxxx

S3 cout ← 5 (E=F) C ← 001x xxxx

D ← 000x xxxx

S3 cout ← 6 (E=F) C ← 01xx xxxx

D ← 00xx xxxx

S3 cout ← 7 (E=F) C ← 1xxx xxxx

D ← 0xxx xxxx

S3 cout ← 0 (E=F) (CY=1) FIN

EC/ Sop.

A = 0000 0000

B = 0000 0001

P21/6

S0

S1 C ← 0000 0000 cout ← 0

S2 D ← 0000 0001

S3 cout ← 1 (E=F) C ← 0000 000x  
D ← 0000 001x

S3 cout ← 2 (E=F) C ← 0000 00xx  
D ← 0000 01xx

S3 cout ← 3 (E=F) C ← 0000 0xxx  
D ← 0000 1xxx

S3 cout ← 4 (E=F) C ← 0000 xxxx  
D ← 0000 ~~1~~ xxxx

S3 cout ← 5 (E=F) C ← 000x xxxx  
D ← 001x xxxx

S3 cout ← 6 (E=F) C ← 00xx xxxx  
D ← 01xx xxxx

S3 cout ← 7 (E=F) C ← 0xxx xxxx  
D ← 1xxx xxxx

S3 cout ← 0 (E < F) -----

S4 C ← 0000 0000

S5 A ← 0000 0001

S6 B ← 0000 0000

SF FIN

Seq. A = 0100 0000

B = 0010 0000

S0

S1 C ← 0100 0000

cout ← 0

S2 D ← 0010 0000

S3 cout ← 1 (E=F) C ← 1000 000X

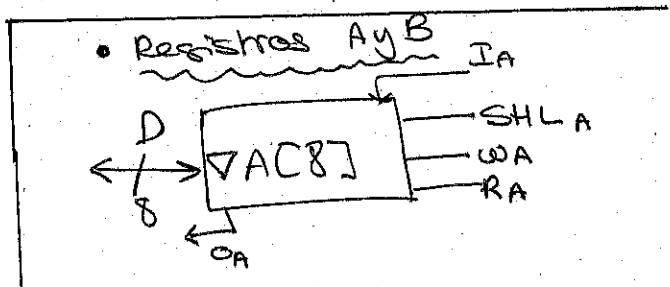
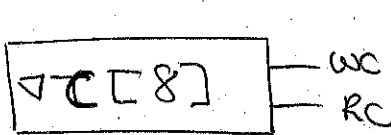
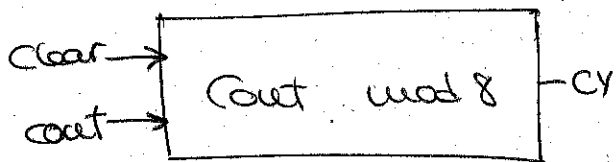
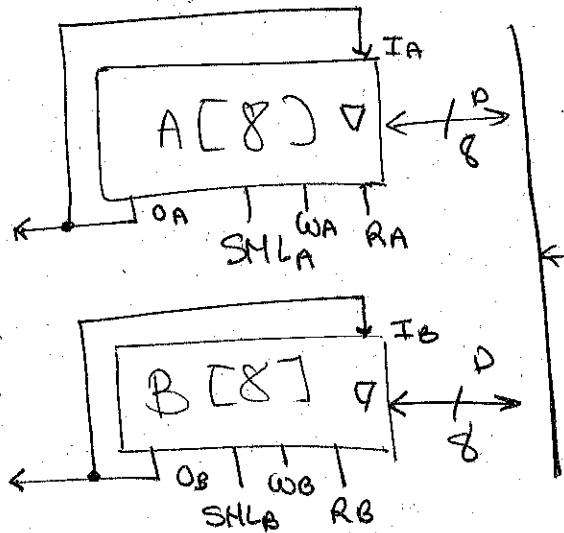
D ← 0100 000X

S3 cout ← 2 (E > F)

S# FIN

Simplifican la U.D.

Nos ahorramos el comparador y un registro.

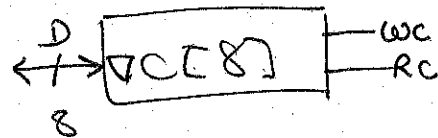


• Registros A y B

SHL A	WA	RA	OP	A ←	D
0	0	0	inh	[A]	HI
0	0	1	lect	[A]	[A]
0	1	0	esc	D	D
1	0	0	d.7g	SHL(A,IA)	HI

resb prohibidas

• Registro C.



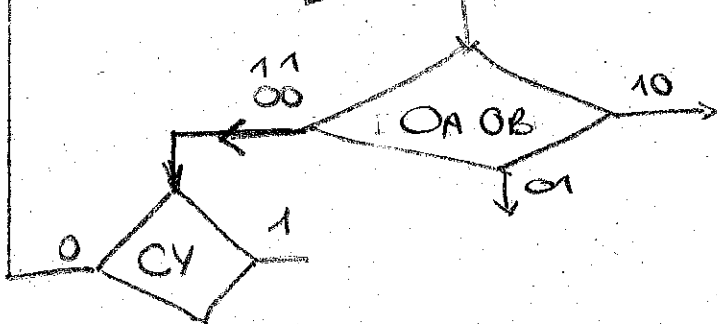
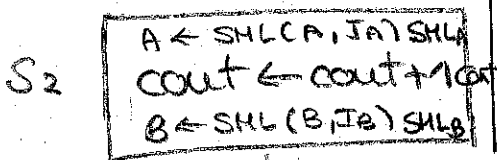
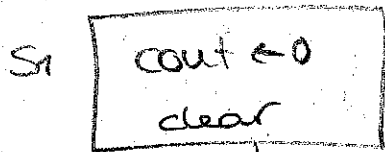
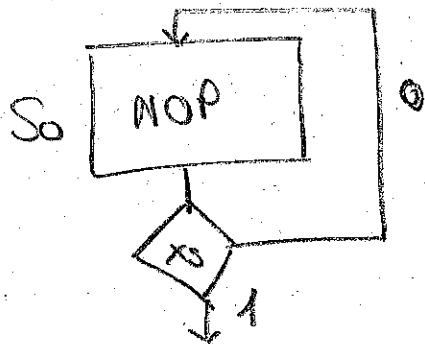
WC	RC	OP	C ←	D
0	0	inh	[C]	HI
0	1	lect	[C]	[C]
1	0	esc	D	D

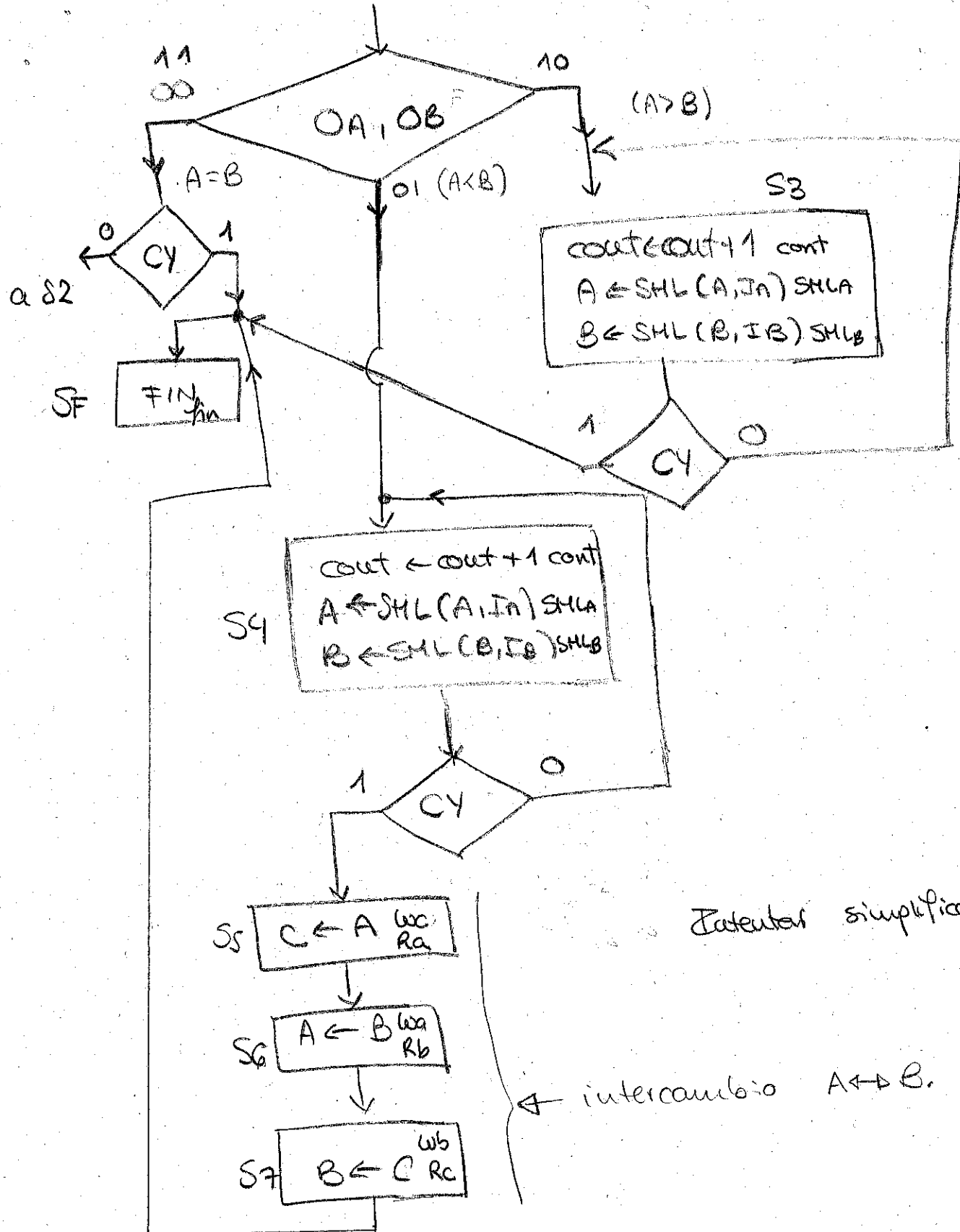
resb prohib.

• Contador

Clear	Count	OP	Count ←
0	0	inh	[count]
0	1	count	[count]+1
1	0	P.a.p	0

resb prohibidas



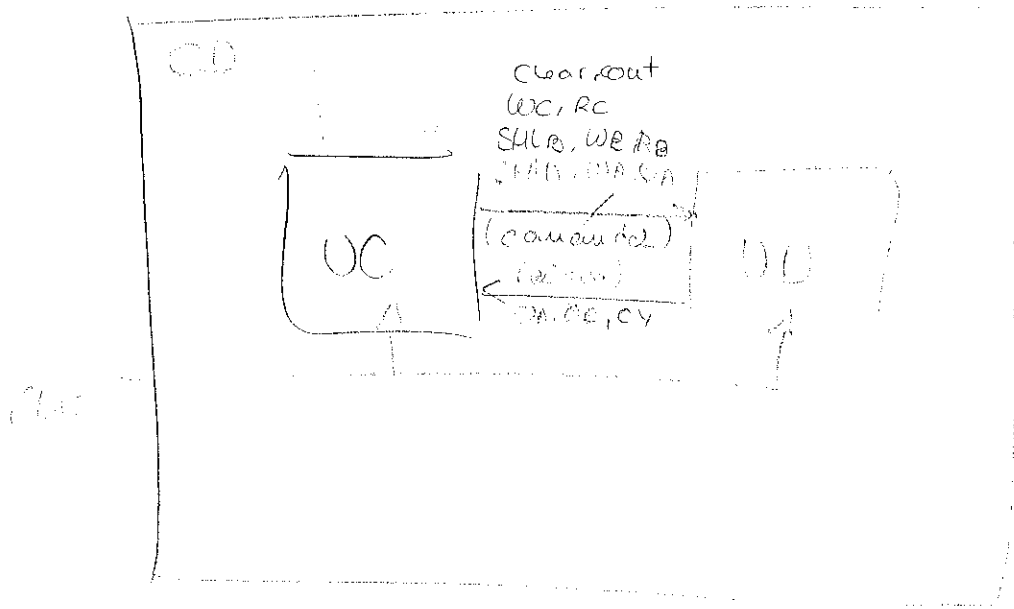


Patenterlo simplificarlo.

intercambio: A ↔ B.

# Diagrama del S.D optimizado (a partir de c)

ent 100



Sup A 1000 0000  
 B 0100 0000

S0

S1 cout ← 0

S2 cout ← 1 (10) A = 0000 0001  
 B = 1000 0000 } estos valores estarán en el ciclo siguiente.

S3 cout ← 2 A ← 0000 0010  
 B ← 0000 0001

S3 cout ← 3 A ← 0000 0100  
 B ← 0000 0010

S3 cout ← 4 A ← 0000 1000  
 B ← 0000 0100

S3 cout ← 5 A ← 0001 0000  
 B ← 0000 1000

S3 cout ← 6 A ← 0010 0000  
 B ← 0001 0000

S3 cout ← 7 A ← 0100 0000  
 B ← 0010 0000

S3 cout ← 0 CY A ← 1000 0000  
 B ← 0100 0000

SF FIN

EC:

P21 / 11

Sup A = 0100 0000  
B = 0100 0000

S0

S1 cout ← 0

S2 cout ← 1 (00) A ← 1000 0000  
B ← 1000 0000

S2 cout ← 2 (11) A ← 0000 0001  
B ← 0000 0001

S2 cout ← 3 (00) A ← 0000 0010  
B ← 0000 0010

S2 cout ← 4 (00) A ← 0000 0100  
B ← 0000 0100

S2 cout ← 5 (00) A ← 0000 1000  
B ← 0000 1000

S2 cout ← 6 (00) A ← 0001 0000  
B ← 0001 0000

S2 cout ← 7 (00) A ← 0010 0000  
B ← 0010 0000

S2 cout ← 0 (CY) (00) A ← 0100 0000  
B ← 0100 0000

SF FIN

EC

sup

A 0001 0000  
B 0010 0001

A < B

S0

S1 cout ← 0

S2 cout ← 1 (00) A ← 0010 0000  
B ← 0100 0010 (este desplazamiento se considera hecho en el 2º ciclo de reloj.)

S2 cout ← 2 (00) A ← 0100 0000  
B ← 1000 0100

S2 cout ← 3 (01) A ← 1000 0000  
B ← 0000 1001

S4 cout ← 4 A ← 0000 0001  
B ← 0001 0010

S4 cout ← 5 A ← 0000 0010  
B ← 0010 0100

S4 cout ← 6 A ← 0000 0100  
B ← 0100 1000

S4 cout ← 7 A ← 0000 1000  
B ← 1001 0000

S4 cout ← 0 CY A ← 0001 0000  
B ← 0010 0001

S5 C ← 0001 0000

S6 A ← 0010 0001

S7 B ← 0001 0000

SF FIN