

Apellidos:.....**SOLUCIÓN**.....

1 2 3 4 5

Nombre:.....

| | | | | |
|--|--|--|--|--|
| | | | | |
|--|--|--|--|--|

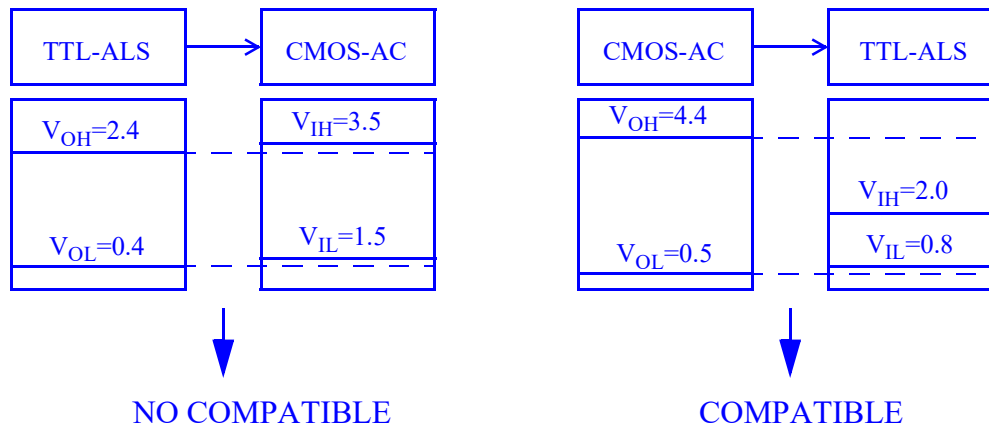
Duración 2:00 h.

1.- [1 punto] Compruebe si las familias TTL-ALS y CMOS-AC son compatibles:

| TTL-ALS | | CMOS-AC | |
|----------------------------|-----------------------------|----------------------------|---------------------------|
| $V_{OH} = 2,4V$ | $V_{IH} = 2,0V$ | $V_{OH} = 4,4V$ | $V_{IH} = 3,5V$ |
| $V_{OL} = 0,4V$ | $V_{IL} = 0,8V$ | $V_{OL} = 0,5V$ | $V_{IL} = 1,5V$ |
| $ I_{OH} = 15 \text{ mA}$ | $ I_{IH} = 20 \text{ uA}$ | $ I_{OH} = 24 \text{ mA}$ | $ I_{IH} = 1 \text{ uA}$ |
| $ I_{OL} = 24 \text{ mA}$ | $ I_{IL} = 0,1 \text{ mA}$ | $ I_{OL} = 24 \text{ mA}$ | $ I_{IL} = 1 \text{ mA}$ |

SOLUCIÓN

Compatibilidad en tensión



Para el caso de salidas TTL-ALS conectadas a entradas CMOS-AC no se cumple que $V_{OH} > V_{IH}$. Esto significa que los unos lógicos generados por las puertas de la familia TTL-ALS no son interpretados correctamente por las de la familia CMOS-AC. Por lo tanto ambas familias no son compatibles en tensión y ello conlleva que no sean compatibles.

Ya no es necesario analizar la compatibilidad en intensidad.

2.- [1 punto] Codificador: definición, tipos de codificadores, señales de habilitación. Ejemplo de una tabla de funcionamiento con dos señales de habilitación.

SOLUCIÓN

Un codificador es un circuito lógico combinacional con m entradas y n salidas (m menor o igual que 2^n) cuya característica es que cuando se activa una sola entrada aparece en la salida una determinada combinación que no es más que la representación, en un determinado código, del número decimal asociado a la entrada activa. Esencialmente realiza la función inversa al decodificador. Un codificador queda definido por tres características:

- **Código de operación**

- **Número de entradas y salidas:** El número de entradas, m y el de salidas, n , cumplen la misma relación que en el decodificador. m menor o igual que 2^n .
- **Actividad de las entradas:** Las entradas pueden ser activas en nivel bajo o en nivel alto.

La forma de referirnos a uno de estos dispositivos es: Codificador [código] m a n [entrada activa en xxxx]. Por defecto el código es binario natural y la entrada activa en alto.

Hay dos tipos de codificadores: aquellos en los que únicamente se permite la activación de una señal de entrada y en los que se puede activar más de una señal de entrada (codificadores con prioridad).

Las señales de habilitación hacen que el codificador deje de funcionar, poniendo en sus salidas el código cero. Pueden ser activas en alto (habilitan cuando están a '1' lógico) o activas en bajo (habilitan cuando están a '0' lógico). Un decodificador puede tener varias entradas de habilitación, estando habilitado cuando todas las entradas de habilitación lo habilitan.

Para distinguir la situación de que no se ha activado ninguna entrada de la situación en la que se ha activado la entrada cero, suele haber una salida (GS) que lo indica. Para distinguir la situación del codificador habilitado o no habilitado suele haber otra salida (EO) que lo indica.

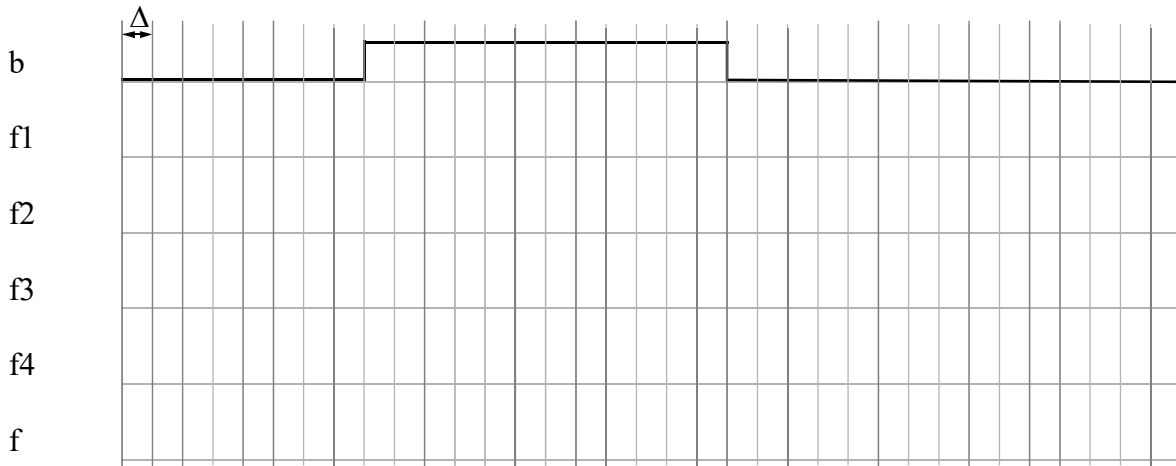
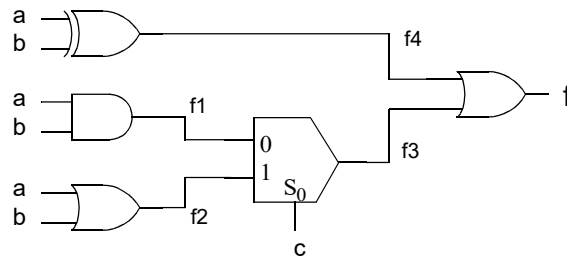
Un ejemplo de codificador 4 a 2, con prioridad, con entradas activas en alto, con dos señales de habilitación (una activa en alta y otra activa en baja) y con salidas GS y EO se muestra a continuación:

| $E_1\#$ | E_0 | I_3 | I_2 | I_1 | I_0 | O_1 | O_0 | GS | EO |
|---------|-------|-------|-------|-------|-------|-------|-------|----|----|
| 1 | - | - | - | - | - | 0 | 0 | 0 | 0 |
| - | 0 | - | - | - | - | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | - | - | - | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | - | - | 1 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 | - | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |

3.- [2 puntos] Para el siguiente circuito:

- Obtenga la expresión algebraica de la salida suponiendo los componentes ideales.
- Suponiendo que todos los componentes tienen un retraso Δ , obtenga la evolución de la salida cuando

a = 1, c = 0 y b cambia.

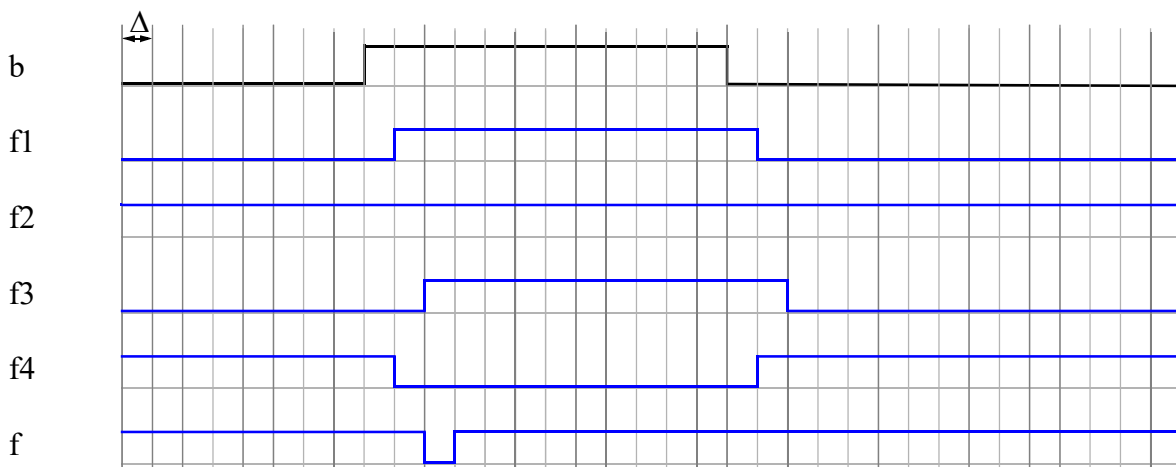


SOLUCIÓN

a) La expresión algebraica de la salida es:

$$\left. \begin{aligned} f1 &= ab \\ f2 &= a + b \\ f3 &= ab\bar{c} + (a + b)c \\ f4 &= \bar{a}b + a\bar{b} \end{aligned} \right\} \begin{aligned} f &= \bar{a}b + a\bar{b} + ab\bar{c} + (a + b)c \\ &= \bar{a}b + a\bar{b} + ab\bar{c} + ac + bc \end{aligned}$$

b) La evolución de las salidas cuando los componentes tienen retrasos es:



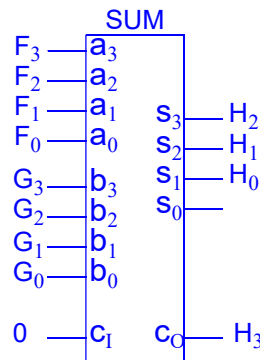
4.- [3'5 Puntos] Un circuito tiene como entradas cuatro números de n bits, A, B, C y D. Usando sólo subsistemas combinacionales no programables y puertas se desea diseñar un circuito que dé a su salida qué número (C o D) se encuentra más cerca del valor medio de A y B. Se recomienda seguir el siguiente esquema:

- a) Diseñe un circuito MEDIA que calcule la media de dos números F y G.
- b) Diseñe un circuito ABS que calcule el valor absoluto de la diferencia de dos números J y K.
- c) Diseñe un circuito MENOR que seleccione a su salida el menor de dos números M y N.
- d) Implemente el circuito propuesto usando los módulos anteriores.

SOLUCIÓN

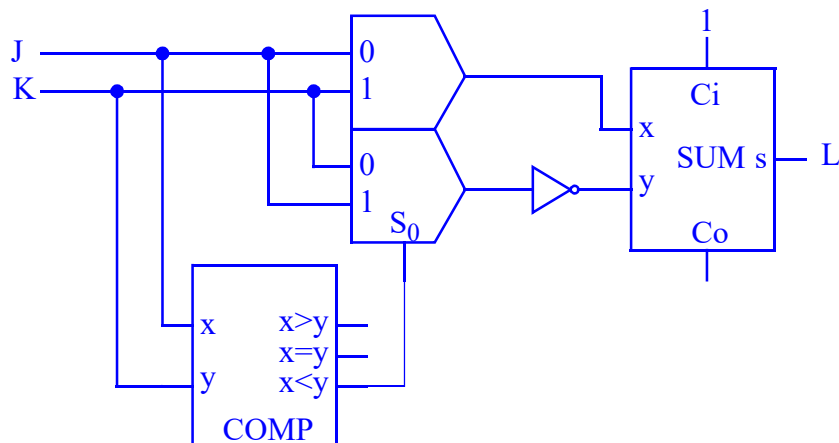
La solución se muestra para 4 bits, pero sería extrapolable a n.

a) Para calcular la media de F y G sólo hay que implementar $(F+G)/2$. La suma puede llevarse a cabo con un sumador paralelo y la división por dos ignorando el LSB. Hay que tener en cuenta que es posible que la suma se desborde activando el carry de salida. Dicho bit se usará como MSB en el resultado, evitando posibles errores. Por ejemplo, si $n=4$, $F=9$, $G=15$, $F+G=24$, que no es representable en 4 bits, pero sí en 5. $F+G=11000_2$. $(F+G)/2=12=1100_2$.

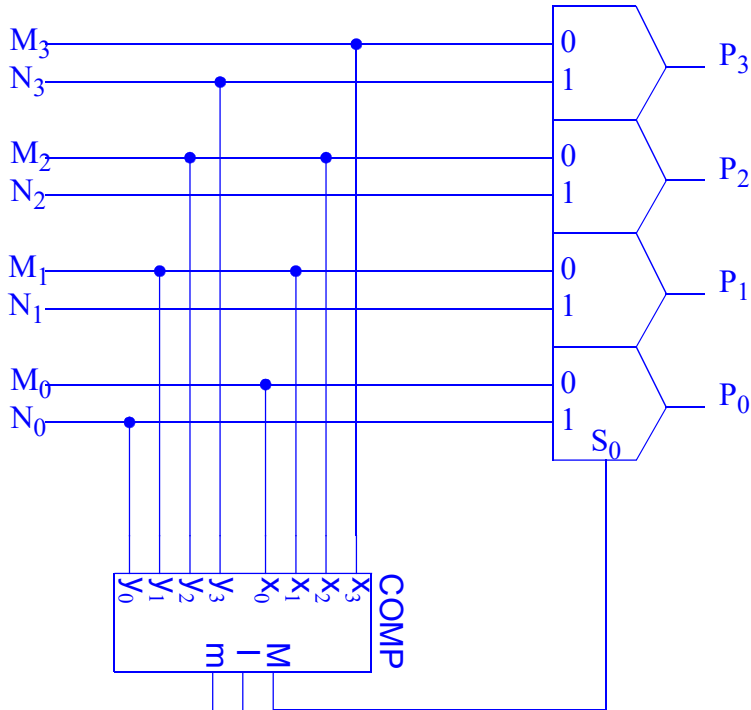


b) Se trata de calcular la diferencia $|J-K|$. La resta se puede hacer sumando el complemento a dos de K, es decir, con un sumador paralelo e introduciendo el complemento a uno del sustraendo y la entrada de carry activa ($J-K = J + Ca2(K) = J + Ca1(K) + 1$). Para obtener el valor absoluto de la diferencia, previamente se seleccionará cuál de los dos números a restar es mayor, poniéndolo siempre como primer parámetro (con un comparador).

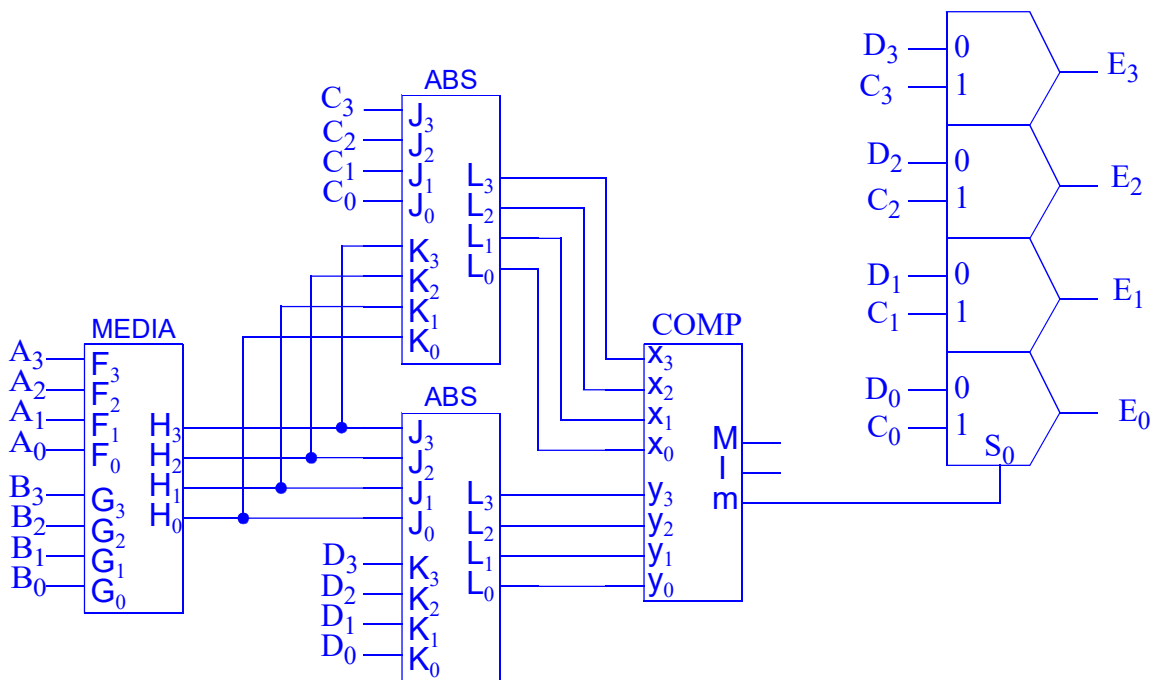
En el circuito siguiente, todas las líneas son buses de n bits, excepto las finas que son líneas individuales. Los MUX2:1 y los inversores son en realidad baterías de n elementos, uno para cada bit.



c) El circuito se hará con un comparador de magnitud de n bits y n MUX2:1 (en la figura para n=4). La entrada de selección estará gobernada por la salida M del comparador.

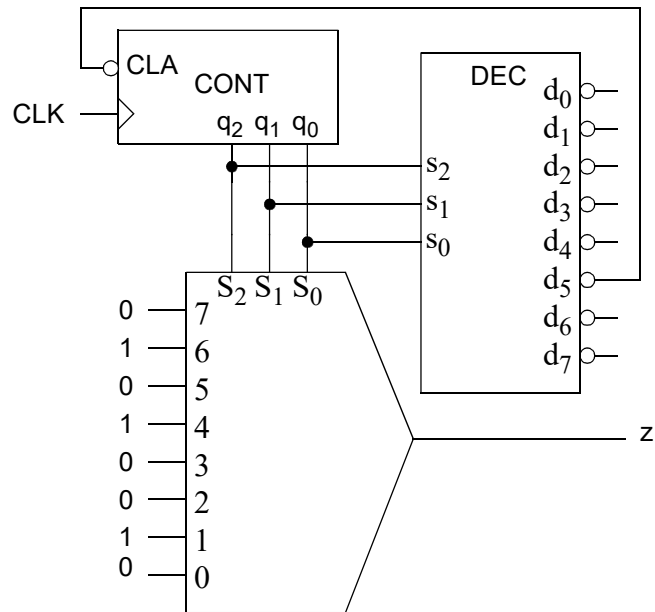


d) Ensamblando los módulos anteriores, tenemos el siguiente circuito (se muestra para n=4). Nótese que no se ha usado el módulo MENOR, ya que ha sido necesario adaptarlo para conseguir el efecto deseado:



5.- [2'5 Puntos] Analice el circuito de la figura y explique qué hace el mismo así como la evolución de la

salida (NOTA: CLA es una entrada de puesta a cero asíncrona).



SOLUCIÓN

Se trata de un circuito secuencial que no tiene entradas (excepto la señal de reloj) y una salida. El conjunto contador-decodificador forman un contador módulo 5, ya que el decodificador actúa sobre la señal de clear asíncrona del primero cuando el mismo pasa por el estado 5. La salida de cuenta se conecta a un MUX8:1 del que se van seleccionando los canales 0 a 4, generando la secuencia “01001”.