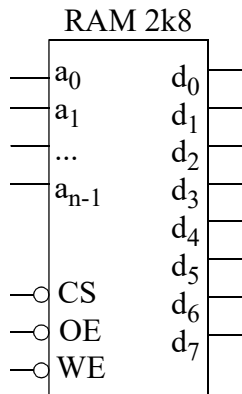


Apellidos:.....  
 Nombre:.....

1	2	3	4

**TEORÍA (Cada pregunta vale 1 punto)**

- 1.- Defina clara y brevemente los siguientes conceptos:
  - a) Condensador de desacoplo.
  - b) Fan-out: Definición y expresiones.
  - c) Rangos de tensión.
  - d) Encapsulado: qué es, para que sirve y algunos tipos.
  
- 2.- Explique qué es un codificador de prioridad y su funcionamiento. Dé el símbolo lógico y la tabla de funcionamiento de un codificador 4 a 2 con dos entradas de habilitación y salidas GS (Group Select) y EO (Enable Output). Comente todas las posibles situaciones conflictivas que se pueden dar en un codificador sin salidas GS y EO.
  
- 3.- Suponiendo que dispone de chips de RAM de 2Kx8, con el funcionamiento que se muestra en la tabla adjunta, obtenga un módulo de memoria RAM de 8Kx8 con las mismas señales de control. Dimensione y justifique el bus de direcciones de la RAM 2K8. Si lo necesita, puede utilizar elementos adicionales como puertas lógicas y/o decodificadores.



CS#	OE#	WE#	$D_{0..m-1}$	Modo
1	X	X	HiZ	Reposo
0	1	1	HiZ	Sal. deshabilitada
0	0	1	Salida	Lectura
0	-	0	Entrada	Escritura

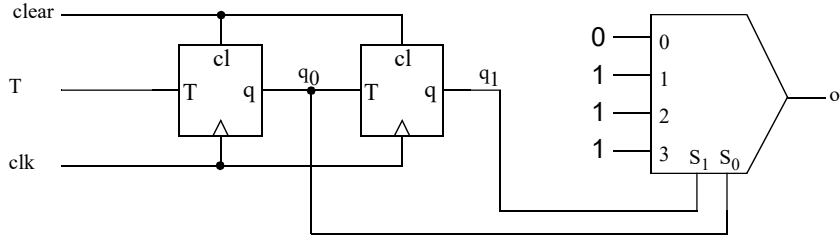
- 4.- Para el CS3, escriba las micro-operaciones para ejecutar las instrucciones LD Rd, (Rb) y LDI Rd, dir (siendo dir un número cualquiera de 8 bits). Debe dar tanto transferencias de registros como las señales de control que se activan.

--	--

**PROBLEMAS (Cada pregunta vale 3 puntos)**

1.- Analice el circuito de la figura:

- a) Suponiendo ideales todos los componentes, obtenga la tabla de estados/salida (sin tener en cuenta la entrada de clear asíncrona) y asigne los estados de la forma:  $q_1q_0 = "00"$  estado A,  $q_1q_0 = "01"$  estado B,  $q_1q_0 = "10"$  estado C,  $q_1q_0 = "11"$  estado D. A partir de la tabla de estados obtenga la evolución de la salida para las entradas que se proponen.
- b) Suponiendo que todos los dispositivos tienen un retraso  $\Delta$ , dibuje la evolución de la salida y de las señales intermedias.
- c) Comente qué ocurriría si el tiempo de retraso  $\Delta$  fuese mayor que el periodo de reloj menos el tiempo de setup de los biestables.



2.- El protocolo WS2812 permite programar el color de un LED RGB en base a 24 bits que se cargan en el led de forma serie. Para programar en el led un '1' lógico hay que poner su entrada a '1' durante 800 ns y después a '0' durante 450 ns. Para programar un '0' lógico hay que poner su entrada a '1' durante 450 ns y después a '0' durante 800 ns. Gráficamente:



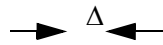
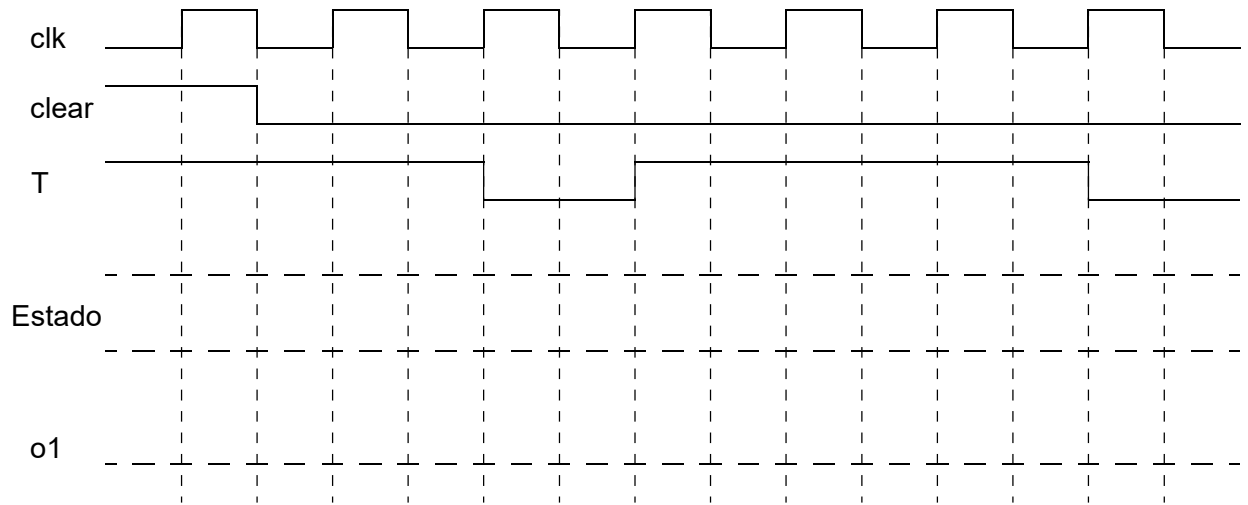
Se desea diseñar un circuito que controle la programación de los 24 bits de un LED RGB. Para ello se dispone de una unidad de datos con los siguientes elementos:

- Un registro paralelo-serie (A) de 24 bits, que contiene desde el inicio los 24 bits a programar en el LED. Este registro tiene una entrada SHL que cuando esté a '1' producirá un desplazamiento a la izquierda de este registro. La salida del bit más significativo se llama A23.
- Un contador descendente, C1, módulo 256 con entrada de carga en paralelo síncrona activa en alta (LD1) y salida de Borrow (BW1).
- Un contador descendente, C2, módulo 64, con entrada de carga en paralelo síncrona activa en alta (LD2) y salida de Borrow (BW2).

- a) Si en la unidad de datos necesita algún componente más, indíquelo y describa su funcionalidad a nivel RT.
- b) Dibuje la carta ASM de la unidad de datos y de la unidad de control del controlador que genere la señal para programar los 24 bits del LED RGB de la forma que se ha mostrado en la figura anterior. Los valores a programar están en el registro A. El controlador cuenta con una entrada Xs que indica el inicio de una programación. Una vez terminada la programación debe poner una salida FIN a uno. La salida con la señal para programar el led ha de llamarse "prog\_led". La señal de reloj tiene una frecuencia de 100 MHz.

# Problema 1

## a) Caso ideal



## b) Caso con retraso

