

Apellidos:.....**SOLUCIÓN**.....

1	2	3	4

Nombre:.....

TEORÍA (Cada pregunta vale 1 punto)

1.- Explique las condiciones que se tienen que cumplir para que dos familias lógicas sean compatibles. Atendiendo a los datos de la tabla, indique si las familias HCT y AC lo son.

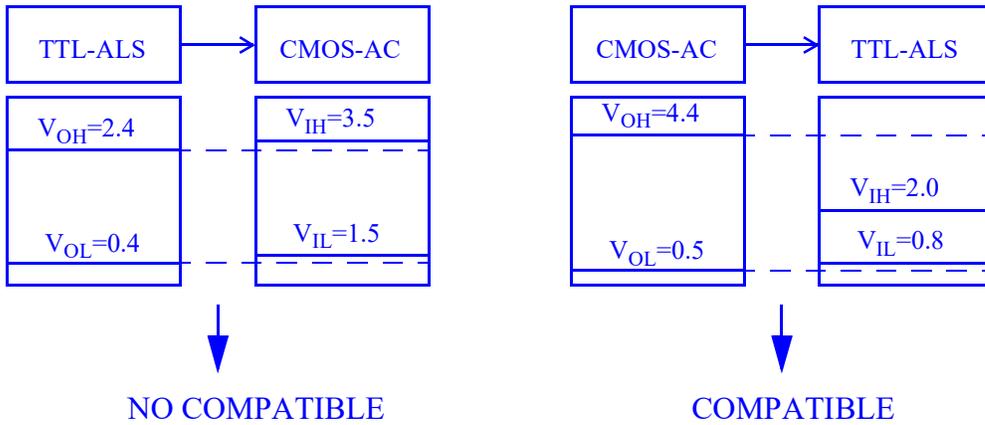
HCT		AC	
$V_{OH} = 2,4V$	$V_{IH} = 2,0V$	$V_{OH} = 4,4V$	$V_{IH} = 3,5V$
$V_{OL} = 0,4V$	$V_{IL} = 0,8V$	$V_{OL} = 0,5V$	$V_{IL} = 1,5V$
$ I_{OH} = 15 \text{ mA}$	$ I_{IH} = 20 \text{ uA}$	$ I_{OH} = 24 \text{ mA}$	$ I_{IH} = 1 \text{ uA}$
$ I_{OL} = 24 \text{ mA}$	$ I_{IL} = 0,1 \text{ mA}$	$ I_{OL} = 24 \text{ mA}$	$ I_{IL} = 1 \text{ mA}$

SOLUCIÓN

Para que sean compatibles se tiene que cumplir que: $V_{OH} > V_{IH}$, $V_{OL} < V_{IL}$, $I_{OH} > I_{IH}$, $I_{OL} > I_{IL}$.

Esto para salidas HCT y entradas AC y viceversa, para salidas AC y entradas HCT. Esto nos da que hay que comprobar 8 condiciones. Si alguna de las 8 condiciones falla entonces no son compatibles.

Compatibilidad en tensión



Para el caso de salidas HCT conectadas a entradas AC no se cumple que $V_{OH} > V_{IH}$. Esto significa que los unos lógicos generados por las puertas de la familia TTL-ALS no son interpretados correctamente por las de la familia CMOS-AC. Por lo tanto ambas familias no son compatibles en tensión y ello conlleva que no sean compatibles.

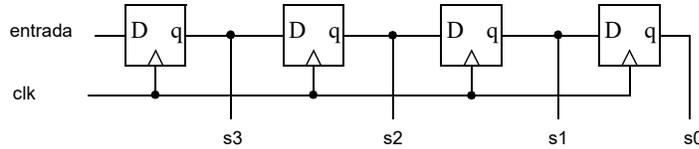
Ya no es necesario analizar la compatibilidad en intensidad.

Apellidos:.....**SOLUCIÓN**.....

1	2	3	4

Nombre:.....

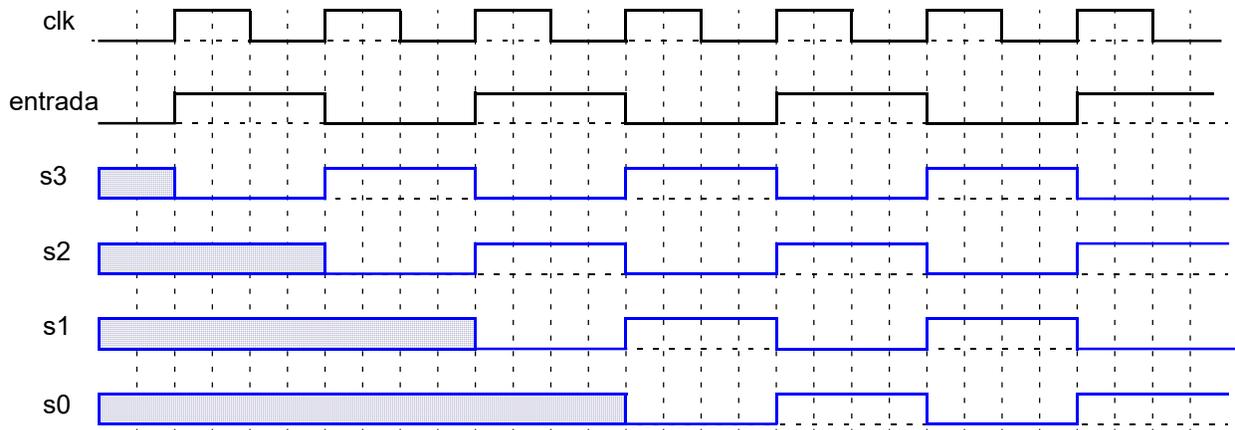
2.- ¿Qué subsistema es el siguiente circuito?. Explique porqué. Dibuje un pequeño cronograma para mostrar su funcionamiento. En el cronograma la entrada sólo puede cambiar con el flanco activo de reloj y deben cambiar los estados de todos los biestables.



SOLUCIÓN

Se trata de un registro serie-paralelo, porque tiene una única entrada y una salida para cada biestable. Además realiza la operación de desplazamiento porque la salida de cada biestable está conectada a la entrada del siguiente (salvo el último).

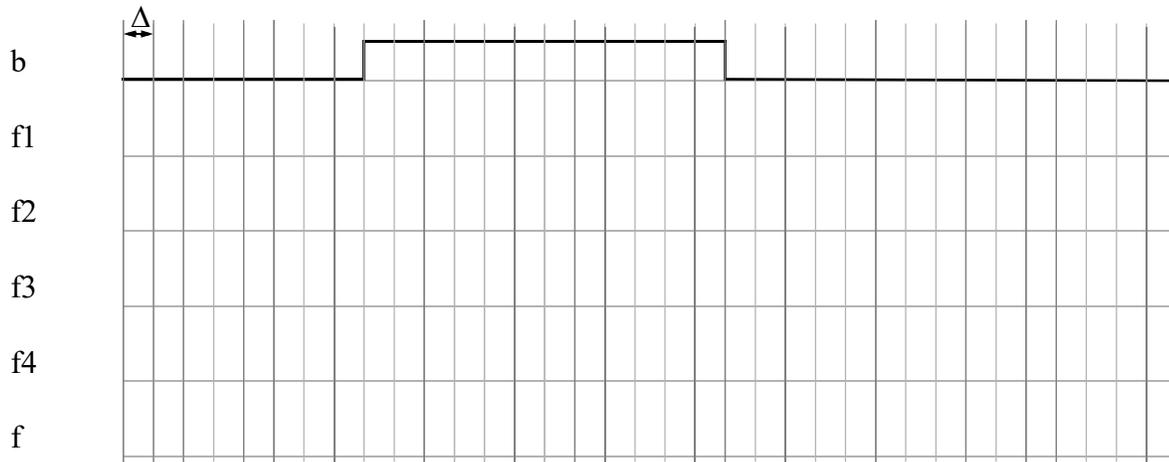
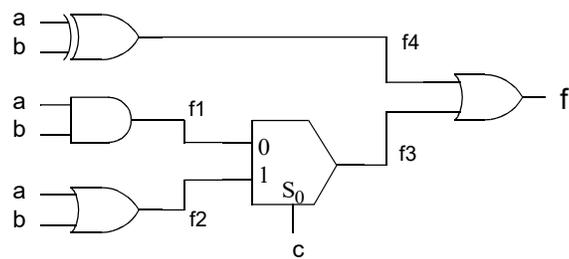
Para el cronograma vamos a partir de una situación en la que se desconozca el estado de los biestables, aunque se podría haber supuesto que están a un valor. Vamos a poner valores en la entrada y ver cómo se van desplazando a lo largo del registro.



3.- Para el siguiente circuito:

- a) Obtenga la expresión algebraica de la salida suponiendo los componentes ideales.
- b) Suponiendo que todos los componentes tienen un retraso Δ , obtenga la evolución de la salida

cuando $a = 1$, $c = 0$ y b cambia.

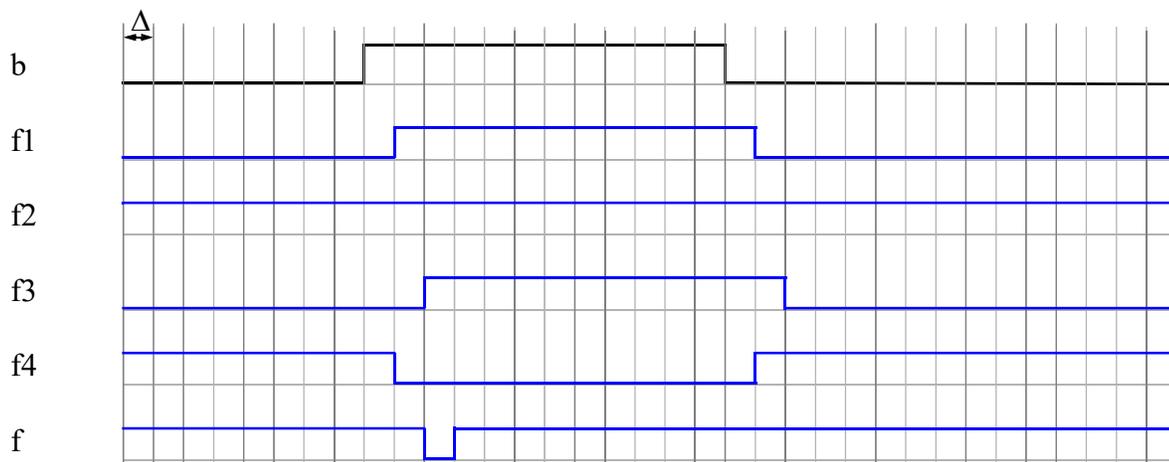


SOLUCIÓN

a) La expresión algebraica de la salida es:

$$\left. \begin{aligned} f1 &= ab \\ f2 &= a + b \\ f3 &= ab\bar{c} + (a + b)c \\ f4 &= \bar{a}b + a\bar{b} \end{aligned} \right\} \begin{aligned} f &= \bar{a}b + a\bar{b} + ab\bar{c} + (a + b)c \\ &= \bar{a}b + a\bar{b} + ab\bar{c} + ac + bc \end{aligned}$$

b) La evolución de las salidas cuando los componentes tienen retrasos es:



4.- Para el CS3, describa con palabras qué hace y escriba las micro-operaciones para ejecutar las instrucciones "STS dir, Rf" y "RET". Debe dar tanto transferencias de registros como las señales de control que se activan.

SOLUCIÓN

Apellidos:.....**SOLUCIÓN**.....

1	2	3	4

Nombre:.....

PROBLEMAS (Cada pregunta vale 3 puntos)

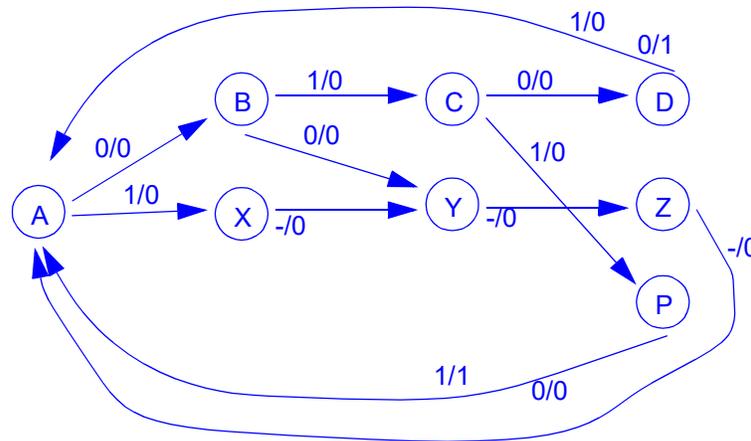
- 1.- (2223ED.jun) Un circuito recibe grupos de 4 bits por una línea serie X y activa la salida Z cuando detecta las secuencias 0100 y 0111.
- a) Obtenga el diagrama de estados de la máquina de Mealy.
 - b) Implementélo con el menor y más sencillo contador ascendente y puertas NAND.

SOLUCIÓN

a) Diagrama de estados:

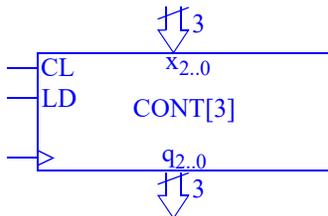
Al tratarse de un detector de grupos de bits, hay que contar el número de bits recibidos, estén o no en secuencia. Por ello, todas las cadenas de estados desde el primero (A) hasta que se vuelve al mismo deben tener una longitud de 4.

El estado A es el inicial y es el que inicia la secuencia. La cadena de estados B, C y D es para la secuencia 0100 (es decir, B indica que estamos en las dos secuencias, ya que coinciden en que ambas empiezan por 0; C indica que ya se han recibido los bits 01,...). La cadena B, C, P es para la segunda secuencia y la cadena X, Y y Z se encarga de contar los bits una vez que ya no estamos en secuencia.



b) Implementación:

Se necesita un contador módulo 8 con capacidad de puesta a cero y carga en paralelo, ambas síncronas. Como es habitual, se dará prioridad a la entrada de CL, con lo que la descripción RT del contador será:



CL LD	CONT←	q =
1-	0	
01	x	[CONT]
00	CONT+1	

Asignamiento de estados: 0 para el estado A por ser el que más transiciones recibe. Después se asignarán los estados de forma consecutiva para maximizar el uso de la operación incremento.

Apellidos:.....**SOLUCIÓN**.....

1	2	3	4

Nombre:.....

Asignamiento de operaciones: en caso de poder usar más de una, se optará por la menos costosa (la que más inespecificaciones aporte).

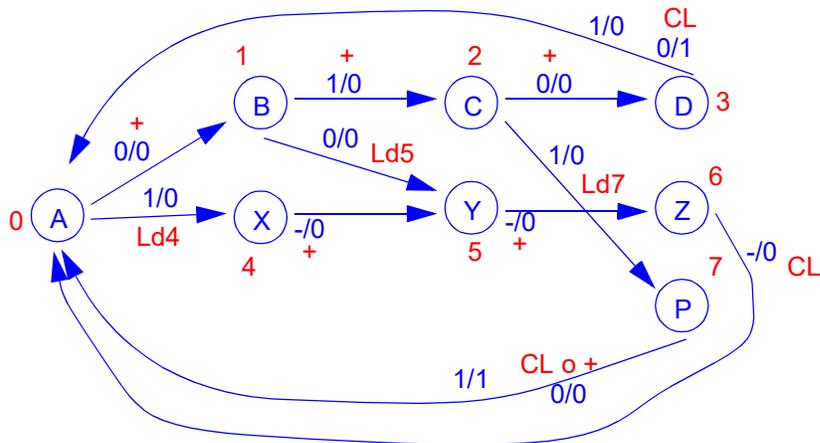


Tabla de verdad del circuito combinacional:

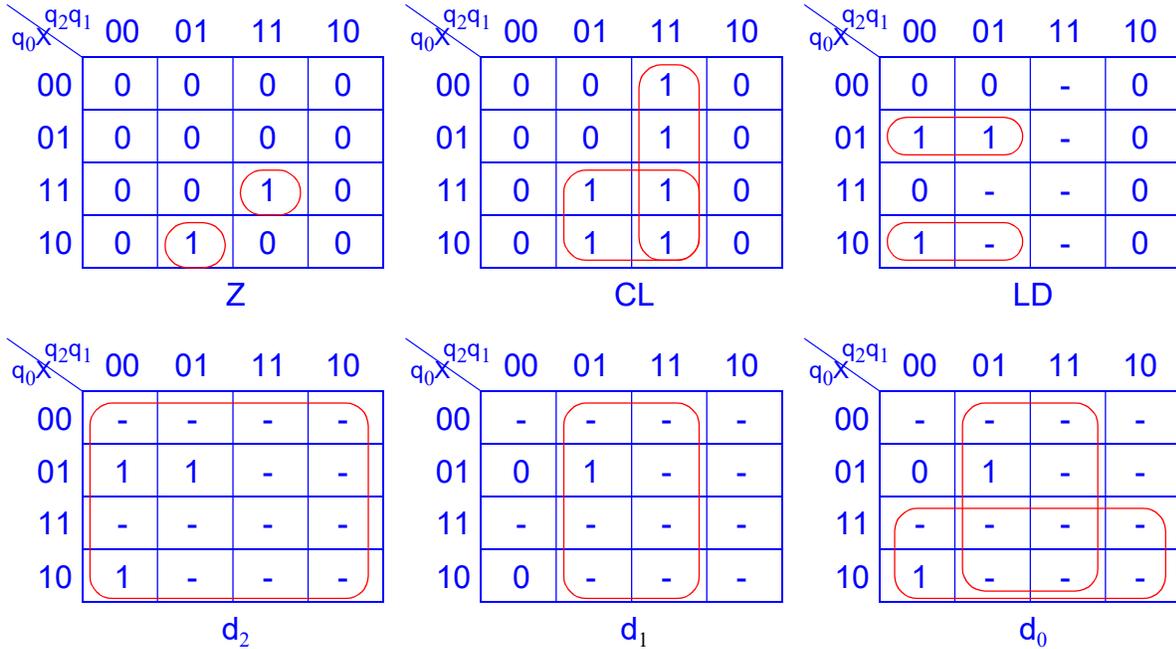
Estado	q ₂ q ₁ q ₀ X	Z	CL LD d ₂ d ₁ d ₀
A	0000	0	0 0 ---
	0001	0	0 1 100
B	0010	0	0 1 101
	0011	0	0 0 ---
C	0100	0	0 0 ---
	0101	0	0 1 111
D	0110	1	1 ----
	0111	0	1 ----
X	1000	0	0 0 ---
	1001	0	0 0 ---
Y	1010	0	0 0 ---
	1011	0	0 0 ---
Z	1100	0	1 ----
	1101	0	1 ----
P	1110	0	1 ----
	1111	1	1 ----

Apellidos:.....**SOLUCIÓN**.....

1	2	3	4

Nombre:.....

Mapas K:



$$\begin{aligned}
 Z &= \bar{q}_2q_1q_0\bar{X} + q_2q_1q_0X & d_2 &= 1 \\
 CL &= q_2q_1 + q_1q_0 & d_1 &= q_1 \\
 LD &= \bar{q}_2\bar{q}_0X + \bar{q}_2q_0\bar{X} & d_0 &= q_1 + q_0
 \end{aligned}$$

Pasando ahora a una implementación sólo con NAND:

$$\begin{aligned}
 Z &= \bar{q}_2q_1q_0\bar{X} + q_2q_1q_0X = \overline{\overline{\bar{q}_2q_1q_0\bar{X} + q_2q_1q_0X}} = \overline{\overline{\bar{q}_2q_1q_0\bar{X}}\overline{\bar{q}_2q_1q_0X}} \\
 CL &= q_2q_1 + q_1q_0 = \overline{\overline{q_2q_1 + q_1q_0}} = \overline{\overline{q_2q_1}q_1q_0} \\
 LD &= \bar{q}_2\bar{q}_0X + \bar{q}_2q_0\bar{X} = \overline{\overline{\bar{q}_2\bar{q}_0X + \bar{q}_2q_0\bar{X}}} = \overline{\overline{\bar{q}_2\bar{q}_0X}\overline{\bar{q}_2q_0\bar{X}}} \\
 d_2 &= 1 \\
 d_1 &= q_1 \\
 d_0 &= q_1 + q_0 = \overline{\overline{q_1 + q_0}} = \overline{\overline{q_1}q_0}
 \end{aligned}$$

Sólo queda dibujar el circuito.

CRITERIO DE CORRECCIÓN

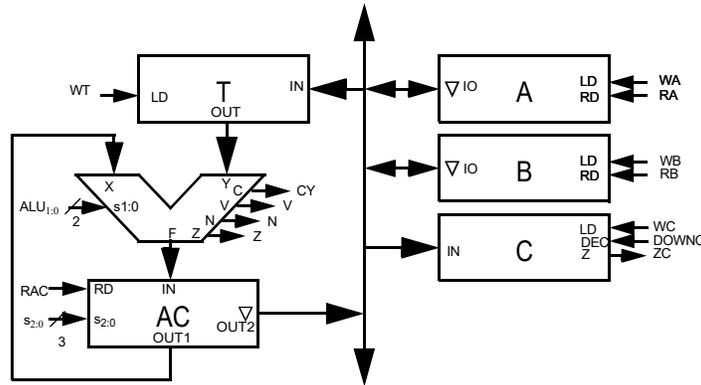
- a) 50%
- Si no es un detector de grupos, la nota máxima es 4.
- b) 50%
- Asignamiento de estados: 10%
- Asignamiento de operaciones: 10%
- Cada mapa K, 5% (30%)

Apellidos:.....**SOLUCIÓN**.....

--	--	--	--

Nombre:.....

genérica con ALU con un bus.



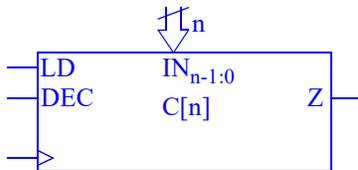
- a) Describa a nivel RT los registros AC y C. NOTA: el registro AC controla la lectura de su bus OUT2 con RD y soporta las operaciones siguientes en función de $s_{2:0}$, 0: NOP, 1: puesta a cero, 2: desplazamiento a la derecha, 3: desplazamiento a la izquierda, 4: carga en paralelo, 5: incremento, 6: decremento, 7: carga 11...11. La ALU realiza las siguientes operaciones en función de $s_{1:0}$, 0: X, 1: X+Y, 2: X-Y, 3: Y-X.
- b) Descomponga en microoperaciones cada una de las siguientes instrucciones y proponga una carta ASM de Datos y de Control (NOTA: en la comparación, suponga los números sin signo):

$I_{1:0}$	Macrooperación
00	$C \leftarrow Ca_2(A)$
01	$C \leftarrow Abs(A)$
10	$C \leftarrow 20 * A$
11	$C \leftarrow Mayor(A, B)$

SOLUCIÓN

- a) Descripción a nivel RT:

Registro C:



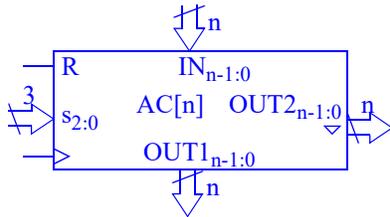
LD DEC	$C \leftarrow$	$Z =$
00	C	
01	C-1	1 sii C=0
1-	IN	

Apellidos:.....**SOLUCIÓN**.....

1	2	3	4

Nombre:.....

Registro AC:



R s	AC←	OUT1=	OUT2=
0 ---	-		HiZ
1 ---	-		[AC]
- 000	AC		-
- 001	0		-
- 010	SHR (AC, 0)	[AC]	-
- 011	SHL (AC, 0)		-
- 100	IN		-
- 101	AC+1		-
- 110	AC-1		-
- 111	11..11		-

b) Descomposición en microoperaciones:

C ← Ca2 (A)

Las formas habituales de calcular el complemento a 2 son:

- Ca2 (A) = Ca1 (A) + 1
- La forma iterativa, que copia todos los bits empezando por el lsb hasta que se copia el primer 1 y después se invierten los demás.

Pero también podemos aprovechar que los números con signo usan el sistema de codificación en complemento a 2:

$$-A = Ca2(A)$$

O, visto al revés:

$$Ca2(A) = -A = 0 - A$$

- | | |
|---------------|-------------|
| 1: AC←0, RT←A | ;AC=0. RT=A |
| 2: AC←AC-RT | ;AC=-A |
| 3: C←AC | ;C=-A |

C ← Abs (A)

Para calcular el valor absoluto, primero se calculará el opuesto del operando y después se mirará el signo. Si es positivo, se guarda dicho resultado en el destino. Si no, se guarda el operando fuente. Dado que no se almacenan los bits de salida de la ALU, para poder comprobar el bit de signo, es necesario hacer una operación falsa en la tercera microoperación, ya que el resultado no estará disponible hasta el final del segundo ciclo.

- | | |
|-------------------------|--|
| 1: AC←0, RT←A | ;AC=0. RT=A |
| 2: AC←AC-RT | ;AC=-A |
| 3: AC, N: C←A, N̄: C←AC | ;Dejar pasar AC. Si AC<0, A=A, sino C=-A |

C ← 20 * A

La multiplicación por 20 se realiza mediante sumas y desplazamientos a la izquierda.

- | | |
|-------------------------|---------------|
| 1: AC←0, RT←A | ;AC=0. RT=A |
| 2: AC←AC+RT | ;AC=A |
| 3: AC←SHL (AC,0) | ;AC=2A |
| 4: AC←SHL (AC,0), RT←AC | ;AC=4A. RT=2A |
| 5: AC←SHL (AC,0) | ;AC=8A |
| 6: AC←AC+RT | ;AC=10A |
| 7: AC←SHL (AC,0) | ;AC=20A |
| 8: C←AC | ;C=20A |

Apellidos:.....**SOLUCIÓN**.....

1 2 3 4

--	--	--	--

Nombre:.....

C ← Mayor (A, B)

Para obtener el mayor de A y B, primero se calcula la resta de ambos. Si se activa C, A<B

1: AC←0, RT←A ;AC=0. RT=A

2: AC←AC+RT, RT←B ;AC=A. RT= B

3: AC-RT, C: C←B, C: C←A ;Calcular A-B. Si carry=1, C=B, sino, C=A

En resumen, si colocamos las microoperaciones en una tabla para ver coincidencias:

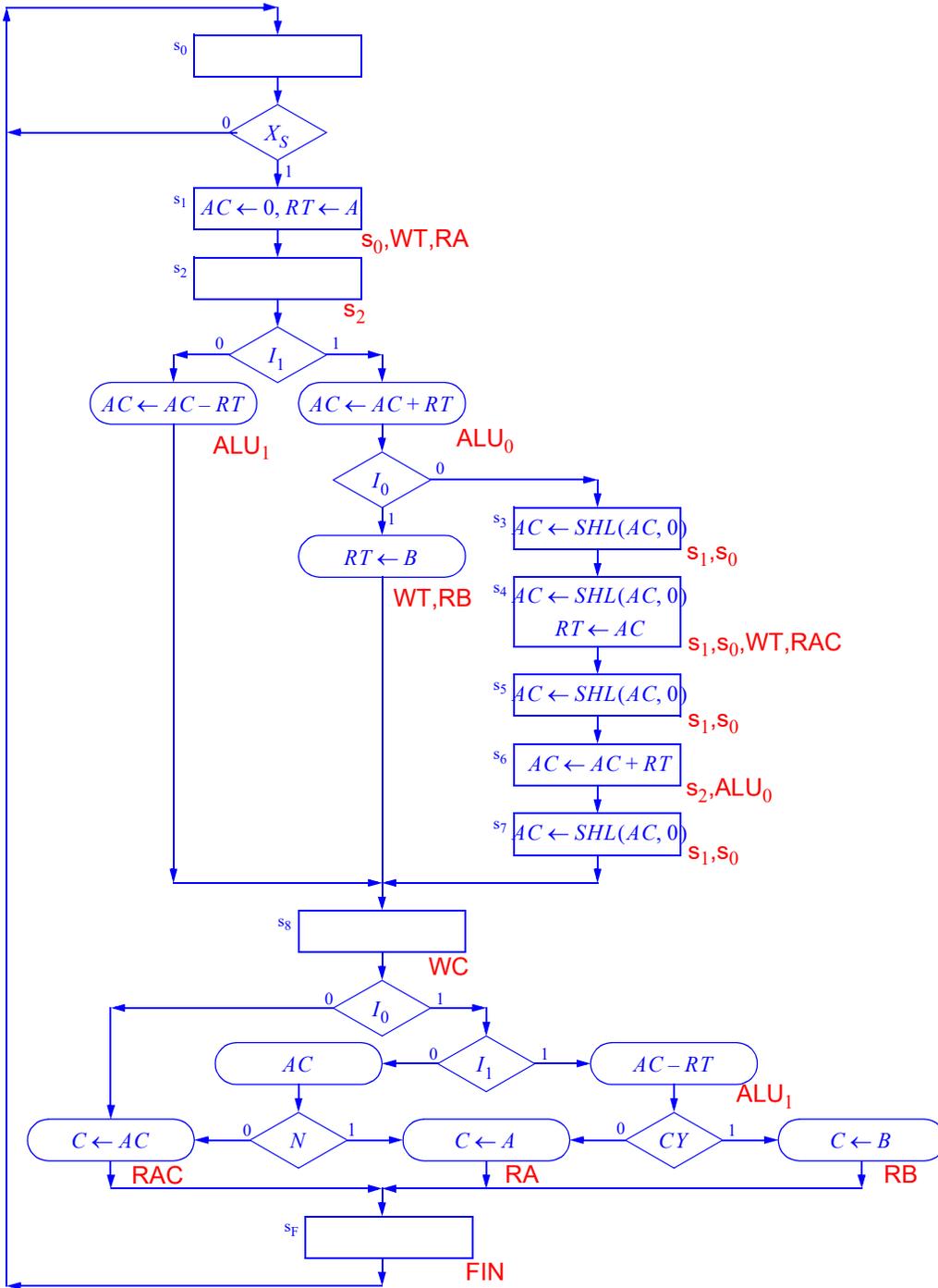
$\mu\text{op}I_{1:0}$	00: C←Ca2 (A)	01: C←Abs (A)	10: C←20*A	11: C←Mayor (A, B)
1	AC←0, RT←A			
2	AC←AC-RT		AC←AC+RT RT←B	
3	-	-	AC←SHL (AC,0)	-
4	-	-	AC←SHL (AC,0) RT←AC	-
5	-	-	AC←SHL (AC,0)	-
6	-	-	AC←AC+RT	-
7	-	-	AC←SHL (AC,0)	-
8	C←AC	AC (dejar pasar AC) N:C←A, \bar{N} :C←AC	C←AC	AC-RT CY: C←B, \overline{CY} : C←A

Apellidos:.....**SOLUCIÓN**.....

Nombre:.....

1	2	3	4

c) Cartas ASM de la UD y de la UC:



CRITERIO DE CORRECCIÓN

- a) Registro C: 10%
- Registro AC: 20%
- b) 70%
- Descomposición en microoperaciones: 40%
- Carta ASM UD: 20%
- Carta ASM UC: 10%