

Apellidos:.....

Nombre:.....

1 2 3 4 5 6

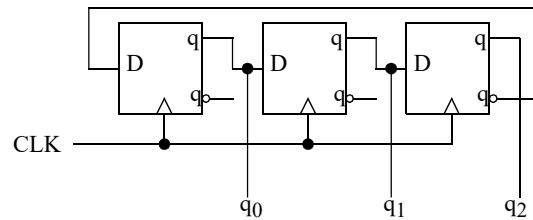
--	--	--	--	--	--

**TEORÍA (Cada pregunta vale 1 punto)**

1.- Defina breve y claramente los siguientes términos:

- $I_{OH}$
- Azar
- Codificador de prioridad
- Contador incompleto
- Full adder
- Microoperación
- Arquitectura Harvard
- Direccionamiento absoluto

2.- Analice el circuito de la figura e indique qué hace. Suponga que inicialmente los biestables tienen el estado 0.



3.- Jerarquía de memorias de un computador. En qué consiste y para qué sirve.

4.- Escriba la subrutina `Ca1` en ensamblador del CS3 que recibe un número de 8 bits en R0 y deja en R1 su complemento a 1.

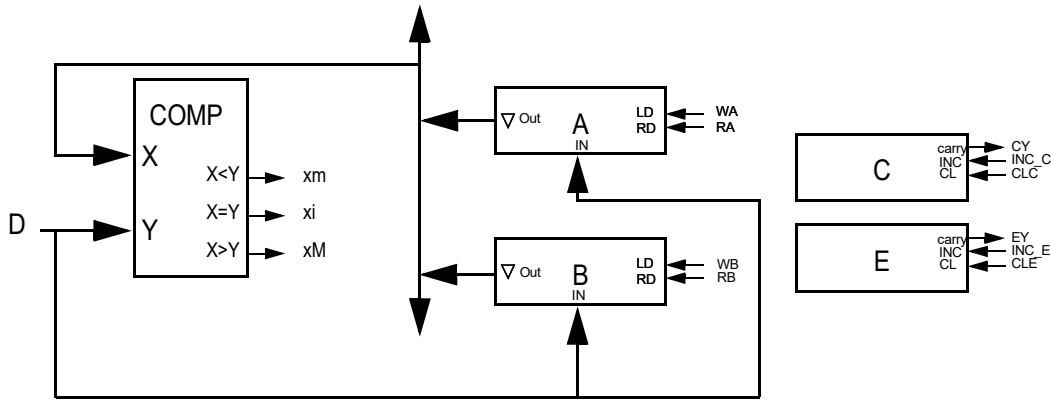
Apellidos:.....

Nombre:.....

1	2	3	4	5	6

**PROBLEMAS (Cada pregunta vale 3 puntos)**

- 1.- Se desea diseñar un contador que cuente de forma ascendente hasta un cierto valor. Este valor estará fijado por una entrada de 4 bits ( $X, x_3x_2x_1x_0$ ). La puesta a '1' de una entrada de inicio ( $I = '1'$ ) arrancará el proceso de cuenta empezando por el valor de cuenta cero. Una vez llegado al valor a contar, se deberá quedar parado en ese valor hasta que se produzca una nueva activación de la entrada de inicio ( $I = '1'$ ). Dispone para realizar el circuito de contadores ascendentes módulo 4, comparadores de magnitud y puertas lógicas. Deberá definir las entradas y salidas especiales que deben tener los contadores y las características del comparador. El diseño ha de ser síncrono.
  
- 2.- Se dispone de la Unidad de Datos de la figura. Todas las señales conectadas a ambos buses son de 8 bits. El bloque "COMP" es un comparador de magnitud. Los bloques C y E son contadores módulo 16 con señal de incremento, puesta a cero y salida de carry. Los bloques A y B son registros con las características que se muestran en la figura.



Se desea realizar el siguiente comportamiento: En el ciclo de reloj siguiente a la activación de la entrada de inicio ( $Xs$ ) la unidad de datos empieza a recibir por la entrada D 16 datos que contienen números sin signo. Cada dato estará en la entrada dos ciclos de reloj. El primer dato debe ser almacenado en el registro A. Una vez recibidos los 15 datos restantes, en C debe quedar el número de los datos recibidos que son menores al recibido en primer lugar (y almacenado en A) y en el registro B el menor de todos los datos siempre que sea inferior al primer dato recibido. En el caso de que todos los datos sean mayores que el primero, en B debe almacenarse el valor del primer dato (el almacenado en A).

- a) Describa la carta ASM de la Unidad de Datos y de la Unidad de control. Explique de forma concisa qué se hace en cada estado.
- b) Dibuje el circuito que implementa la unidad de control utilizando la técnica de un biestable por estado.