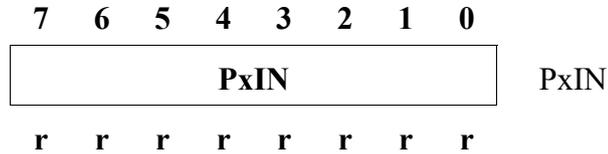
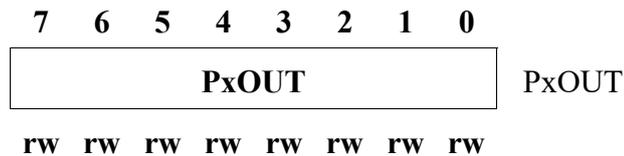


## ENTRADA/SALIDA DIGITAL

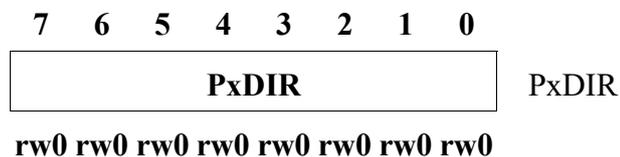
El MSP430FR6989 dispone de 10 puertos de E/S digital de 8 bits (P1 a P10). Los puertos se pueden agrupar en parejas para hacer un total de 5 puertos de 16 bits (PA a PE). Así, PA es la unión de P1 y P2, siendo P1 la mitad de menor peso y P2 la de mayor peso. Los puertos P1 a P4 tienen capacidad de interrupción.



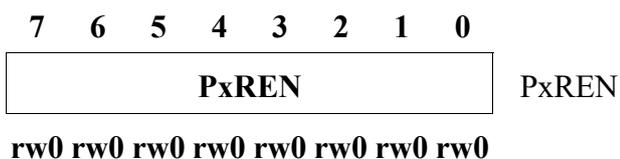
Bit	Campo	Tipo	Reset	Descripción
7-0	PxIN	R	?	( <i>IN</i> put) Entrada de Px 0: Entrada es 0 1: Entrada es 1



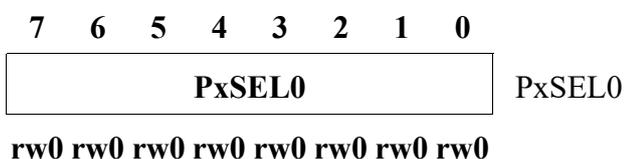
Bit	Campo	Tipo	Reset	Descripción
7-0	PxOUT	RW	?	( <i>OUT</i> put) Salida de Px: · Puerto configurado como salida: 0: Salida es 0 1: Salida es 1 · Puerto configurado como entrada: 0: Pulldown 1: Pullup



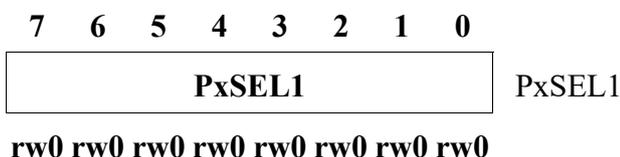
Bit	Campo	Tipo	Reset	Descripción
7-0	PxDIR	RW	0x00	( <i>DI</i> Rection) Dirección de Px: <b>0: Entrada</b> 1: Salida



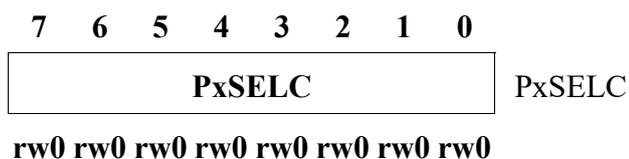
Bit	Campo	Tipo	Reset	Descripción
7-0	PxREN	RW	0x00	(Resistor <i>EN</i> able) Habilitación de resistencia de Px: <b>0: Resistencia deshabilitada</b> 1: Resistencia habilitada si el puerto es entrada



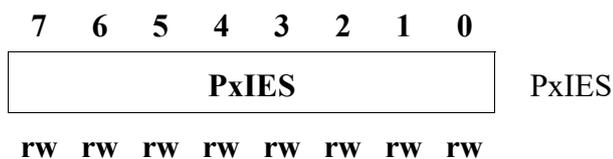
Bit	Campo	Tipo	Reset	Descripción
7-0	PxSEL0	RW	0x00	( <i>SE</i> lection0) Bit 0 de la selección de la función de Px (Ver descripción completa en PxSEL1)



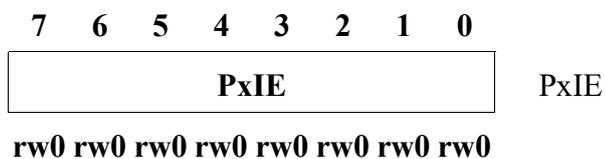
Bit	Campo	Tipo	Reset	Descripción
7-0	PxSEL1	RW	0x00	( <i>SE</i> lection1) Bit 1 de la selección de la función de Px. En función del par PxSEL1/PxSEL0, la función del pin es: <b>00: El pin se usa como E/S general</b> 01: Pin asociado al módulo primario 10: Pin asociado al módulo secundario 11: Pin asociado al módulo terciario



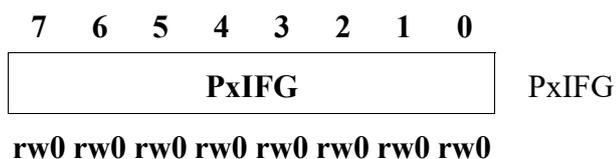
Bit	Campo	Tipo	Reset	Descripción
7-0	PxSELC	RW	0x00	(SElection Complement) Complemento de la selección de la función de Px. Si un bit de este registro es 1, se complementa el par de bits análogos de PxSEL1/PxSEL0. Puesto que el modo se configura con dos registros que no pueden ser actualizados a la vez, este registro permite pasar de un modo a otro en el que cambien los dos bits (00→11,01→10,...) sin pasar por un modo intermedio. Se lee siempre como 0x00



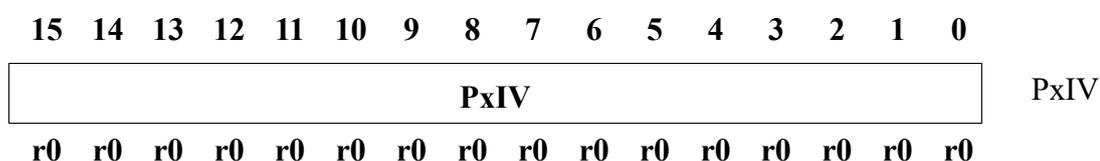
Bit	Campo	Tipo	Reset	Descripción
7-0	PxIES	RW	?	(Interrupt Edge Select) Flanco activo de Px (P1-P4) 0: Flanco de subida 1: Flanco de bajada



Bit	Campo	Tipo	Reset	Descripción
7-0	PxIE	RW	0x00	(Interrupt Enable) Habilitación de interrupción de Px (P1-P4) <b>0: Deshabilitada</b> 1: Habilitada



Bit	Campo	Tipo	Reset	Descripción
7-0	PxIFG	RW	0x00	( <i>Interrupt FlaG</i> ) Bandera de interrupción de Px (P1-P4) <b>0: No hay evento pendiente</b> <b>1: Hay un evento pendiente</b>



Bit	Campo	Tipo	Reset	Descripción
15-0	PxIV	R	0x00	( <i>Interrupt Vector</i> ) Vector de interrupción de Px (P1-P4): El vector de interrupción es igual al flag activo de menor peso más 1 y multiplicado por 2 (es decir, si está activo IFG0, el vector sería 0x02). El bit 0 de PxIFG es, por tanto, la interrupción más prioritaria y el 7 la menos. Al leer PxIV se borra automáticamente el PxIFG más prioritario, por lo que PxIV cambia para reflejar el siguiente bit más prioritario.