

## CONTROLADOR LCD

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

LCDDIVx	LCDPREx	LCD SSEL	-	LCDMXx	LCD SON	LCD LP	LCD ON	LCDCCTL0
---------	---------	-------------	---	--------	------------	-----------	-----------	----------

rw-0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0 r0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0

Bit	Campo	Tipo	Reset	Descripción
15-11	LCDDIVx	RW	0	<p>(LCD frequency <i>DIV</i>ider) Divisor de reloj del LCD. La frecuencia de trabajo es</p> $f_{LCD} = \frac{f_{ACKVLO}}{(LCDDIVx + 1)2^{LCDPREx}}$
10-8	LCDPREx	RW	0	<p>(LCD frequency <i>PRE</i>-scaler) Prescalador de frecuencia del reloj del LCD (vea LCDDIVx). Valores válidos: 0-5 (resto reservados)</p>
7	LCDSEL	RW	0	<p>(LCD Source <i>SE</i>lect) Selección de la fuente de reloj para el LCD:  <b>0: ACK</b>                      1: VLOCLK</p>
6	Reservado	R	0	Reservado. Siempre se lee como 0
5-3	LCDMXx	RW	0	<p>(LCD MuX rate) Modo de funcionamiento del LCD:  <b>000: estático</b>      100: 5-mux                      001: 2-mux          101: 6-mux                      010: 3-mux          110: 7-mux                      011: 4-mux          111: 8-mux</p>
2	LCDSON	RW	0	<p>(LCD Segments <i>ON</i>) Estado de visualización de los segmentos:  <b>0: Segmentos apagados</b>                      1: El estado de los segmentos depende de la memoria de vídeo</p>
1	LCDLP	RW	0	<p>(LCD Low-Power waveform) Formas de onda del LCD:  <b>0: Estándar</b>                      1: De bajo consumo</p>
0	LCDON	RW	0	<p>(LCD <i>ON</i>) Interruptor general:  <b>0: Módulo apagado (salvo LCDSON, el resto de los bits del registro sólo se pueden modificar en este estado).</b>                      1: Módulo encendido</p>

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

—				LCDN OCAP IE	LCDB LKON IE	LCDB LKOF FIE	LCD FRM IE	—				LCDN OCAP IFG	LCDB LKON IFG	LCDB LKOF FIFG	LCD FRM IFG	LCDCCTL1
r0	r0	r0	r0	rw-0	rw-0	rw-0	rw-0	r0	r0	r0	r0	rw-0	rw-0	rw-0	rw-0	

Bit	Campo	Tipo	Reset	Descripción
15-12	Reservado	R	0	Reservado
11	LCDNOCAPIE	RW	0	(LCD NO CAP Interrupt Enable) Habilitación de interrupción ante a falta de condensador de la bomba de carga: <b>0: Deshabilitada.</b> 1: Habilitada
10	LCDBLKNONIE	RW	0	(LCD BLinK ON Interrupt Enable) Habilitación de interrupción por parpadeo. Segmentos encendidos: <b>0: Deshabilitada.</b> 1: Habilitada
9	LCDBLKOFFIE	RW	0	(LCD BLinK OFF Interrupt Enable) Habilitación de interrupción por parpadeo. Segmentos apagados: <b>0: Deshabilitada.</b> 1: Habilitada
8	LCDFRMIE	RW	0	(LCD FRaMe Interrupt Enable) Habilitación de interrupción por cuadro: <b>0: Deshabilitada.</b> 1: Habilitada
7-4	Reservado	R	0	Reservado. Siempre se lee como 0
3	LCDNOCAPIFG	RW	0	(LCD NO CAP Interrupt FlaG) Bandera que se activa cuando se ha configurado la bomba de carga, pero el condensador externo no está presente: <b>0: No hay eventos pendientes.</b> 1: Evento detectado
2	LCDBLKNONIFG	RW	0	(LCD BLinK ON Interrupt FlaG) Bandera que se activa cuando durante el parpadeo de los segmentos, éstos se encuentran encendidos. Se borra automáticamente cuando se escribe en la memoria de vídeo: <b>0: No hay eventos pendientes.</b> 1: Evento detectado

Bit	Campo	Tipo	Reset	Descripción
1	LCDBLKOFFIFG	RW	0	( <i>LCD BLinK OFF Interrupt FlaG</i> ) Bandera que se activa cuando durante el parpadeo de los segmentos, éstos se encuentran apagados. Se borra automáticamente cuando se escribe en la memoria de vídeo: <b>0: No hay eventos pendientes.</b> 1: Evento detectado
0	LCDFRMIFG	RW	0	( <i>LCD FRaMe Interrupt FlaG</i> ) Bandera que se activa cuando se cambia de cuadro. Se borra automáticamente cuando se escribe en la memoria de vídeo: <b>0: No hay eventos pendientes.</b> 1: Evento detectado

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

-	LCDBLKDIV <sub>x</sub>	LCDBLKPRE <sub>x</sub>	LCDBLK MOD <sub>x</sub>	LCDCBLKCTL
---	------------------------	------------------------	----------------------------	------------

r0 r0 r0 r0 r0 r0 r0 r0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0

Bit	Campo	Tipo	Reset	Descripción
15-8	Reservado	R	0	Reservado
7-5	LCDBLKDIV <sub>x</sub>	RW	0	( <i>LCD BLinKing frequency DIVider</i> ) Divisor de reloj para la frecuencia de parpadeo que es $f_{BLINK} = \frac{f_{CLKVLO}}{(LCDBLKDIV_x + 1)2^{(LCDBLKPRE_x + 9)}}$ NOTA: cambiar sólo si LCDBLKMOD <sub>x</sub> =00
4-2	LCDBLKPRE <sub>x</sub>	RW	0	( <i>LCD BLinKing frequency PRE-scaler</i> ) Prescalador de frecuencia del reloj de parpadeo (vea LCDBLKDIV <sub>x</sub> ). NOTA: cambiar sólo si LCDBLKMOD <sub>x</sub> =00
1-0	LCDBLKMOD <sub>x</sub>	RW	0	( <i>LCD BLinKing MODE</i> ) Modo de parpadeo: <b>00: Parpadeo deshabilitado.</b> 01: Parpadeo de segmentos individuales según habilitación en registros de memoria de parpadeo LCDBM <sub>x</sub> (deshabilitado si LCDMX <sub>x</sub> > 4). 10: Parpadeo de todos los segmentos. 11: Intercambio entre los contenidos de la memoria de vídeo LCDM <sub>x</sub> y la de parpadeo LCDBM <sub>x</sub> (deshabilitado si LCDMX <sub>x</sub> > 4).

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

-											LCDC LRBM	LCDC LRM	LCD DISP	LCDCMEMCTL
---	--	--	--	--	--	--	--	--	--	--	--------------	-------------	-------------	------------

r0 r0 r0 r0 r0 r0 r0 r0 r0 r0 r0 r0 r0 rw-0 rw-0 rw-0

Bit	Campo	Tipo	Reset	Descripción
15-3	Reservado	R	0	Reservado
2	LCDCLRBM	RW	0	( <i>CLeaR LCD Blinking Memory</i> ) Al poner a 1 este bit, se borran todos los registros de memoria de parpadeo LCDBMx. El bit se pone a cero automáticamente cuando el proceso se culmina. No disponible en modo 5-mux
1	LCDCLRM	RW	0	( <i>CLeaR LCD Memory</i> ) Al poner a 1 este bit, se borran todos los registros de memoria de vídeo LCDMx. El bit se pone a cero automáticamente cuando el proceso se culmina
0	LCDDISP	RW	0	(select <i>LCD</i> memory for <i>DIS</i> Play) Selección de memoria para visualización: <b>0: Se visualiza el contenido de la memoria de vídeo LCDMx.</b> 1: Se visualiza el contenido de la memoria de parpadeo LCDBMx. Vale 0 y no se puede cambiar cuando LCDBLKMODx = 01/10 o si el modo de multiplexión es mayor de 4. Si LCDBLKMODx = 11, este bit refleja qué memoria se está visualizando (bit de sólo lectura). Al volver a LCDBLKMODx = 00, el bit se pone a 0.

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

-		VLCDx				-		LCD REXT	R03 EXT	LCD EXT BIAS	VLCD EXT	LCD CPEN	VLCDREFx	LCD 2B	LCDCVCTL
---	--	-------	--	--	--	---	--	-------------	------------	--------------------	-------------	-------------	----------	-----------	----------

r0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0 r0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0

Bit	Campo	Tipo	Reset	Descripción
15-13	Reservado	R	0	Reservado

Bit	Campo	Tipo	Reset	Descripción
12-9	VLCDx	RW	0	Selección de tensión de la bomba de carga. LCDPEN debe ser 1 para que la bomba de carga esté habilitada: <b>0000: Bomba de carga deshabilitada.</b> Resto: Si (VLCDREFx = -0) $2^6 + (VCLDx - 1) * 0^06$ Si (VLCDREFx = -1) $[2^17 + (VCLDx - 1) * 0^05] * Vref$
8	Reservado	R	0	Reservado
7	LCDREXT	RW	0	Cuando se configura la generación interna de las tensiones de polarización (LCDEXTBIAS=0), este bit controla si dichas tensiones son accesibles a través de los pines Rx3: <b>0: Tensiones V2 a V4 generadas internamente no accesibles externamente.</b> 1: Tensiones V2 a V4 generadas internamente disponibles externamente. NOTA: Sólo modificable cuando LCDON=0
6	R03EXT	RW	0	Selección de tensión para V5: <b>0: V5 = Vss = GND = 0V</b> 1: V5 = R03 pin NOTA: Sólo modificable cuando LCDON=0
5	LCDEXTBIAS	RW	0	Selección externa de las tensiones V2 a V4: <b>0: V2 a V4 generadas internamente.</b> 1: V2 a V4 generadas externamente. NOTA: Sólo modificable cuando LCDON=0
4	VLCDEXT	RW	0	Selección de fuente $V_{LCD}$ : <b>0: <math>V_{LCD}</math> generada internamente.</b> 1: $V_{LCD}$ generada externamente. NOTA: Sólo modificable cuando LCDON=0
3	LCDCPEN	RW	0	Habilitación de la bomba de carga: <b>0: Deshabilitada</b> 1: Habilitada cuando $V_{LCD}$ se genera internamente (VLCDEXT=0) y VLCDx>0 o VLCDREFx>0

Bit	Campo	Tipo	Reset	Descripción
2-1	VLCDREFx	RW	0	Referencia para la bomba de carga: <b>00: Referencia interna (único valor posible si LCDEXTBIAS=1 o LCDREXT=1).</b> 01: Referencia externa. 10: Referencia interna conectada a pin externo LCDREF/R13 11: Reservado NOTA: Sólo modificable cuando LCDON=0
0	LCD2B	RW	0	Selección de tensiones de polarización (sólo en modos de multiplexión entre 1 y 4): <b>0: 1/3</b> 1: 1/2 NOTA: Sólo modificable cuando LCDON=0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LCD S15	LCD S14	LCD S13	LCD S12	LCD S11	LCD S10	LCD S9	LCD S8	LCD S7	LCD S6	LCD S5	LCD S4	LCD S3	LCD S2	LCD S1	LCD S0

LCDCPCTL0

rw-0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LCD S31	LCD S30	LCD S29	LCD S28	LCD S27	LCD S26	LCD S25	LCD S24	LCD S23	LCD S22	LCD S21	LCD S20	LCD S19	LCD S18	LCD S17	LCD S16

LCDCPCTL1

rw-0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0

Bit	Campo	Tipo	Reset	Descripción
15-0	LCDSx	RW	0	(LCD Segment x) Selección de función del puerto: <b>0: Función determinada por PySELz.</b> 1: Segmento de LCD

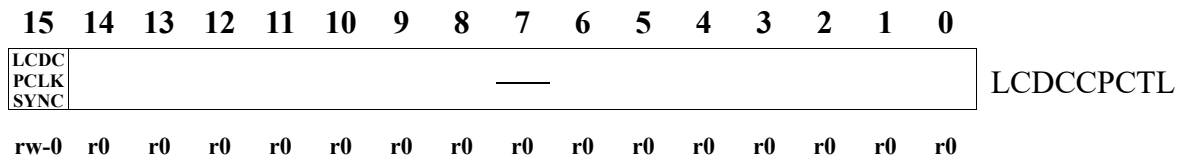
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	LCD S43	LCD S42	LCD S41	LCD S40	LCD S39	LCD S38	LCD S37	LCD S36	LCD S35	LCD S34	LCD S33	LCD S32

LCDCPCTL2

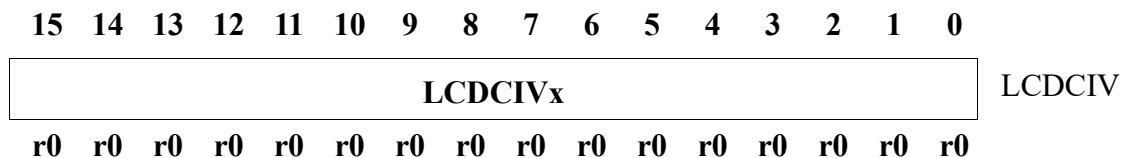
r0 r0 r0 r0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0 rw-0

Bit	Campo	Tipo	Reset	Descripción
15-12	Reservado	R	0	Reservado

Bit	Campo	Tipo	Reset	Descripción
11-0	LCDSx	RW	0	(LCD Segment x) Selección de función del puerto: <b>0: Función determinada por PySELz.</b> 1: Segmento de LCD



Bit	Campo	Tipo	Reset	Descripción
15	LCDCPCLKSYNC	RW	0	(LCD Charge Pump CLoCK SYNCronization) Activa la sincronización del reloj de la bomba de carga al reloj interno de la CPU. <b>0: Sincronización deshabilitada</b> 1: Sincronización habilitada
14-0	Reservado	R	0	Reservado



Bit	Campo	Tipo	Reset	Descripción
15-0	LCDCIVx	R	0x00	(LCD_C Interrupt Vector) Vector de interrupción de LCD: <b>0: No hay interrupción pendiente.</b> 2: LCDNOCAPIFG=1 (Más prioritaria) 4: LCDBLKOFFIFG=1 6: LCDBLKONIFG=1 8: LCDFRMIFG=1 (menos prioritaria)