

## Circuitos Electrónicos Digitales – GII - IC

Examen Final

Convocatoria 1

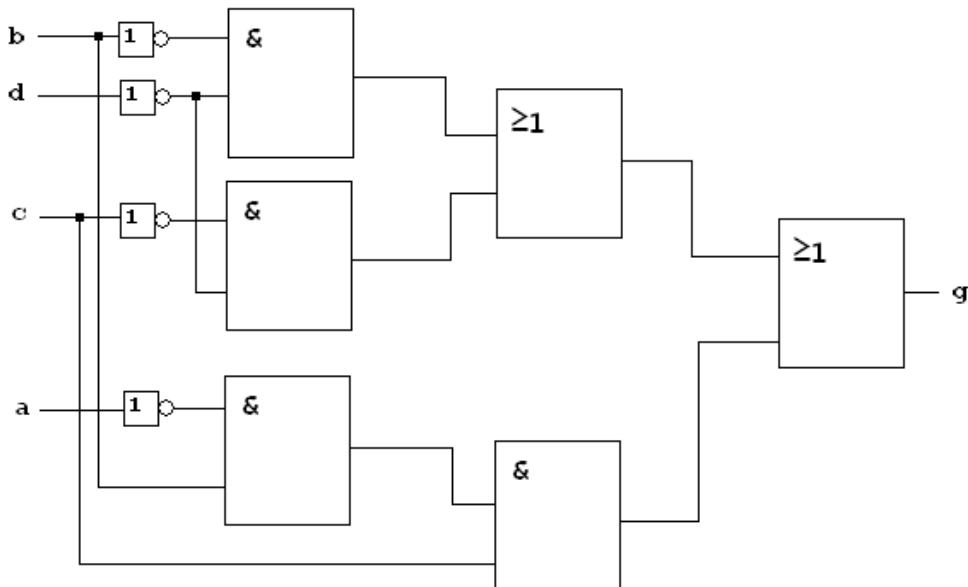
8-Febrero-2011

Apellidos, Nombre: \_\_\_\_\_

Problema 1. En una empresa se requiere implementar la siguiente función lógica:

$$f(a, b, c, d) = \Sigma(0, 4, 5, 8) + d(1, 2, 10, 12, 14)$$

Para ello, el equipo de diseño de circuitos electrónicos de la empresa ha propuesto la siguiente solución:



Un alumno de Ingeniería de Computadores en prácticas en esa empresa percibe que la solución aportada no es buena.

Para comprobar si usted comienza a tener competencias parecidas a las de ese alumno, se le pide:

- Represente el K-mapa de la función representada en el circuito de la figura,  $g$ .
- Represente el K-mapa de la función objetivo,  $f$ .
- Indique, si las hay, en qué combinaciones de entrada de la función  $g$  se han cometido errores en relación a la función original  $f$ .
- Implemente la función  $f$  con un circuito lógico mínimo **en dos niveles** (hipótesis de doble raíl) empleando cualquier tipo de puertas.

**Apellidos, Nombre:** \_\_\_\_\_

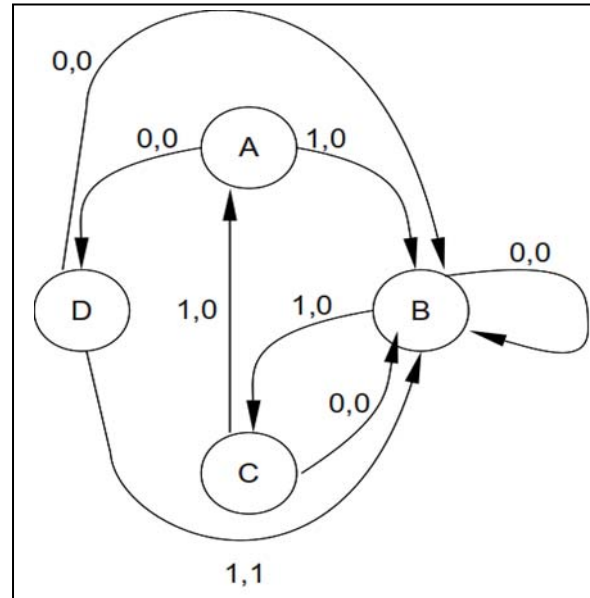
Problema 2. Dado el diagrama de estados de la figura, responda de forma justificada a lo siguiente:

- a) Obtenga la secuencia de estados y de salida suponiendo que la entrada va tomando sucesivamente los valores:

X: 0, 0, 1, 0, 0, 1, 1, 0, 1, 1, 0, 1, 0, 1, 1, 1

Suponga también que inicialmente se encuentra en el estado A.

- b) Explique en pocas palabras qué función realiza esta máquina de estados.
- c) Dibuje el diagrama de estados de una máquina equivalente por el modelo de MOORE.



**SOLUCIÓN caso a):**

X: 0, 0, 1, 0, 0, 1, 1, 0, 1, 1, 0, 1, 0, 1, 1, 1

**Apellidos, Nombre:** \_\_\_\_\_

Problema 3. Se dispone de contadores mod-10 (cuentan de 0 a 9) con las siguientes características:

- Señal de puesta a cero síncrona (CLEAR) activa en alto.
  - Señal de cuenta ascendente (UP) activa en alto.
  - La señal CLEAR tiene prioridad.
  - Los contadores NO DISPONEN de salida de *carry*.
- a. Dibuje este contador como un bloque (esto es, descríbalolo a nivel estructural) y dé su tabla de operación a nivel RT (descripción funcional).
  - b. Construya un contador BCD módulo 100.
  - c. Construya un contador BCD módulo 25.

## Circuitos Electrónicos Digitales – GII - IC

**Examen Final**

**Convocatoria 2**

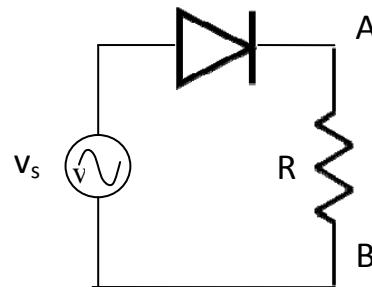
**8-Septiembre-2011**

**Apellidos, Nombre:** \_\_\_\_\_

Problema 1. La figura representa una pequeña variación del circuito recortador del problema Tema2.P1.

Si  $v_s = 10 \cdot \sin \omega t$  y  $R = 1k\Omega$ , dibuje la caída de tensión en el diodo y la onda de salida ( $v_{AB}$ ) en cada uno de los casos siguientes para el modelo de diodo:

- Ideal.
- Batería. Use 0,7 V.



Problema 2.

- Diseñe un circuito con dos variables de selección que genere las siguientes operaciones aritméticas.

$S1$	$S0$	$F$
0	0	$A + B$
0	1	$2A + 1$
1	0	$A - B$
1	1	$3A$

Nota: A y B son números de 4 bits en Ca2.

- Realice la operación  $(-12.75) + 14.41$  en Ca2 utilizando 10 bits para cada número. Tres de estos bits son para la parte fraccionaria. Compruebe los posibles errores.

## Problema 3.

Se dispone de una línea de transmisión síncrona X por la que llegan datos en serie. Con un circuito secuencial se pretende controlar los últimos tres bits llegados: la salida Z será 0 si en los últimos tres bits, la mayoría son 0's mientras que será 1 si la mayoría son 1's. Por ejemplo, ante la secuencia de entradas dada (X), obtenemos la secuencia de salida (Z) siguientes:

X: 1 0 1 0 0 0 1 1

Z: - - 1 0 0 0 1

Se pide:

- Dibuje el diagrama de estados del circuito.
- Aplique la secuencia de entradas del ejemplo anterior a su diagrama de estados y obtenga las secuencias de cambios de estado y de salida correspondientes. Verifique si su diagrama de estados del apartado a) funciona como indica el ejemplo del enunciado.
- Diseñe el circuito con biestables T y puertas.

NOTA: Tanto el diagrama de estados como el circuito deben ser lo más simples posibles.

## Circuitos Electrónicos Digitales – GII - IC

**Examen Final**

**Convocatoria 3**

**07-diciembre-2011**

**Apellidos, Nombre:** \_\_\_\_\_

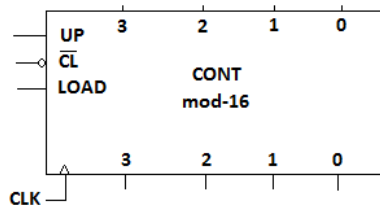
Problema 1. Un sistema que mide periódicamente la temperatura de un experimento de laboratorio da la información utilizando números **de 4 bits en notación complemento a dos (Ca2)**.

- a. Escriba la tabla de todas las temperaturas posibles, dando su valor decimal y el correspondiente valor binario en notación Ca2.
- b. Diseñe un circuito que detecte el intervalo cerrado de códigos [-5,4] utilizando exclusivamente **dos comparadores de magnitud** de 4 bits y **puertas** de dos entradas.

Problema 2. Diseñe la etapa típica de un circuito aritmético que responda a la siguiente tabla.

S1	S0	Cin = 0	Cin = 1
0	0	A + B	A + B + 1
0	1	2·A + B	2·A + B + 1
1	-	B – A – 1	B – A

Problema 3. Obtenga un contador módulo 5 de coste mínimo, que cuente desde 4 a 8, usando contadores como el de la figura y puertas.



CL	LOAD	UP	OPERACIÓN	TIPO
0	-	-	CONT <- 0	asíncrona
1	1	-	CONT <- X	síncrona
1	0	0	CONT <- CONT	síncrona
1	0	1	CONT <- CONT + 1	síncrona

## Circuitos Electrónicos Digitales - GII - IC

**Examen Final**

**Convocatoria 1**

**3-Febrero-2012**

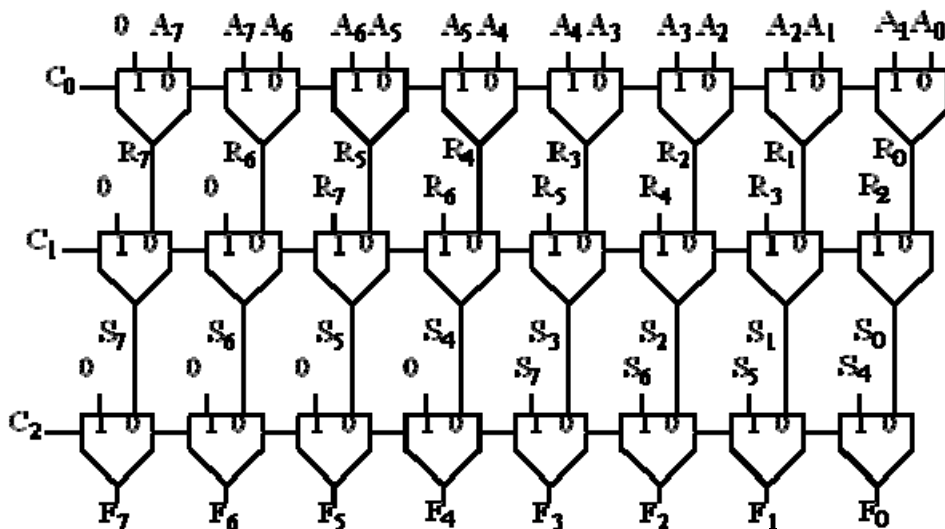
Apellidos, Nombre: \_\_\_\_\_

Problema 1. Se dispone de un número con signo de 3 bits codificado en Signo-Magnitud cuando una entrada  $x$  es 0 y en Complemento a 2 si  $x$  es 1. **Manteniendo el código de entrada**, se desea transformarlo según las siguientes reglas:

- a. Si el número es positivo, se le resta 2.
- b. Si el número es negativo, se le suma 2.
- c. Si el número es cero, debe salir cero.
- d. Obtenga las soluciones con sólo puertas NAND y con sólo puertas NOR (incluya, en su caso, las inespecificaciones que surjan), y elija el circuito óptimo correspondiente usando sólo un tipo de puertas. Indique cuál es el coste de la solución elegida así como en cuánto mejora a la otra solución.

Problema 2. a) Analice el circuito de la figura y **describa verbalmente** qué función realiza interpretando que  $A=A_7A_6A_5A_4A_3A_2A_1A_0$  es el dato de entrada (8 bits), que  $C=C_2C_1C_0$  es la señal de control (3 bits) y que  $F=F_7F_6F_5F_4F_3F_2F_1F_0$  es el dato de salida.

b) Empleando el circuito anterior y Mux 2:1, diseñe un circuito que posea una señal de entrada más (SH) de forma que cuando  $SH=0$  se realice el desplazamiento a la derecha del dato y cuando  $SH=1$  se realice el desplazamiento a la izquierda.



**Apellidos, Nombre:** \_\_\_\_\_

Problema 3. Un circuito secuencial síncrono recibe, por sus líneas de entrada  $(X_1, X_0)$ , números binarios de 2 bits sincronizados con su señal de reloj. El circuito compara los bits recibidos en el ciclo de reloj actual con los que se recibieron en el anterior e indica por sus salidas  $(Z_1, Z_0)$  cuántos cambios de bits se han producido.

- a. Obtenga la tabla de estados/salida que refleje dicho comportamiento, correspondiente a un autómata de Mealy.
- b. Diseñe dicho autómata con biestables D y puertas lógicas



## Circuitos Electrónicos Digitales – GII - IC

### Examen Final                      Convocatoria 2                      11-septiembre-2012

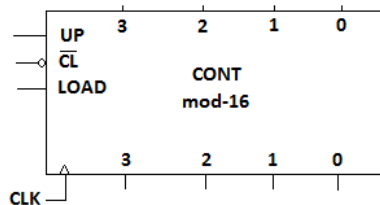
**Apellidos, Nombre:** \_\_\_\_\_

- Problema 1.                      Un sistema que mide periódicamente la temperatura de un experimento de laboratorio da la información utilizando números **de 4 bits en notación complemento a dos (Ca2)**.
- a. Escriba la tabla de todas las temperaturas posibles, dando su valor decimal y el correspondiente valor binario en notación Ca2.
  - b. Diseñe un circuito que detecte el intervalo cerrado de códigos [-5,4] utilizando exclusivamente **dos comparadores de magnitud** de 4 bits y **puertas** de dos entradas.

Problema 2.                      Diseñe la etapa típica de un circuito aritmético que responda a la siguiente tabla.

S1	S0	Cin = 0	Cin = 1
0	0	A + B	A + B + 1
0	1	2·A + B	2·A + B + 1
1	-	B – A – 1	B – A

Problema 3.                      Obtenga un contador módulo 5 de coste mínimo, que cuente desde 4 a 8, usando contadores como el de la figura y puertas.



CL	LOAD	UP	OPERACIÓN	TIPO
0	-	-	CONT <- 0	asíncrona
1	1	-	CONT <- X	síncrona
1	0	0	CONT <- CONT	síncrona
1	0	1	CONT <- CONT + 1	síncrona

# Circuitos Electrónicos Digitales – GII - IC

**Examen Final**

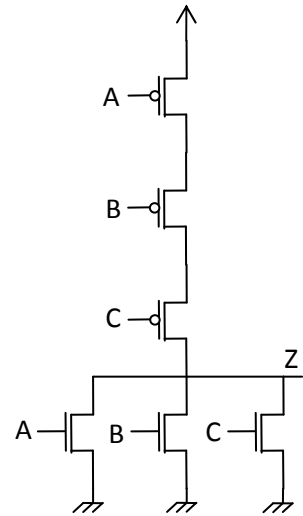
**Convocatoria 3**

**5-diciembre-2012**

**Apellidos, Nombre:** \_\_\_\_\_

Problema 1. Responda a las siguientes cuestiones:

- Justifique razonadamente qué tipo de puerta lógica se muestra en la figura, obteniendo su tabla de verdad. (Use sólo 0's y 1's).
- Obtenga a nivel de transistores la puerta dual de la del apartado a y dibuje su símbolo estándar.
- Explique qué son:
  - Half adder
  - Full adder
  - N-bits parallel adder
- Indique las diferencias y semejanzas entre un biestable D tipo disparado por nivel H y otro disparado por flanco positivo.



Problema 2. Utilizando solamente puertas NAND, diseñe un circuito combinacional de 5 entradas ( $X, A_3, A_2, A_1, A_0$ ) y 4 salidas ( $Z_3, Z_2, Z_1, Z_0$ ) para que opere según sigue:

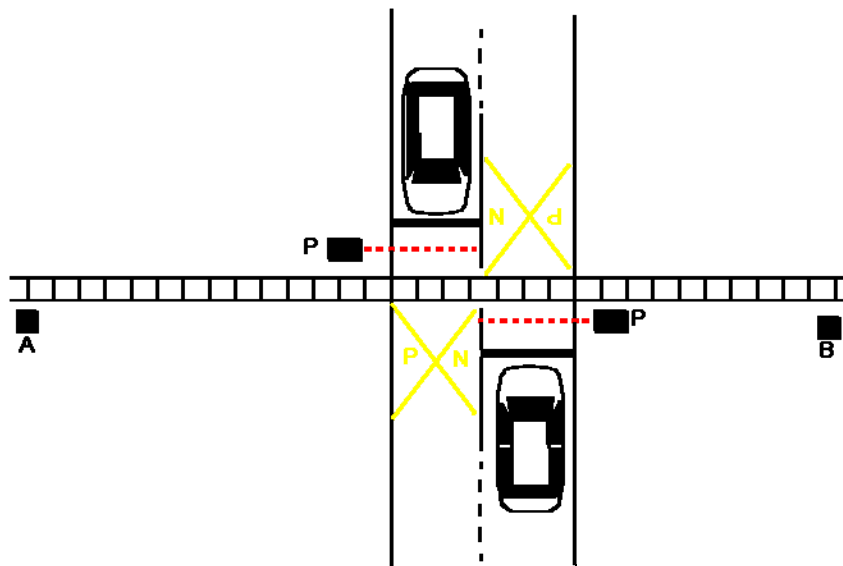
$$X = 1 \quad \Rightarrow \quad Z_{3-0} = Ca1(A_{3-0})$$

$$X = 0 \quad \Rightarrow \quad Z_{3-0} = Ca2(A_{3-0})$$

Problema 3. Se desea controlar las barreras de un paso a nivel (ver figura). A cierta distancia del paso a nivel, y sobre la vía, existen un par de sensores que se activan al pasar el tren (A y B). No se sabe si el tren es más largo o más corto que la distancia que separa a ambos sensores. Pero sí se sabe que los trenes siempre pasan en la dirección de A a B y que no pueden venir dos trenes consecutivos con una separación inferior a la distancia AB.

- Obtener el diagrama de estados de la máquina de Mealy que controla la señal P que actúa sobre las barreras. P=0 equivale a barrera bajada.
- Implementar dicha máquina usando biestables D y puertas NAND.

NOTA: Los sensores A y B actúan de manera que están activados mientras el tren esté pasando sobre ellos.



## Circuitos Electrónicos Digitales – GII - IC

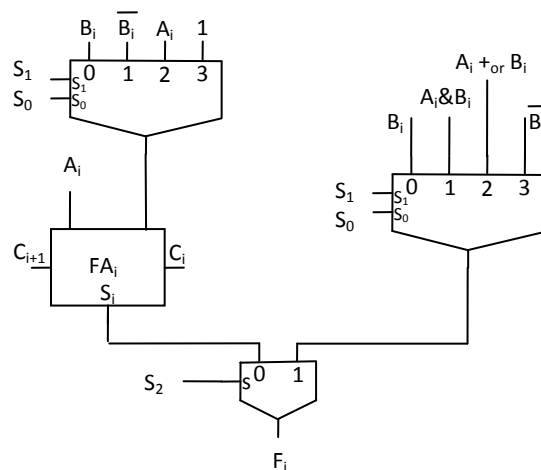
Examen Final

Convocatoria 1

30-enero-2013

Apellidos, Nombre: \_\_\_\_\_

Problema 1. En la figura es representa un diseño de una etapa típica de una ALU similar, pero no igual, a la dada en clase. Los bits de salida de estado ( $Z$ ,  $V$ ,  $S$  y  $C_{out}$ ), que no están representados, se obtienen de forma similar.



- Obtenga razonadamente la tabla funcional.
- Considere que tiene dos datos  $P$  y  $Q$  con los que va a operar mediante esa ALU, con dimensiones de 8 bits. Indique los valores binarios de **todas** las entradas y de **todas** las salidas de la ALU para los dos casos siguientes:
  - Si  $P$  y  $Q$  son  $[P] = \$6C$  y  $[Q] = \$B5$  y se suman ( $P+Q$ )
  - Si  $P$  y  $Q$  son  $[P] = \$6C$  y  $[Q] = \$B5$  y se restan ( $P-Q$ )
- Si  $P$  y  $Q$  son dos números con signo (Ca2), interprete los resultados de los dos casos del apartado anterior y verifique si son correctos o no operando en decimal.
- Si  $P$  y  $Q$  son dos números sin signo (esto es, magnitudes), interprete los resultados de los dos casos del apartado anterior y verifique si son correctos o no operando en decimal.

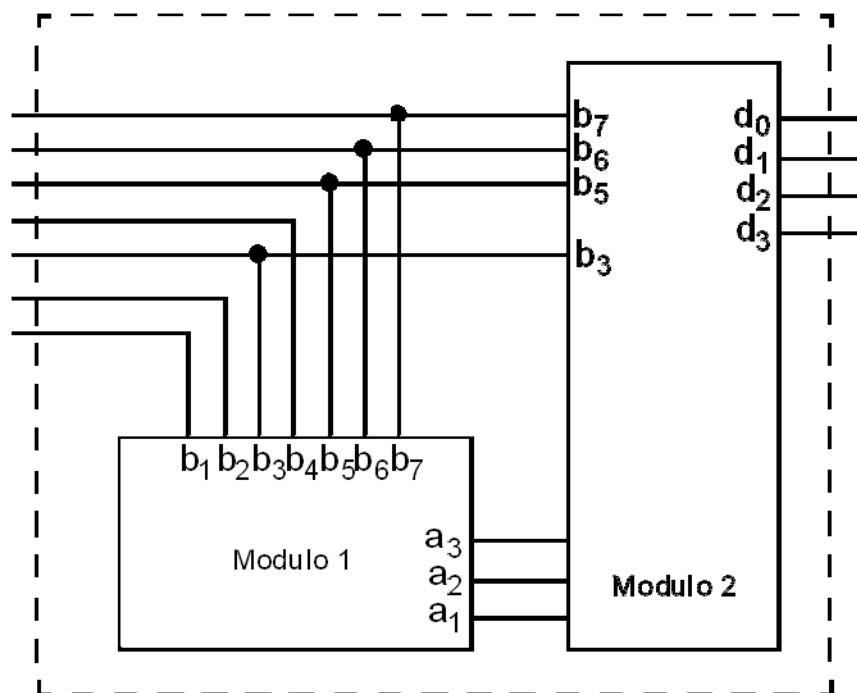
Problema 2. Los códigos de Hamming son un tipo especial de código que permiten, no sólo detectar errores, sino además corregirlos. Dada una palabra de 4 bits que queremos transmitir ( $d_3, d_2, d_1, d_0$ ), es necesario añadir 3 bits ( $c_3, c_2, c_1$ ) destinados a la corrección de un error en un bit. Así la palabra transmitida consta de 7 bits ( $b_7$  a  $b_1$ ):

$b_7$	$b_6$	$b_5$	$b_4$	$b_3$	$b_2$	$b_1$
$d_3$	$d_2$	$d_1$	$c_3$	$d_0$	$c_2$	$c_1$

El código corrector se fabrica de la siguiente forma:

- $c_3$ : paridad par de los bits 4, 5, 6 y 7 (grupo 3) de la palabra transmitida.
- $c_2$ : paridad par de los bits 2, 3, 6 y 7 (grupo 2) de la palabra transmitida.
- $c_1$ : paridad par de los bits 1, 3, 5 y 7 (grupo 1) de la palabra transmitida.

Se desea diseñar el circuito que recupera la información en el receptor, suponiendo que puede fallar, como máximo un único bit (pudiendo ser cualquiera de los 7). Para ello se debe seguir el esquema de la figura.

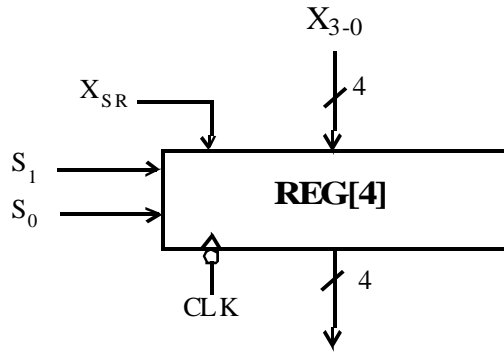


- Diseñar el módulo 1 (detector de paridad), sabiendo que  $a_i = 1$  si la paridad del grupo  $i$  es incorrecta.
- Diseñar el módulo 2 sabiendo que el código formado por  $a_3a_2a_1$  indica, en binario natural, la posición del bit incorrecto, y 0 en caso de que no hubiera error. La salida  $d_3d_2d_1d_0$  debe ser la palabra original corregida en caso de error.

Se dispone, para realizar el diseño completo, de un decodificador de 3 a 8 y puertas XOR de 2 entradas.

Problema 3. Se dispone de registros de 4 bits como el mostrado en la figura, puertas y subsistemas combinacionales.

- a. Diseñe un registro universal de 16 bits (esto es, con dos señales de selección de operación que permitan la inhibición, carga en paralelo, desplazamiento a izquierda y a derecha).
- b. Utilizando el registro universal de 16 bits, se desea generar bit a bit la secuencia de dígitos impares y primos en BCD (en decimal, 1, 3, 5 y 7). Realice este generador de secuencias indicando ordenadamente cómo debe trabajar. [Como verá, puede responder al apartado “b” sin haber hecho el “a”].



$S_1$	$S_0$	REG[4]
0	0	REG ← REG
0	1	REG ← $X_{3-0}$
1	-	REG ← SHR (REG, $X_{SR}$ )

## Circuitos Electrónicos Digitales – GII - IC

**Examen Final**

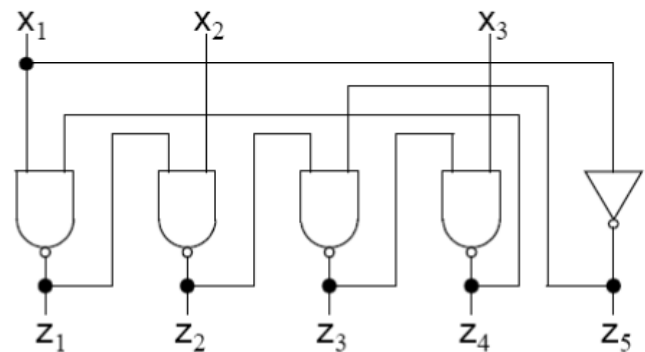
**Convocatoria 2**

**9-septiembre-2013**

Apellidos, Nombre: \_\_\_\_\_

Problema 1. El circuito de la figura presenta realimentación, pero no es un circuito con memoria.

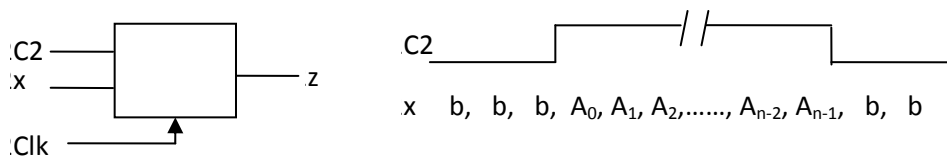
- Analícelo y encuentre las expresiones normalizadas de suma de productos para cada salida.
- Obtenga un diseño alternativo de  $z_3$  usando puertas NAND.
- Obtenga un diseño alternativo de  $z_2$  usando MUX4:1.



**NOTA:** No dispone de variables en doble raíl.

Problema 2. El circuito de la figura debe funcionar como complementador a 2,  $z=Ca_2(x)$ , de la siguiente forma. Cuando C2 sea 0 el circuito debe esperar dando salida 0. Cuando C2=1 por la entrada x se recibirá bit a bit un número A de "n" bits comenzando por su LSB, A0 (ver figura). Por z deberá ir saliendo, también bit a bit, el Ca2 de A.

Diseñe este circuito con biestables JK y puertas.



**(Idea:** Recuerde que se puede realizar el Ca2 si 'se dejan los 0's y el primer 1 menos significativos y se complementan el resto de bits'.)

Problema 3. Se dispone de un registro M de 16 bits con salidas de datos en paralelo, señal de lectura R activa en alto (cuando R está inactiva, las salidas de M toman el valor 0) y dos señales de selección de operación  $A_1A_0$  con las siguientes funcionalidades:

$A_1A_0 = 00$ : Desplazamiento lógico a la derecha (entra 0)

$A_1A_0 = 01$ : Desplazamiento aritmético a la derecha (entra bit de signo)

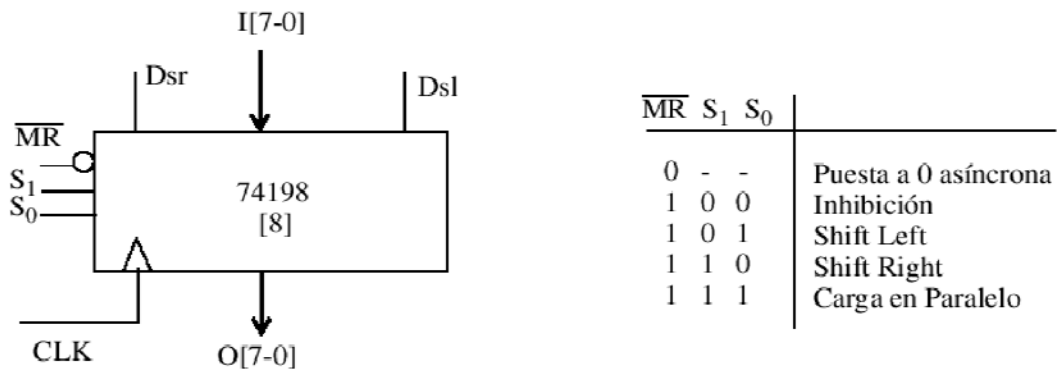
$A_1A_0 = 10$ : Rotación a la derecha

$A_1A_0 = 11$ : No operación (inhibición)

- Describa a nivel RT el registro M como un bloque. Debe dar la descripción estructural y la funcional mediante lenguaje RT.
- Suponiendo que inicialmente el registro contiene el dato \$AAAA (\$ denota hexadecimal), indique qué ocurre para la siguiente secuencia de entradas (cada valor corresponde a un ciclo de reloj):

$R A_1 A_0 =$  0 - 0, 1 1 0, 0 1 1, 0 0 1, 1 0 0

- Diseñe el registro utilizando las puertas necesarias y el 74198 (véase figura).





## Circuitos Electrónicos Digitales – GII - IC

**Examen Final**

**Convocatoria 1**

**24-enero-2014**

***Apellidos, Nombre:*** \_\_\_\_\_

Problema 1. En el planeta Siur del sistema del gran sol de Pollux se disfruta de paz en todos sus rincones. Para los pocos casos de *siuritas* antisociales que hay, se dispone en Siur de un solo *lugar de reinserción social*, que cuenta con dos celdas, cada una con capacidad para tres *siuritas* como máximo. Desde hace ya mucho tiempo hay cuatro *siuritas* que deben estar recluidos permanentemente pues son antisociales crónicos a los que no se ha conseguido reinsertar. Se trata de Asclat, Bruki, Cirto y Dremx.

Por motivos de capacidad no pueden estar todos en la misma celda y por motivos terapéuticos y psicológicos debe cambiar su distribución cada poco tiempo. Sin embargo no pueden estar de cualquier manera. Las relaciones entre ellos hacen que sea extremadamente peligroso encerrar en la misma celda a Asclat y Dremx si no está presente también Cirto. También es peligrosísimo que estén juntos Bruki y Asclat salvo que con ellos dos se encuentre Cirto.

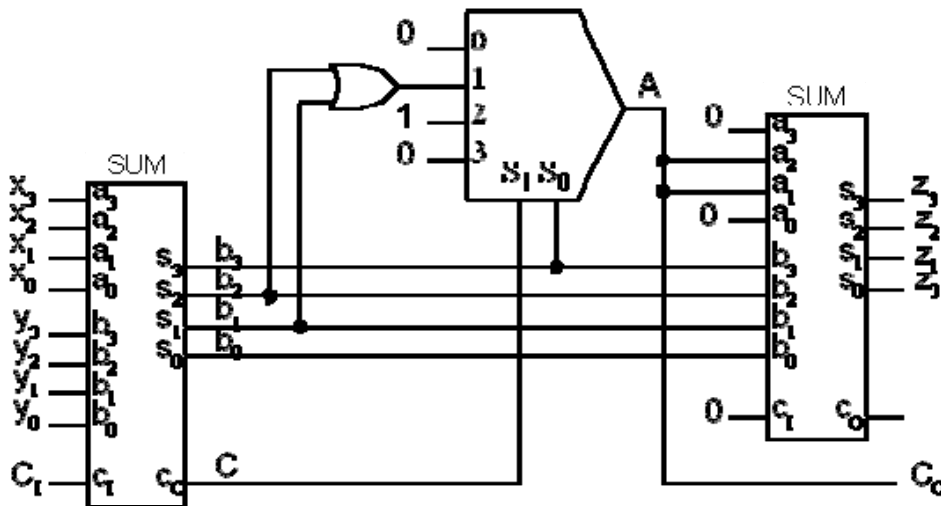
A usted se le solicita que **obtenga la función F que indique (con F=1) cuándo se ha elegido una distribución correcta** de esos cuatro *siuritas* en las celdas.

También debe **encontrar la expresión mínima en suma de productos y en producto de sumas** de F.

**Notas:** *Es imprescindible que defina claramente sus variables y sus valores lógicos.*

*No es necesario dibujar el circuito.*

Problema 2. Considere el circuito de la siguiente figura.



- Obtenga la tabla de verdad de  $A=f(b_{3:0}, C)$ .
- Sabiendo que, en el circuito de la figura, los módulos SUM son sumadores paralelos de dos números de 4 bits, analice el funcionamiento del mismo y rellene la tabla siguiente.

$x_{3:0}$	$y_{3:0}$	$C_i$	$b_{3:0}$	$C$	$A$	$z_{3:0}$	$C_o$
0111	0010	0					
0111	0010	1					
0111	0011	0					
1001	1001	1					

- Si  $x_{3:0}$  e  $y_{3:0}$  son números BCD, indique la función del circuito de la figura.

Problema 3. Utilizando biestables JK disparados por flanco positivo y puertas lógicas, diseñe un circuito de Mealy con dos entradas, X e Y, y una salida Z la cual se debe activar cuando se reciben 2 ceros consecutivos en Y si X es 0 y cuando se reciben 2 unos consecutivos en Y si X es 1. (Los valores pueden solaparse; cada vez que X cambie se inicia la detección de la secuencia en Y).

- a. Determine la secuencia de salida ante la siguiente secuencia de entrada:

XY: 01, 01, 11, 10, 11, 11, 11, 01, 00, 01, 00, 00, 10, 10, 01

Z: \_\_\_\_\_

- b. Obtenga el grafo y la tabla de estados-salida que resuelva este problema, identificando el significado de cada estado de su respuesta.  
c. Compruebe si la tabla de estados que haya obtenido en el apartado anterior es correcta, determinando la secuencia de estados y de salida para la siguiente secuencia de entrada:

XY: 01, 01, 11, 10, 11, 11, 11, 01, 00, 01, 00, 00, 10, 10, 01

S: \_\_\_\_\_

Z: \_\_\_\_\_

- d. Obtenga el circuito deseado. (Es imprescindible mostrar las sucesivas etapas del proceso de diseño).

# Circuitos Electrónicos Digitales - GII - IC

**Examen Final**

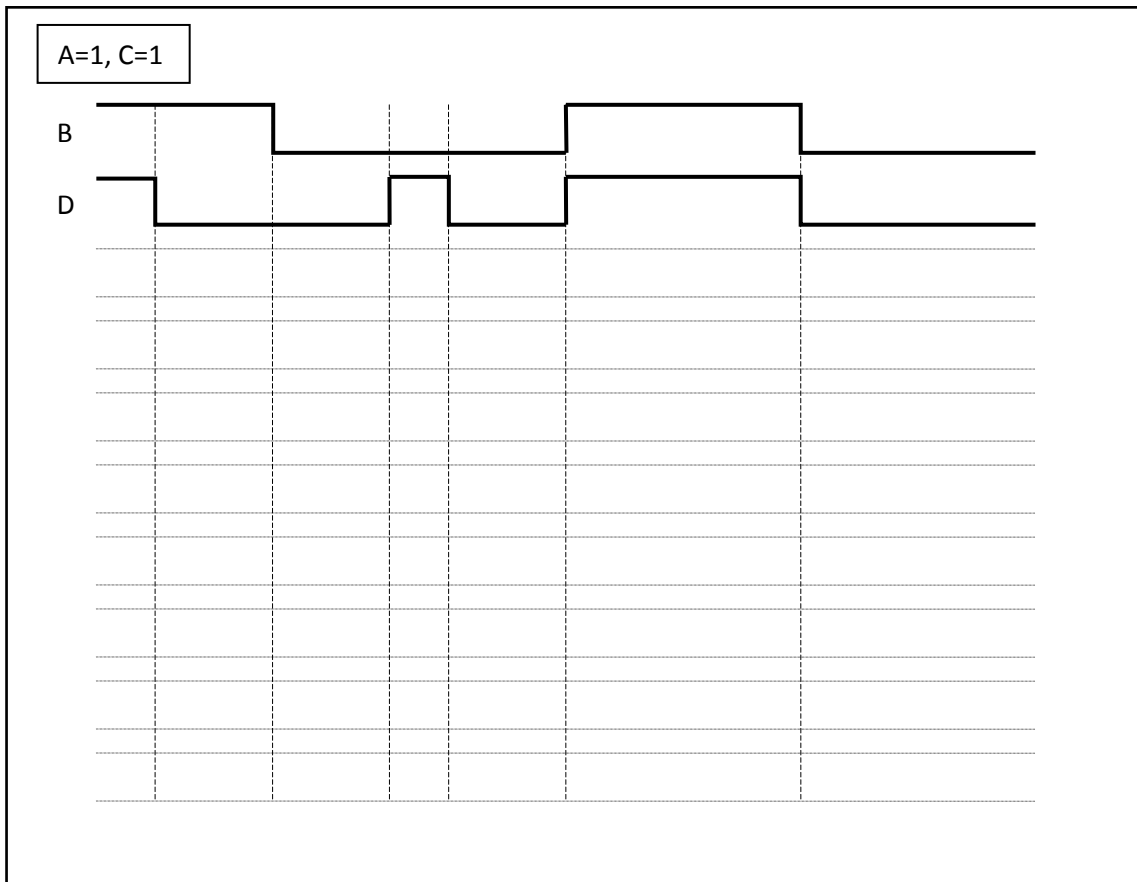
**Convocatoria 2**

**5-septiembre-2014**

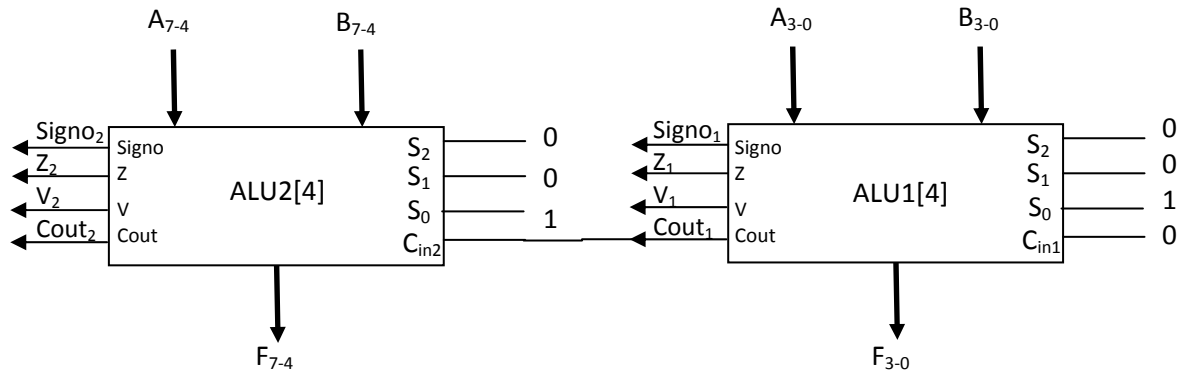
**Apellidos, Nombre:** \_\_\_\_\_

Problema 1. Para la función  $F(A, B, C, D) = \Pi(0, 1, 2, 3, 4, 6, 8, 9, 11, 14) \cdot \phi(5, 12)$ ,

- Bajo la hipótesis de entradas en doble raíl, obtenga la **solución óptima en dos niveles**, usando **un único tipo** de puertas.
- Obtenga justificadamente la **forma de onda de la salida F** de su circuito para las excitaciones de entrada de la figura. Suponga que cada puerta tiene un retraso unidad (como valor aproximado, considere que el pulso más estrecho de los dibujados en el cronograma, el de "d", tiene una anchura de 4 unidades).
- Obtenga un diseño alternativo usando un único MUX4:1 para obtener F. Puede utilizar, además, las puertas lógicas que necesite. (Recuerde que la reducción de costes siempre es un criterio de diseño).



Problema 2. Se dispone de dos ALUs de 4 bits idénticas a las estudiadas en teoría conectadas como se muestra en la figura.



Tras la operación efectuada con los datos A y B de 8 bits se observan los siguientes valores en las líneas de salida de cada una de ellas:

$C_{out2} = 0$	$C_{out1} = 1$
$V_2 = 1$	$V_1 = 1$
$Z_2 = 0$	$Z_1 = 0$
$S_2 = 1$	$S_1 = 0$
$F_{7-4} = 1\ 0\ 1\ 0$	$F_{3-0} = 0\ 0\ 1\ 1$

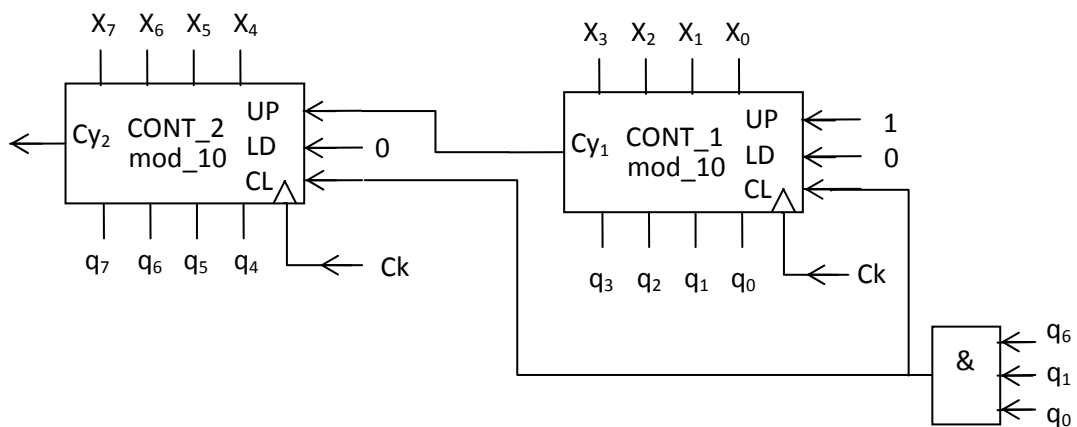
- Si A y B son números con signo (Ca2), ¿es el resultado  $F_{7-0}$  correcto? Razone justificadamente la respuesta utilizando las salidas de las ALUs.
- Proponga unos valores binarios para A y B que den los resultados de salida indicados anteriormente.
- Haga su comprobación en decimal.

Problema 3. En la siguiente figura se muestra un circuito secuencial síncrono basado en dos contadores idénticos módulo\_10 con la siguiente tabla funcional a nivel RT.

UP	LD	CL	CONT ←
1	0	0	CONT ← CONT + 1
-	1	0	CONT ← X <sub>3-0</sub>
-	-	1	CONT ← 0
0	0	0	CONT ← CONT

Cy = 1 sii [CONT]=1001

- Analice el circuito e indique, justificando su respuesta, qué operación global realiza identificando estados de inicio y fin.
- Modifique el circuito anterior para conseguir que el conjunto realice la operación de cuenta de  $28_{(10)} - 48_{(10)}$ . Diseñe la salida de acarreo global,  $Cy_g$ , para este contador.



## Circuitos Electrónicos Digitales – GII - IC

**Examen Final**

**Convocatoria 1**

**5-febrero-2015**

***Apellidos, Nombre:*** \_\_\_\_\_

Problema 1. Las 16 letras que más se usan en español son “E A O S R N I D L C T U M P B G” (en ese orden). Esas letras se codifican en binario natural desde el valor 0 para la “E” hacia delante, el 1 para la “A”, etc. Diseñe el circuito óptimo que, ante la llegada de una letra, indique si se trata de una vocal o de una consonante.

El circuito óptimo debe realizarlo con un solo tipo de puertas.

***Nota:*** Es imprescindible que defina claramente sus variables y sus valores lógicos.

Nombre: \_\_\_\_\_

Problema 2. Un circuito tiene como entradas cuatro números de  $n$  bits,  $A$ ,  $B$ ,  $C$  y  $D$ . Usando sólo subsistemas combinacionales no programables y puertas se desea diseñar un circuito que dé a su salida qué número ( $C$  o  $D$ ) se encuentra más cerca del valor medio de  $A$  y  $B$ . Se recomienda seguir el siguiente esquema:

- a. Diseñe un circuito MEDIA que calcule la media de dos números  $F$  y  $G$ .
- b. Diseñe un circuito ABS que calcule el valor absoluto de la diferencia de dos números  $J$  y  $K$ .
- c. Diseñe un circuito MENOR que seleccione a su salida el menor de dos números  $M$  y  $N$ .
- d. Implemente el circuito propuesto usando los módulos anteriores.





## Circuitos Electrónicos Digitales – GII - IC

**Examen Final**

**Convocatoria 2**

**4- septiembre -2015**

***Apellidos, Nombre:*** \_\_\_\_\_

Problema 1. Responda a cada una de las siguientes cuestiones:

- a. Para la representación de magnitudes en punto fijo con 10 bits en la parte entera y 4 bits en la parte fraccionaria:
  - i. Indique en decimal el rango de valores representados: [menor-valor, mayor-valor].
  - ii. Represente  $N = 38/5$ .
  - iii. Calcule el error cometido en la representación de  $N$  anterior.
- b. Represente en hexadecimal:
  - i. Código ASCII del carácter “signo más” (+)
  - ii. Código ASCII con paridad par del carácter “signo más” (+)
  - iii. Código ASCII con paridad impar del carácter “signo más” (+)
- c. Sean dos datos binarios de 8 bits,  $D1 = 0101\ 0101$  y  $D2 = 1100\ 0011$ 
  - i. Indique si puede ser correcta o no lo es la afirmación: “ $D1$  es un número con signo en  $Ca2$ ”. ¿Y la afirmación: “ $D2$  es un número con signo en  $Ca2$ ”, puede ser o no correcta?
  - ii. Indique, si es posible, el valor decimal de  $D1$  y de  $D2$ .
  - iii. Indique, si es posible, el valor decimal de  $E1=-D1$  y de  $E2=-D2$ .
- d. Considere variables y funciones del álgebra de conmutación:
  - i. De forma algebraica, demuestre la ley involutiva:  $x = (x')'$  donde  $x' \equiv \text{NOT}(x)$
  - ii. Mediante tablas de verdad, demuestre si se cumple o no: “ $a \cdot b = a \cdot c$ ”  $\Rightarrow$  “ $b=c$ ”
  - iii. Obtenga  $A \oplus B \oplus C$  como suma de productos y como producto de sumas.

Nombre: \_\_\_\_\_

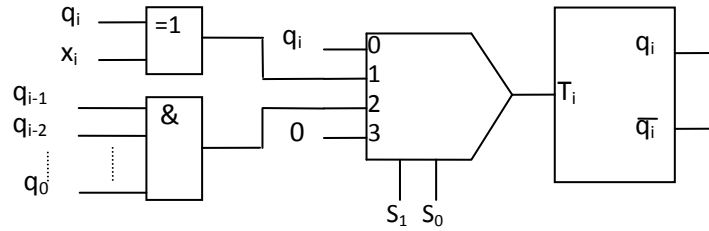
Problema 2. Se desea diseñar un circuito electrónico que asista al conductor de un coche sobre la marcha más adecuada que debe utilizar en función de la velocidad del vehículo. El circuito conoce la velocidad por medio de una entrada binaria de 5 bits en la que se codifica, en binario natural, la cuarta parte del valor de la velocidad en kilómetros por hora. La relación entre velocidad y marcha recomendada se muestra en la tabla anexa.

Realice el diseño utilizando puertas lógicas.

Rango de velocidades	Marcha
0 a 12 km/h	1ª
16 a 36 km/h	2ª
40 a 60 km/h	3ª
64 a 88 km/h	4ª
92 km/h o más	5ª

Problema 3. En la figura se muestra la etapa típica de un diseño modular:

- Suponiendo que  $S_1S_0 = 00$ , dé la tabla de excitación y transición para el "biestable i" e identifique la operación que lleva a cabo para esa combinación de las variables de selección.
- Repita el apartado anterior para  $S_1S_0 = 01$ .
- Dibuje el subsistema resultante al conectar cuatro etapas.
- Describa funcionalmente el subsistema anterior dando la tabla a nivel RT.



## Circuitos Electrónicos Digitales – GII - IC

**Examen Final**

**Convocatoria 3**

**03-diciembre -2015**

**Apellidos, Nombre:** \_\_\_\_\_

Problema 1. Responda brevemente a cada una de las siguientes cuestiones:

- a. Una palabra binaria tiene 10 Bytes. ¿Cuántos bits son? ¿Cuántos *nibbles*? Para la palabra binaria de 6 bits: 010011, indique el LSB y el MSB.

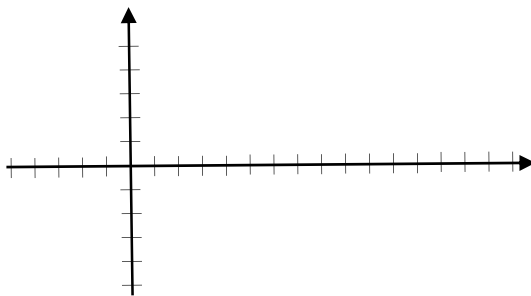
Nº bits=

Nº nibbles=

LSB =

MSB =

- b. Dibuje un cronograma de una tensión que cambia entre -1 V y 3 V, tipo pulso con un *duty cycle* del 25% ( $duty\ cycle = T_H/T\ %$ ) y de 250 KHz. Los ejes deben incluir unidades y valores numéricos. Para la señal debe indicar la amplitud y el periodo.



Amplitud =

Periodo =

- c. Represente el número  $59_{(10)}$  en BCD y en Ca2 con 8 bits.

$59_{(10)}$  en BCD: \_\_\_\_\_

$59_{(10)}$  en Ca2: \_\_\_\_\_

- d. Simplifique paso a paso en el álgebra de Boole la expresión:

$$F(a,b,c) = (ac')' \cdot (a+b)' \cdot (a+b) =$$

- e. Se desea hacer  $OR(1,2,3,4,5,6,7)$ , donde 1...7 son señales binarias de entrada, y se dispone de puertas OR-3 (OR de tres entradas). Dibuje el circuito. Repita si desea hacer  $NAND(1,2,3,4,5,6,7)$  y dispone de NAND-3. [*Puede dibujar atrás.*]

Nombre: \_\_\_\_\_

Problema 2. Utilizando solamente puertas NAND, diseñe un circuito combinacional de 5 entradas ( $X, A_3, A_2, A_1, A_0$ ) y 4 salidas ( $Z_3, Z_2, Z_1, Z_0$ ) para que opere según sigue:

$$X = 1 \quad \Rightarrow \quad Z_{3-0} = Ca1(A_{3-0})$$

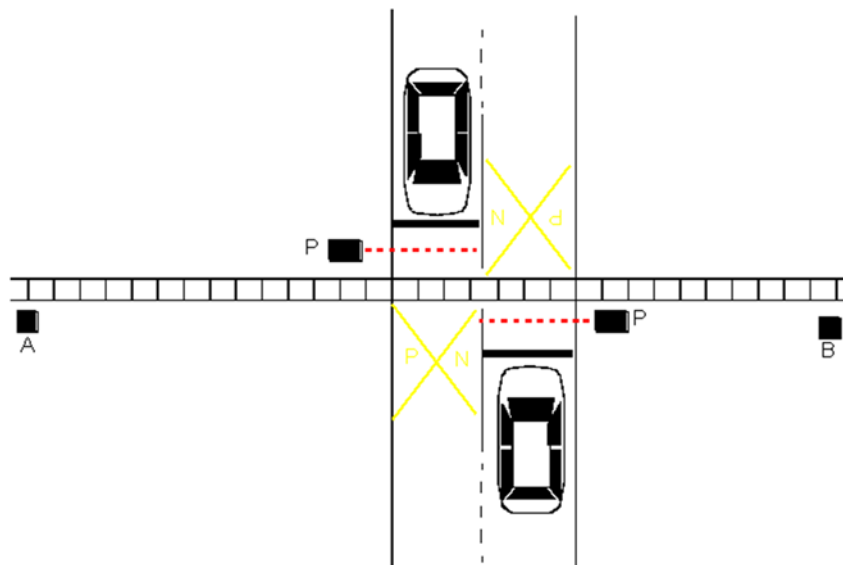
$$X = 0 \quad \Rightarrow \quad Z_{3-0} = Ca2(A_{3-0})$$

Nombre: \_\_\_\_\_

Problema 3. Se desea controlar las barreras de un paso a nivel (ver figura). A cierta distancia del paso a nivel, y sobre la vía, existen un par de sensores que se activan al pasar el tren (A y B). No se sabe si el tren es más largo o más corto que la distancia que separa a ambos sensores. Pero sí se sabe que los trenes siempre pasan en la dirección de A a B y que no pueden venir dos trenes consecutivos con una separación inferior a la distancia AB.

- Obtener el diagrama de estados de la máquina de Mealy que controla la señal P que actúa sobre las barreras. P=0 equivale a barrera bajada.
- Implementar dicha máquina usando biestables D y puertas NAND.

NOTA: Los sensores A y B actúan de manera que están activados mientras el tren esté pasando sobre ellos.



## Circuitos Electrónicos Digitales – GII - IC

**Examen Final**

**Convocatoria 1**

**01-febrero-2016**

***Apellidos, Nombre:*** \_\_\_\_\_

Problema 1. Sea  $F(a_1a_0b_1b_0)$  una función lógica que presenta el siguiente comportamiento:

Si  $X=0$  y  $a_1a_0 \geq b_1b_0$ :  $F=0$

$a_1a_0 < b_1b_0$ :  $F=1$

Si  $X=1$  y  $a_1a_0$  impar:  $F=0$

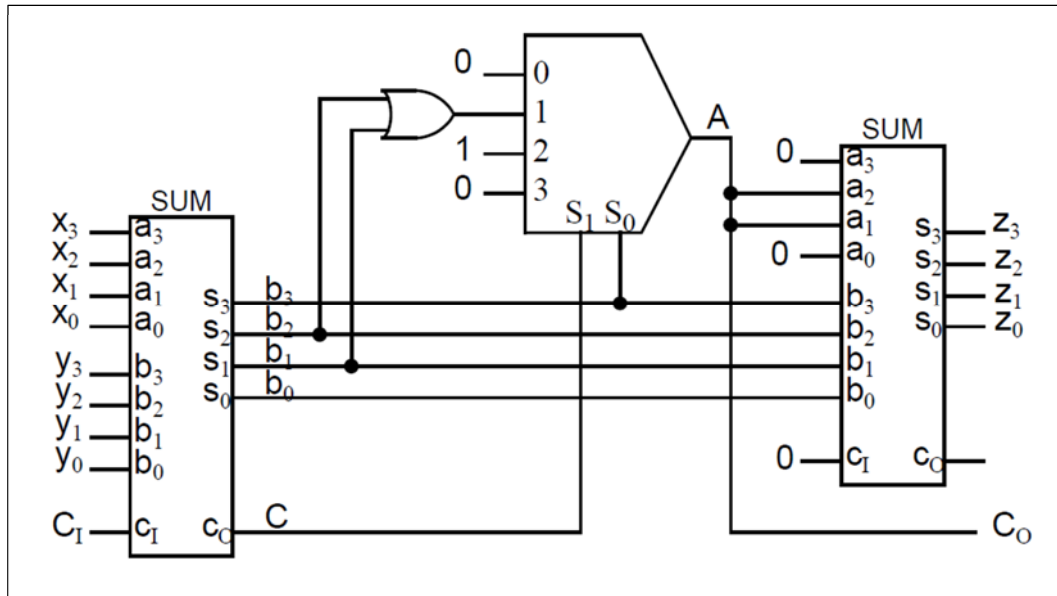
$a_1a_0$  par:  $F=1$

1. Diseñe el circuito óptimo en dos niveles para  $F$  usando únicamente puertas NAND's.
2. Si las variables de entrada están en único raíl modifique, si procede, el circuito anterior.
3. Para el circuito del apartado 2, muestre la onda de  $F$  si la entrada  $X$  cambia periódicamente entre 0 y 1, y el resto de las señales están fijas a los siguientes valores:  
 $a_1a_0 = 00$  y  $b_1b_0 = 10$ .  
Considere que todas las puertas tienen retraso de valor unidad.



Nombre: \_\_\_\_\_

Problema 2. En el circuito siguiente, los módulos SUM son sumadores paralelos de dos números de 4 bits:



1. Obtenga la tabla de verdad de  $A=f(b_{3-0}, C)$ .
2. Analice el funcionamiento del mismo y rellene la tabla siguiente.

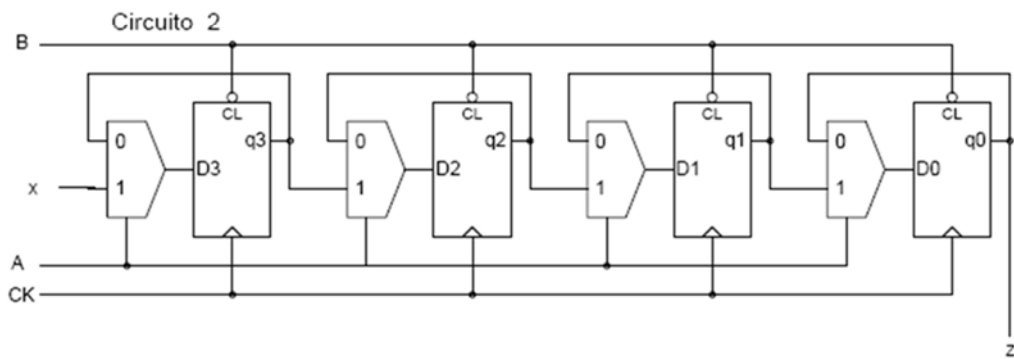
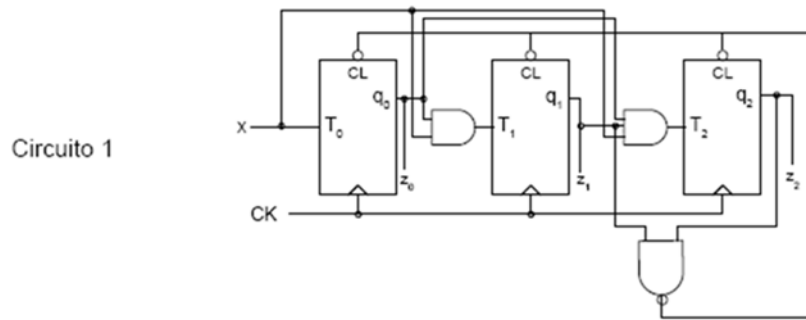
$x_{3-0}$	$y_{3-0}$	$C_I$	$b_{3-0}$	$C$	$A$	$z_{3-0}$	$C_0$
0111	0010	0					
0111	0010	1					
0111	0011	0					
1001	1001	1					

3. Si  $x_{3-0}$ , e  $y_{3-0}$ , son números BCD, indique la función del circuito.

Nombre: \_\_\_\_\_

Problema 3. Analice los circuitos 1 y 2. Para cada caso, describa su funcionamiento mediante una tabla de operación e identifique el tipo de subsistema secuencial de que se trate.

**NOTA:** Observe que el Circuito 2 tiene un diseño 'modular'.



## Circuitos Electrónicos Digitales – GII - IC

**Examen Final**

**Convocatoria 2**

**05-septiembre-2016**

***Apellidos, Nombre:*** \_\_\_\_\_

Problema 1. Responda a las siguientes cuestiones:

- a. Exprese en la notación IEEE-754 el valor de la suma P+Q donde P y Q son números con signo que están en la notación complemento a 2. Para ello, haga la suma convirtiendo previamente los números a decimal:

P= \$23.1 (en notación complemento a 2, con 8 bits de parte entera).

Q= \$AC.B (en notación complemento a 2, con 8 bits de parte entera).

- b. Considere la función ( $\bar{x}$  denota el complemento de x):

$$F(a,b,c,d) = (b+\bar{c}) \cdot \bar{[a \cdot \bar{(b \cdot \bar{c+d})} ]}$$

- i. Obtenga, justificadamente, el mapa de Karnaugh de F.  
ii. Siendo  $G(a,b,c,d) = \Sigma(1, 4, 6, 7, 12, 13) + \phi(5, 15)$ , determine las funciones :

1.  $F \cdot G$
2.  $F + G$
3.  $F \oplus G$

**Nota:** Las respuestas deben estar suficientemente explicadas.

Nombre: \_\_\_\_\_

Problema 2. Considere un comparador de 16 bits que, además de **las entradas A[16] y B[16]**, dispone de una **señal de control c** que indica con  $c=0$  que A y B son sin signo y, con  $c=1$ , que son con signo (Ca2). **Las salidas son G, E y L.**

- a. Describa formalmente este subsistema (estructura y función).
- b. Diseñe el comparador si dispone de los subsistemas habituales. Puede usar un comparador de magnitud de 16 bits.
- c. Indique los valores de todas las señales del circuito que ha diseñado en “b)” en los dos casos siguientes, si  $A=\$1005$  y  $B=\$C999$ :
  1. Para  $c=0$ .
  2. Para  $c=1$ .

Nombre: \_\_\_\_\_

Problema 3. Se ha de realizar un detector de secuencia con **una entrada, X, y dos salidas Z1 y Z2**. La salida Z1 valdrá 1 cuando en X se detecte la secuencia 110 y la salida Z2 valdrá 1 cuando se detecte la secuencia 001. En otros casos serán cero. Se admite solapamiento.

- a. Obtenga el diagrama de estados correspondiente a una máquina de Mealy.
- b. Obtenga una implementación con biestables JK.

## Circuitos Electrónicos Digitales - GII - IC

Examen Final

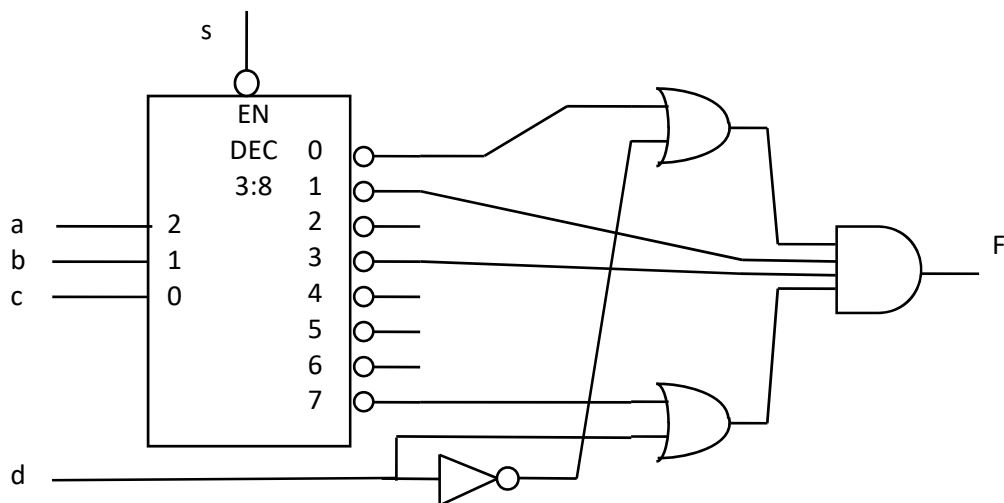
Convocatoria 3

02-diciembre -2016

Apellidos, Nombre: \_\_\_\_\_

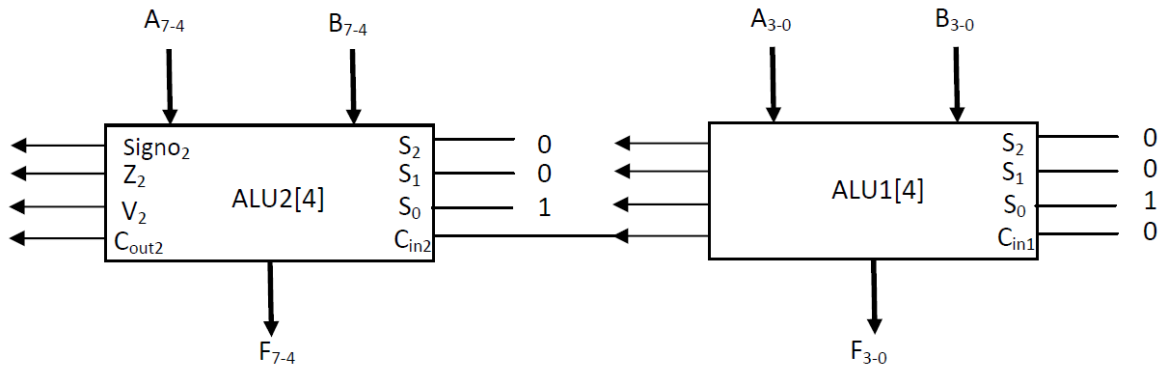
Problema 1. Considere el circuito de la figura.

- Analícelo a nivel lógico. Proporcione el mapa de Karnaugh de  $F(s, a, b, c, d)$ .
- Rediseñe  $F(0,a,b,c,d)$  con el circuito mínimo utilizando solamente puertas NOR (puede usar también INV).
- Utilizando el circuito diseñado en el apartado anterior y un solo multiplexor del menor tamaño posible, obtenga el circuito que da  $F(s, a, b, c, d)$ .



Nombre: \_\_\_\_\_

Problema 2. Se dispone de dos ALU de 4 bits idénticas a las estudiadas en teoría conectadas como se muestra en la figura.



Tras la operación efectuada con los datos A y B de 8 bits se observan los siguientes valores en las líneas de salida de cada una de ellas:

$C_{out2} = 0$	$C_{out1} = 1$
$V_2 = 1$	$V_1 = 1$
$Z_2 = 0$	$Z_1 = 0$
$Signo_2 = 1$	$Signo_1 = 0$
$F_{7-4} = 1\ 0\ 1\ 0$	$F_{3-0} = 0\ 0\ 1\ 1$

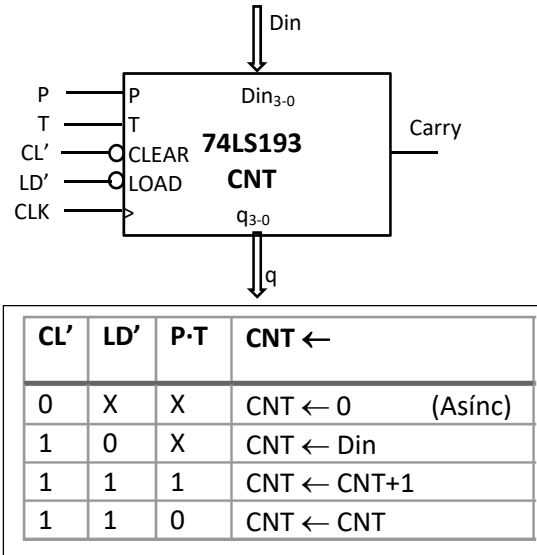
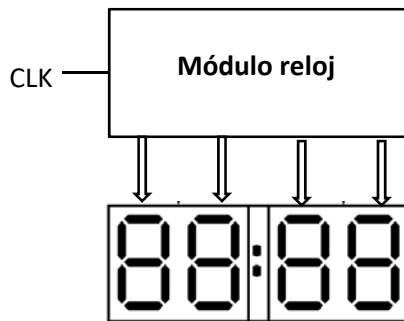
- Si A y B son magnitudes, ¿es el resultado  $F_{7-0}$  correcto? Razone justificadamente la respuesta utilizando las salidas de las ALU.
- Proponga unos valores binarios para A y B que den los resultados de salida indicados anteriormente. Haga su comprobación en decimal.

**Nota:** Las respuestas deben estar suficientemente explicadas.

Nombre: \_\_\_\_\_

Problema 3. Se dispone de una señal de reloj CLK de 1/60 Hz. A partir de ella es posible obtener un reloj que muestre horas y minutos en visualizadores de 7 segmentos en el formato HH:MM donde HH es la hora actual (de 0 a 23) y MM es la indicación de los minutos (de 0 a 59).

Se desea diseñar (ver figura) el módulo reloj que proporcione a la salida los cuatro dígitos BCD necesarios para realizar la visualización (es decir, dos para la hora, HH, y dos para los minutos, MM). Para ello se dispone de puertas NAND y cuatro integrados 74LS193, que es un contador síncrono de 4 bits, con señal de puesta a 0 asíncrona (CLEAR), carga en paralelo síncrona (LOAD), señales de inhibición (P y T) y salida de carry (CARRY).





# Circuitos Electrónicos Digitales – GII - IC

**Examen Final**

**Convocatoria 1**

**27-enero-2017**

**Apellidos, Nombre:** \_\_\_\_\_

Problema 1. Responda a cada una de las siguientes preguntas teóricas:

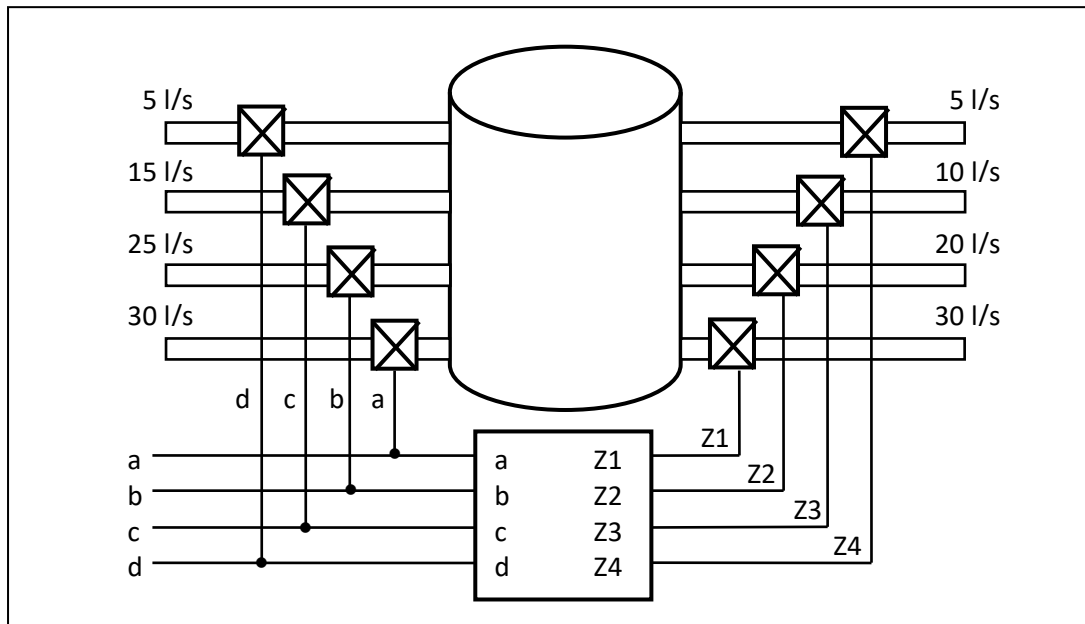
- Defina qué es un bit. Escriba también sus valores y significado en los campos siguientes: conmutación (*switching*), electrónica y lógica. Explique, además, cuáles son los tamaños de las palabras habituales e identifique qué se entiende por MSB y LSB.
- Defina qué es el complemento a 2 de una magnitud M en el caso de n bits. Indique también cómo puede obtenerse a partir de la representación binaria de M y cómo se usa en la representación de números con signo en la notación Ca2.
- Explique qué es un MUX-2, descríballo estructural y funcionalmente y escriba la ecuación algebraica de su salida.
- En una ALU como la realizada en teoría, explique para qué sirve Cout en la suma de magnitudes y para qué en la suma de números en Ca2.
- Una FSM de Mealy es una 5-tupla  $M(I, O, S, \lambda, \delta)$ . Dibuje la forma general del Circuito Secuencial Síncrono (CSS) que la representa, identificando cada una de las partes del CSS con los símbolos de la 5-tupla.

Nombre: \_\_\_\_\_

Problema 2. Al depósito de la figura acceden cuatro canalizaciones de líquido, cada una de las cuales es capaz de suministrar un caudal determinado. También posee cuatro canalizaciones de salida, pero que evacúan caudales diferentes. Cada una de las canalizaciones es controlada por una electroválvula cuyo estado (abierto o cerrado) depende de una variable binaria.

Sean a, b, c, d las variables binarias que controlan las electroválvulas de entrada y Z1, Z2, Z3, Z4, las de salida. Las variables de entrada son generadas externamente por un sistema de control del depósito, de forma que nunca estarán abiertas más de dos electroválvulas de entrada simultáneamente. Se desea que el depósito mantenga su contenido.

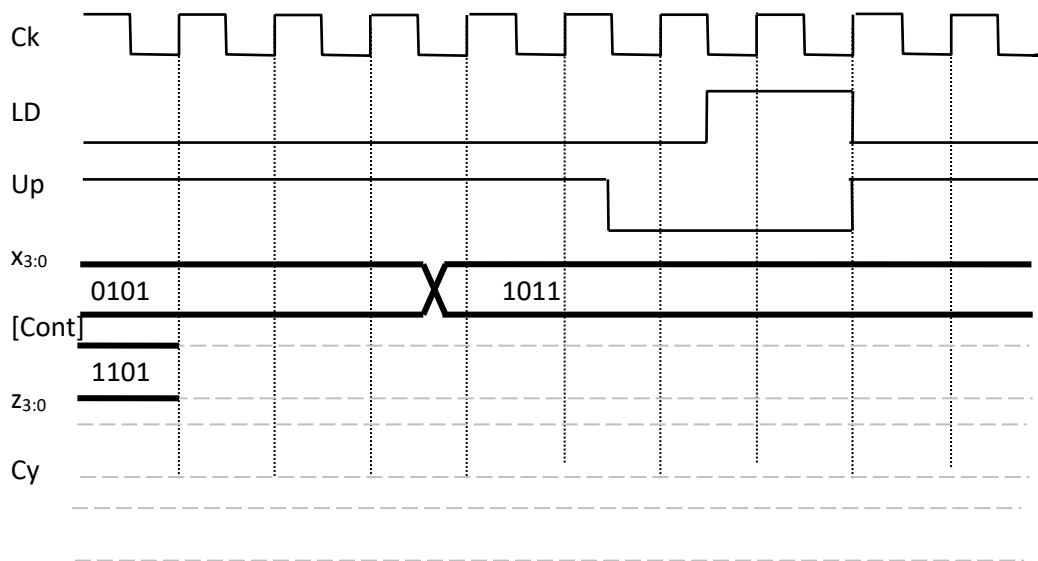
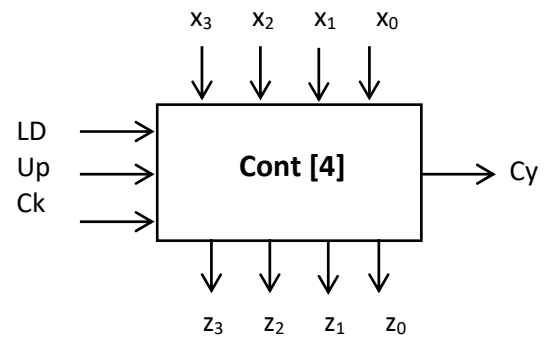
- a) Obtenga el mapa de Karnaugh que describe el comportamiento del circuito.
- b) Diseñe el circuito con puertas NAND.



Nombre: \_\_\_\_\_

Problema 3. El circuito de la figura es un contador binario ascendente de 4 bits (mód. 16) que posee las operaciones síncronas de carga en paralelo (LD) y habilitación de cuenta (Up). Además de las salidas de cuenta ( $z_3-z_0$ ) posee una para indicar el fin de ciclo,  $Cy$ .

- Muestre su tabla de operación (descripción funcional).
- Complete el cronograma de la figura de abajo.
- Usando el menor número de contadores como el dado que necesite, obtenga un contador módulo 12. Inclúyale salida fin de ciclo  $Cy_{12}$ .
- Usando el menor número de contadores (como el del enunciado) que necesite, obtenga un contador módulo 256. Inclúyale salida fin de ciclo  $Cy_{256}$ .



## Circuitos Electrónicos Digitales – GII - IC

**Examen Final**

**Convocatoria 2**

**04-septiembre-2017**

***Apellidos, Nombre:*** \_\_\_\_\_

Problema 1. Responda las cuestiones siguientes:

- a. ¿Qué se entiende por representación posicional de magnitudes binarias de “n” bits? ¿Y por representación punto flotante IEEE-754 simple precisión?
- b. Siendo F una función lógica de 5 variables F(a,b,c,d,e), escriba un ejemplo de implicante de orden 1, I1, y otra de orden 3, I3. ¿Qué significa implicante prima esencial de una función? ¿Cómo se tratan las inespecificaciones de una función cuando se pretende encontrar la expresión mínima de ésta en suma de productos? ¿Y en producto de sumas?
- c. Para un convertidor de código Gray-Exceso 3 de 4 bits:
  - i. Dé su tabla de verdad.
  - ii. Exprese el bit LSB de salida como producto de maxtérminos.
- d. Para la ALU vista en teoría, indique qué resultados se obtienen en todas sus líneas de salida si los datos de entrada son A = \$AD y B=\$F6. Qué conclusiones se obtienen si:
  - i. A y B son magnitudes
  - ii. A y B son números con signo en notación complemento a 2.
- e. Para un contador mod-2<sup>k</sup> diseñado con biestables T, indique las ecuaciones de excitación de la etapa típica T<sub>i</sub> para que realice la operación de cuenta arriba. ¿Y para la cuenta abajo? ¿Y para la carga en paralelo del dato X<sub>k-1</sub>... X<sub>0</sub>?

Nombre: \_\_\_\_\_

Problema 2. Antes de hacer la parte principal del problema (b) debe realizar la parte (a).

- a. Obtenga una expresión lógica para la función completamente especificada  $T(x, y)$  donde  $T=1$  si se cumple la expresión “si  $x$  es cierto, entonces  $y$  es cierto” y  $T=0$  en otro caso.
- b. Florencio<sup>1</sup> va a ir a una fiesta esta noche, pero no solo. Tiene cuatro nombres en su agenda: Ana, Bea, Carmen y Diana. Puede invitar a más de una chica pero no a las cuatro. Para no romper corazones, ha establecido las siguientes normas:
  - Si invita a Bea, debe invitar también a Carmen.
  - Si invita a Ana y a Carmen, deberá también invitar a Bea o a Diana.
  - Si invita a Carmen o a Diana, o no invita a Ana, deberá invitar también a Bea.

Antes de llamarlas por teléfono, quiere utilizar un circuito que le indique cuándo una elección no es correcta.

Ayúdale diseñando ese circuito usando exclusivamente multiplexores de tipo MUX 4:1 y MUX 2:1.

**Nota:** La parte (a) supone el 20% de la nota y la (b), el 80%.

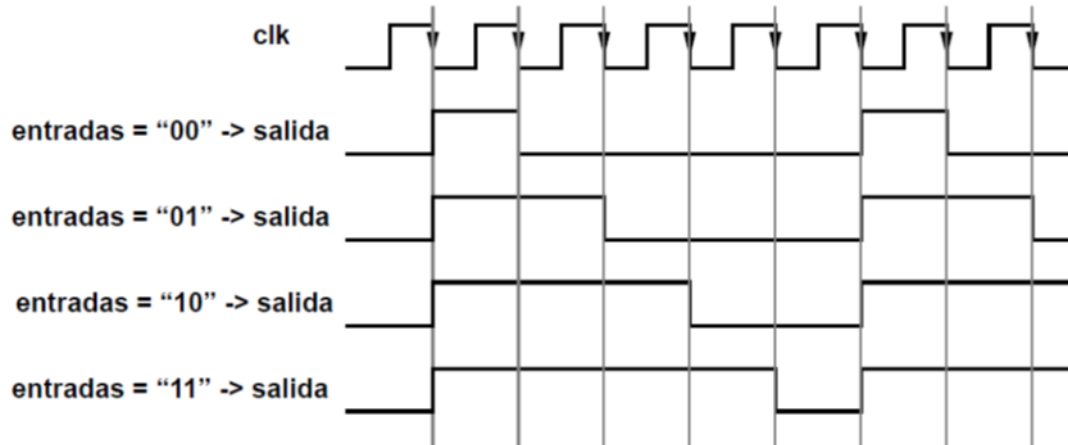
---

<sup>1</sup> Si lo prefiere, sustituya Florencio por Fabiola; Ana por Alberto; Bea por Bernabé; Carmen por Carlos; y Diana por David. La cuestión es hacer el problema bien.

Nombre: \_\_\_\_\_

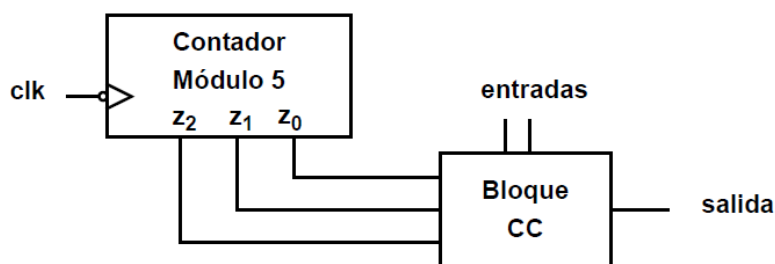
Problema 3. En muchos sistemas es útil el empleo de señales de ancho de pulso modulado. Estas señales se caracterizan porque, manteniendo una frecuencia fija, varía el porcentaje del tiempo que la señal está a '1'.

Se desea diseñar un circuito secuencial que, en función de una entrada de 2 bits, genere una señal de ancho de pulso modulado siguiendo el siguiente esquema de funcionamiento:



- Realice el diagrama y la tabla de estados de este circuito como máquina de Moore.
- Diseñe el circuito que realice dicho diagrama de estados empleando biestables D y puertas lógicas.
- La funcionalidad propuesta en el enunciado puede conseguirse, de una forma alternativa, mediante el empleo de un contador módulo 5 y un circuito combinacional según el esquema de abajo. Obtenga la tabla de verdad del bloque combinacional "CC". Explique y justifique convenientemente el contenido de dicha tabla de verdad.

**NOTA:** Obvie el problema que puede ocurrir si la señal de entrada cambia mientras se está generando la forma de onda.



## Circuitos Electrónicos Digitales – GII - IC

**Examen Final**

**Convocatoria 3**

**29-Noviembre -2017**

***Apellidos, Nombre:*** \_\_\_\_\_

Problema 1. Responda a cada una de las siguientes preguntas teóricas:

- Defina las relaciones que debe haber entre las tensiones de salida y las tensiones de entrada de una puerta lógica para tener un funcionamiento correcto. Describa además el concepto de margen de ruido y de fan-out.
- Analice la expresión

$$F(abc) = [(a \oplus b) c] \oplus b$$

hasta obtener una expresión sp mínima. Indique de qué subsistema combinacional se trata e identifique los distintos terminales.

- Indique cómo comparar dos números sin signo de 8 bits usando una ALU como la estudiada en teoría. Ídem para dos números con signo.
- Compare las máquinas de Moore y Mealy.

Nombre: \_\_\_\_\_

Problema 2. En una ALU de 6 bits similar a la diseñada en teoría se acaban de sumar dos números, A y B. El resultado S que muestra la ALU es "101 101", Cout= 0 y V = 0.

- a. Discuta este resultado en función del tipo de números de A y B (esto es, si son números sin o con signo).
- b. Repita lo anterior para los otros tres casos posibles de Cout y V (01, 10 y 11).
- c. Ponga, si es posible, cuatro ejemplos de valores binarios de A y B que siempre den el mismo  $S=101101$  y que cada uno conduzca a uno de los 4 casos posibles de Cout y V.
- d. Para los ejemplos anteriores, obtenga los valores decimales equivalentes y compruebe si las sumas binarias han sido correctamente realizadas.

**Notas:** La respuesta debe estar suficientemente explicada.  
Sobre 10, las partes "a, b, c" valen 3, y la "d" vale 1



Nombre: \_\_\_\_\_

Problema 3. La siguiente secuencia de salida es generada por una máquina síncrona de tres estados en respuesta a la secuencia de entrada x:

Ciclo:	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
x:	0	0	0	0	0	1	0	0	1	0	0	0	0	1	0
z:	0	1	0	0	1	0	0	0	1	0	0	1	0	0	1

- Obtenga razonadamente la tabla de estados de la máquina.
- Realice el circuito usando biestables JK y puertas.

## Circuitos Electrónicos Digitales – GII - IC

**Examen Final**

**Convocatoria 1**

**30-enero-2018**

*Apellidos, Nombre:* \_\_\_\_\_

Problema 1. Responda a cada una de las siguientes cuestiones:

a. **Explique qué son las descripciones estructural y funcional.**

Como ejercicio, aplíquelo a un circuito codificador de prioridad con las siguientes especificaciones:

Tiene 5 entradas: cuatro de datos activas en alta (X3:X0, siendo X3 la de mayor prioridad y X0 la de menor) y una de habilitación activa en baja (/ENI). Posee 4 salidas: dos (Z1Z0) que indican la dirección de la entrada activa de mayor prioridad y otras dos (/ENO y /GRS), ambas activas en baja, donde /ENO se activa cuando el codificador esté habilitado pero no tenga ninguna entrada X3:X0 activa y /GRS se activa cuando el codificador esté habilitado y tenga activa alguna entrada X3:X0.

b. **Explique y compare los sistemas de representación de números fraccionarios en punto fijo y en punto flotante.**

Como ejercicio, para el punto fijo considere palabras de 8 bits con dos de ellos dedicados a la parte fraccionaria. Indique el rango de representación para el caso de números con signo basados en el Ca2 y obtenga el valor decimal que tendría la palabra \$EA. Obtenga ese valor en el estándar de IEEE-754 de simple precisión (dé la respuesta en hexadecimal).

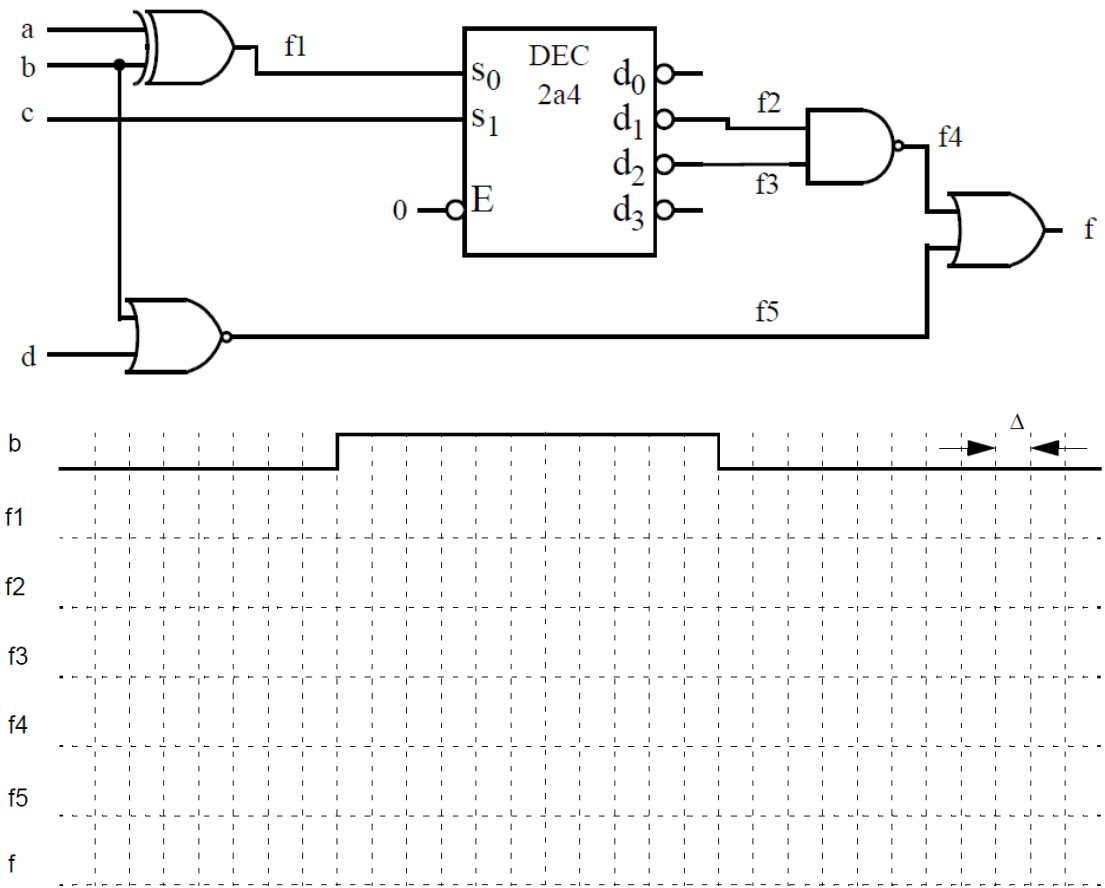
c. **Demuestre algebraicamente a partir de los postulados del álgebra de Boole las leyes de absorción. Después, demuestre mediante tablas de verdad la ley asociativa para la AND en el álgebra de conmutación.**

Como ejercicio, simplifique la expresión  $F = (a' + a' \cdot b) \cdot [(a \cdot [b \cdot c'])' + b \cdot c']$

Nombre: \_\_\_\_\_

Problema 2. Analice el funcionamiento del circuito de la figura:

- Suponiendo el comportamiento ideal de todos los componentes, obtenga la expresión algebraica de la salida en forma de suma de productos.
- Suponiendo que todos los componentes tienen un retraso  $D$ , obtenga la evolución de la salida para el caso particular de que  $a = c = 1$ ,  $d = 0$  y  $b$  cambia.
- Realice un diseño alternativo optimizado de  $f$  usando sólo MUX4:1.





## Circuitos Electrónicos Digitales – GII - IC

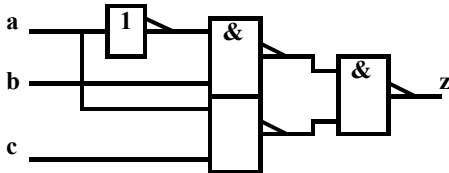
Examen Final

Convocatoria 2 03- septiembre -2018

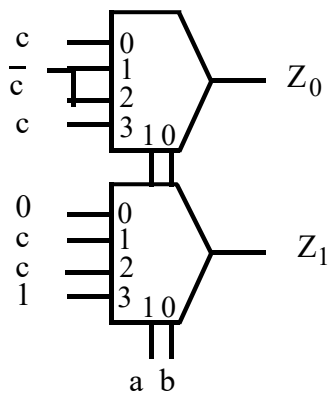
Apellidos, Nombre: \_\_\_\_\_

Problema 1. Responda a las siguientes cuestiones:

- Obtenga el valor hexadecimal del código ASCII con paridad par de M así como del  $51_{(10)}$ .
- Realice un cronograma para la salida z siendo  $b=c=1$  y  $a: 0 \rightarrow 1 \rightarrow 0 \rightarrow 1$  usando el modelo de retraso unidad para todas las puertas.



- Analice y explique con palabras la operación que realiza el siguiente circuito. [El orden de las variables de salida es importante para interpretar la operación; use  $Z_1Z_0$ ].



- Quando al sumar dos números con signo ( $A + B$ ) se obtiene  $V = 1$ , ¿cómo o dónde se puede encontrar el valor correcto de la suma?
- Dispone de un registro **RID8** de desplazamiento a izquierda y a derecha de 8 bits. Descríbalo formalmente a nivel RT. Construya uno equivalente de 24 bits usando **RID8s**.

Problema 2. Se desean comparar dos magnitudes de 7 bits, M y N. Determine el circuito si:

- a. Dispone de un comparador de 8 bits como el dado en teoría (esto es, también tiene entradas “gel”).  
Dé también la solución si usa un comparador de 8 bits sin entradas “gel”.
- b. Dispone de comparadores de 4 bits como el dado en teoría (esto es, con entradas “gel”).
- c. Dispone de comparadores de 4 bits sin entradas “gel”.
- d. Se desea incorporar una señal HAB para habilitar la comparación de M y N. Dé la tabla funcional. Añada dicha señal (HAB) al circuito solución del caso “a” cuando usa comparador con “gel”.

***Nota:*** Si lo necesita, puede usar también puertas. El diseño debe tener el coste razonablemente más reducido.

Problema 3. Realice cada parte de forma independiente.

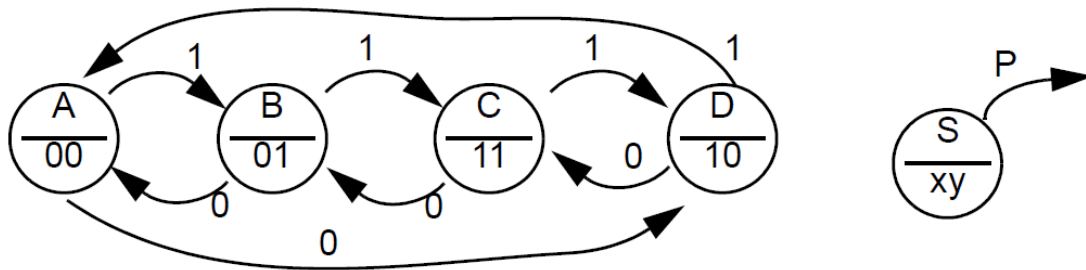
- a. Un circuito secuencial dispone de dos entradas (A y B) por la que se reciben sendos números de 3 bits sin signo empezando por el LSB. Realice el diagrama de estados del autómatas de Mealy que realiza la suma de dichos números y proporciona el resultado de 4 bits por la salida S. Entre número y número hay un bit que será ignorado a efectos de la suma. Se debe proporcionar cada bit de salida coincidiendo con los correspondientes bits de entrada.

Ejemplo:

A	0	1	1	-	1	1	1	-	...
B	1	1	0	-	1	1	0	-	...
S	1	0	0	1	0	1	0	1	...

- b. Utilizando biestables JK y puertas lógicas, realice el diseño del siguiente diagrama de estados.

Nota: La entrada es P y tiene dos salidas que son x e y.



## Circuitos Electrónicos Digitales – GII - IC

**Examen Final**

**Convocatoria 3**

**03-diciembre-2018**

***Apellidos, Nombre:*** \_\_\_\_\_

Problema 1. Responda a cada una de las siguientes preguntas teóricas:

- a. Defina las relaciones que debe haber entre las tensiones de salida y las tensiones de entrada de una puerta lógica para tener un funcionamiento correcto. Describa además el concepto de margen de ruido y de fan-out.
- b. Analice la expresión  $f = [(a \oplus b) \cdot c] \oplus b$  hasta obtener una expresión *sp* mínima. Indique de qué subsistema combinacional se trata e identifique los distintos terminales.
- c. Indique cómo comparar dos números sin signo de 8 bits usando una ALU como la estudiada en teoría. Ídem para dos números con signo.
- d. Compare las máquinas de Moore y Mealy.



Problema 2. Se dispone de un número con signo de 3 bits codificado en Signo-Magnitud cuando una entrada  $x$  es 0 y en Complemento a 2 si  $x$  es 1. **Manteniendo el código de entrada**, se desea transformarlo según las siguientes reglas:

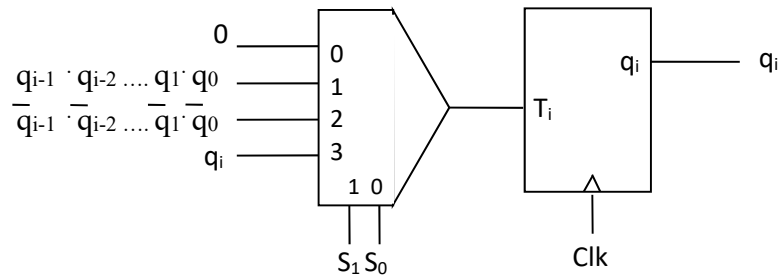
1. Si el número es positivo, se le resta 2.
2. Si el número es negativo, se le suma 2.

- a) Obtenga las formas mínimas  $s_p$  y  $p_s$ .
- b) Obtenga el circuito óptimo correspondiente usando sólo un tipo de puertas.
- c) Indique cuál es el coste de la solución elegida así como en qué mejora a la otra solución.

**Nota:** Las respuestas deben estar suficientemente explicadas.

Nombre: \_\_\_\_\_

Problema 3. La figura representa la etapa típica de un subsistema secuencial de “n” bits. La etapa  $i=0$  es especial y en ella las entradas de los canales 1 y 2 son ambas “1”.



1. Describa el subsistema secuencial dando la descripción estructural y la tabla funcional, ésta a nivel RT. [Idea: Analice la etapa típica del circuito de la figura para poder inferir las funciones del subsistema.]
2. Suponiendo que  $n=8$  y que inicialmente todos los biestables tienen almacenado un 0, escriba en hexadecimal la secuencia de contenidos del subsistema para la siguiente secuencia de entrada (el símbolo | señala el flanco activo de reloj):

$S_1 S_0$ :            00 | 00 | 01 | 01 | 01 | 11 | 11 | 10 | 10 | 10 | 00 | 00 |

Solución (\$) : 0 \_\_\_\_\_

# Circuitos Electrónicos Digitales – GII - IC

**Examen Final**

**Convocatoria 1**

**25-enero-2019**

***Apellidos, Nombre:*** \_\_\_\_\_

Problema 1. Responda a ambas cuestiones:

a. Indique dos (2) **conceptos** importantes introducidos en cada uno de los temas siguientes.

*Cada concepto debe ser explicado en 2 o 3 líneas.*

- i. Tema 3 Álgebra de conmutación
- ii. Tema 4 Análisis y diseño de circuitos combinacionales
- iii. Tema 5 Subsistemas combinacionales
- iv. Tema 7 Circuitos secuenciales síncronos
- v. Tema 8 Subsistemas secuenciales

b. Sean  $V = \mathbb{Z}_{67}$  y  $W = \mathbb{Z}_{67}$ :

- i. Ordénelos de mayor a menor si son magnitudes.
- ii. Ordénelos de mayor a menor si son números en  $\mathbb{Z}_{67}$ .
- iii. Obtenga  $V+W$  si son números en  $\mathbb{Z}_{67}$  y:
  1. dispone de un número de bits no limitado.
  2. dispone de 8 bits únicamente.
- iv. Obtenga los opuestos ( $-V$  y  $-W$ ) si son números en  $\mathbb{Z}_{67}$ .

Nombre: \_\_\_\_\_

Problema 2. Se desea diseñar un circuito que asista al conductor de un coche sobre la marcha más adecuada que debe utilizar en función de la velocidad del vehículo. El circuito conoce la velocidad por medio de una entrada de 5 bits que codifican en binario natural la parte entera de la cuarta parte de la velocidad en km/h [entrada = parte entera (velocidad/4)]. La relación entre la velocidad y la marcha recomendada se muestra en la tabla anexa.

Realice el diseño usando únicamente puertas NOR.

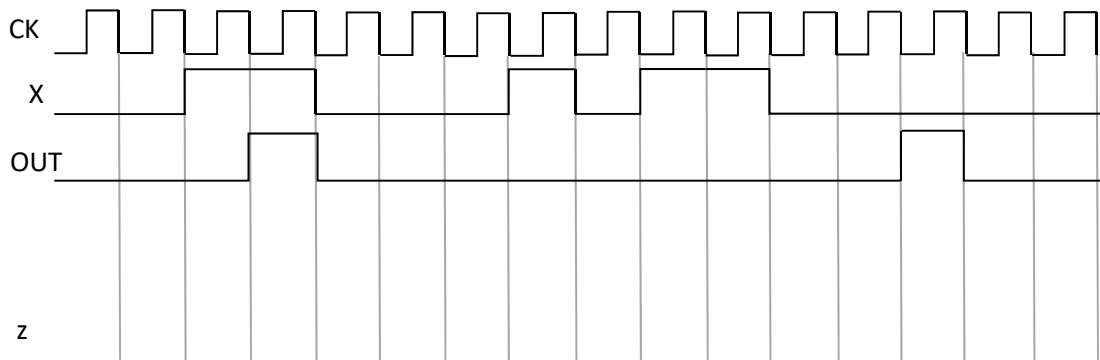
<b>Rango de velocidades (en km/h)</b>	<b>Marcha</b>
0 a 15	1ª
16 a 39	2ª
40 a 63	3ª
64 a 91	4ª
92 o más	5ª

Nombre: \_\_\_\_\_

Problema 3. Un circuito secuencial síncrono disparado por el flanco negativo de reloj posee la tabla de estados que se adjunta.

		X		
		0	1	
S				
A		A, 0	B, 0	
B		C, 0	B, 1	
C		A, 0	D, 0	NS, z
D		A, 0	B, 0	

- a) Realice el diagrama de estados del circuito.
- b) Compruebe si para la secuencia de entrada X que se da a continuación la secuencia de la señal OUT es o no solución para la salida z del circuito justificando la respuesta. En su caso, dé la onda de salida de z.
- c) Diseñe el circuito utilizando biestables T y puertas lógicas.



## Circuitos Electrónicos Digitales - GII - IC

**Examen Final**

**Convocatoria 2**

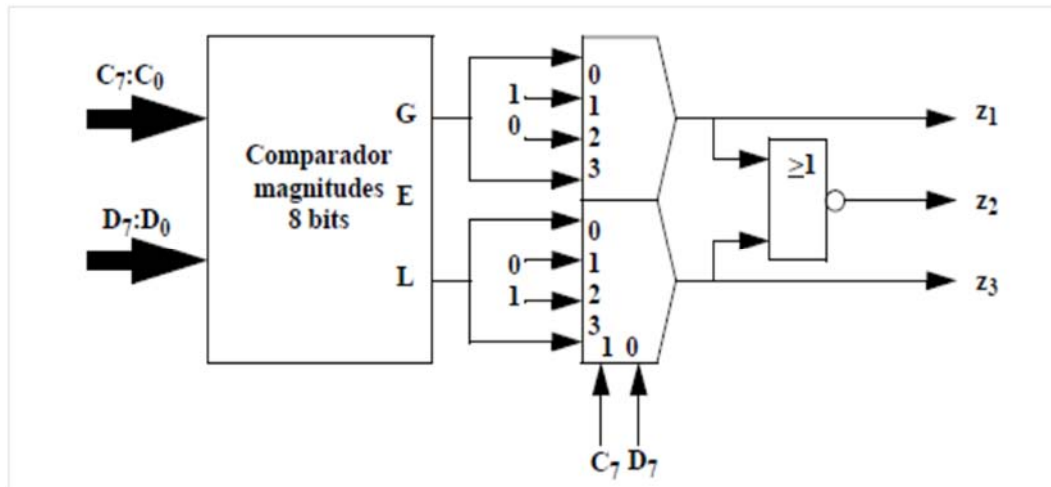
**16-septiembre-2019**

***Apellidos, Nombre:*** \_\_\_\_\_

Problema 1. Se dispone de una ALU como la estudiada en clase (2018/2019). Para números de 8 bits, si  $S_{2-0} = 001$ ,  $C_{in} = 0$ ,  $A = \text{\$}C5$  y B es desconocido, en cada apartado, razone si pueden ocurrir los siguientes casos y exponga las conclusiones pertinentes:

- $C = 0, V = 0, N = 0, S = 0$  y  $Z = 0$ .
- $C = 1, V = 0, N = 0, S = 0$  y  $Z = 0$ .
- $C = 1, V = 1, N = 0, S = 1$  y  $Z = 0$ .
- $C = 0, V = 1, N = 1, S = 0$  y  $Z = 0$ .
- $C = 0, V = 0, N = 1, S = 1$  y  $Z = 1$ .

Problema 2. Las entradas C y D de 8 bits son números con signo en notación Ca2.  
Analice el circuito de la figura e indique verbalmente qué operación realiza.



Nombre: \_\_\_\_\_

Problema 3. Se desea diseñar un contador BCD descendente de un dígito. Debe tener carga paralela síncrona activa en alta, señal de inhibición de cuenta y salida de *borrow*.  
Dispone de contadores completos módulo 16 (con entrada de carga síncrona activa en alta, señal de inhibición de cuenta y salida de *borrow*), puertas lógicas y subsistemas combinacionales.



## Circuitos Electrónicos Digitales – GII - IC

**Examen Final**

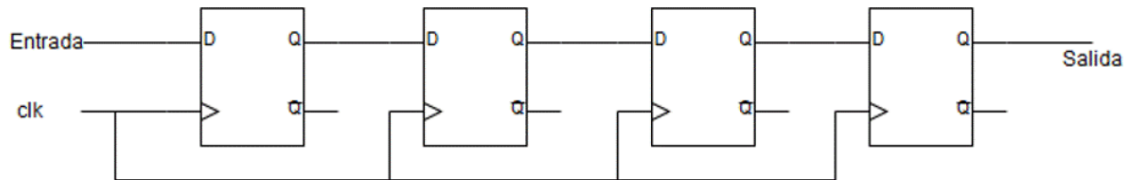
**Convocatoria 3**

**18-diciembre-2019**

***Apellidos, Nombre:*** \_\_\_\_\_

Problema 1. Responda a las siguientes cuestiones:

- Interprete la palabra binaria 10010011 como:
  - Número en binario natural
  - Número en Ca2
  - Código ASCII con paridad impar
  - BCD
- Describa la función que realiza un demultiplexor, sus entradas y salidas y su tabla de funcionamiento. Ponga un ejemplo de cómo construir un demultiplexor mayor con otros más pequeños.
- ¿Qué subsistema es el siguiente circuito? Explique por qué.  
Dibuje un pequeño cronograma para mostrar su funcionamiento, poniendo nombre y dibujando las señales intermedias.



Problema 2. Considere la ALU de 8 bits desarrollada en teoría (ver Hoja Para Examen).

- a) Dado un número P con signo en Ca2 indique cómo obtener Ca2(P).
- b) Suponga que se conectan los siguientes valores a las entradas: A = \$7E y B = \$ 96 y  $S_2S_1S_0Cin = 0010$ . Indique los valores que aparecen en todas las salidas (incluidas las de estado). Interprete los resultados en los dos casos siguientes:
  - 1) A y B son números sin signo
  - 2) A y B son números con signo en Ca2.
- c) Repita el caso anterior si  $S_2S_1S_0Cin = 0101$  si:
  - 1) A y B son números sin signo
  - 2) A y B son números con signo en Ca2.
- d) Repita el caso anterior si  $S_2S_1S_0Cin = 1101$ .

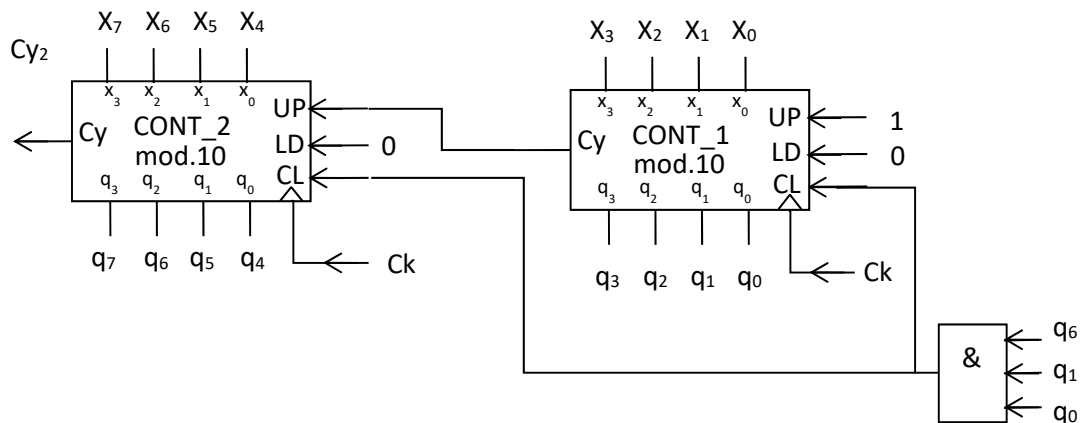
Nombre: \_\_\_\_\_

Problema 3. En la siguiente figura se muestra un circuito secuencial síncrono basado en dos contadores idénticos módulo 10 con la siguiente tabla funcional a nivel RT.

UP	LD	CL	CONT ←
1	0	0	CONT ← CONT + 1
-	1	0	CONT ← X <sub>3-0</sub>
-	-	1	CONT ← 0
0	0	0	CONT ← CONT

Cy = 1 sii [CONT]=1001

- a) Analice el circuito e indique, justificando su respuesta, qué operación global realiza identificando estados de inicio y fin.
- b) Modifique el circuito anterior para conseguir que el conjunto realice la operación de cuenta de  $28_{(10)} - 48_{(10)}$ . Diseñe la salida de acarreo global,  $Cy_g$ , para este contador.



# Circuitos Electrónicos Digitales – GII - IC

**Examen Final**

**Convocatoria 1**

**23-enero-2020**

**Apellidos, Nombre:** \_\_\_\_\_

Problema 1. Responda a las siguientes preguntas (son independientes).

- a. **Dispone de 12 bits** para contar magnitudes. Indique **en hexadecimal** el rango de los números correspondientes a: **(Tema 2)**
1. Primeros 256 números ( $\frac{1}{4}$  k) Respuesta: [ , ]
  2. Últimos 256 números ( $\frac{1}{4}$  k) Respuesta: [ , ]
  3. Primeros 512 números ( $\frac{1}{2}$  k) Respuesta: [ , ]
  4. Primeros 1024 números (1 k) Respuesta: [ , ]
  5. Los 1024 números que ocupan la parte central del rango total.  
Respuesta: [ , ]
- b. Sean dos magnitudes  $M_{(10)} = M_2 M_1 M_0$  y  $N_{(10)} = N_2 N_1 N_0$  en los que cada cifra está en BCD. Dispone de comparadores de magnitud de 4 bits con entradas de propagación (referidas como "G<sub>0</sub> E<sub>0</sub> L<sub>0</sub>" o como "g e l"). **(Tema 5)**
1. Indique el circuito que permita comparar M y N.
  2. Aplíquelo al caso  $M_{(10)}=813$  y  $N_{(10)}=832$  dando el valor de todas las señales del circuito.
- c. La ALU diseñada en clase tiene tres operaciones de resta (A-B-1, A-B y A-1). Justifique su funcionamiento, y dibuje y explique la parte de los circuitos afectados centrándose en los dos casos siguientes: **(Tema 6)**
1. Para la salida F.
  2. Para el bit C.
- d. Describa estructural y funcionalmente un flip-flop tipo T disparado por el flanco de subida y con entrada asíncrona de puesta a cero activa en baja. (Incluya las diferentes tablas que representan su operación). **(Tema 7)**

**Nota:** Es imprescindible explicar y representar claramente las variables y sus valores lógicos.

Problema 2. Se desea diseñar un circuito electrónico que determina la posición de los primeros 5 finalistas de un concurso en función de una votación. La votación es hecha por mensajes SMS que son recogidos por un sistema que mide el tanto por ciento de los votos de cada finalista. Este sistema proporciona, codificado en binario, la **parte entera de la cuarta parte del porcentaje** de votos. La relación entre votos obtenidos y la posición del finalista se muestra en la tabla anexa.

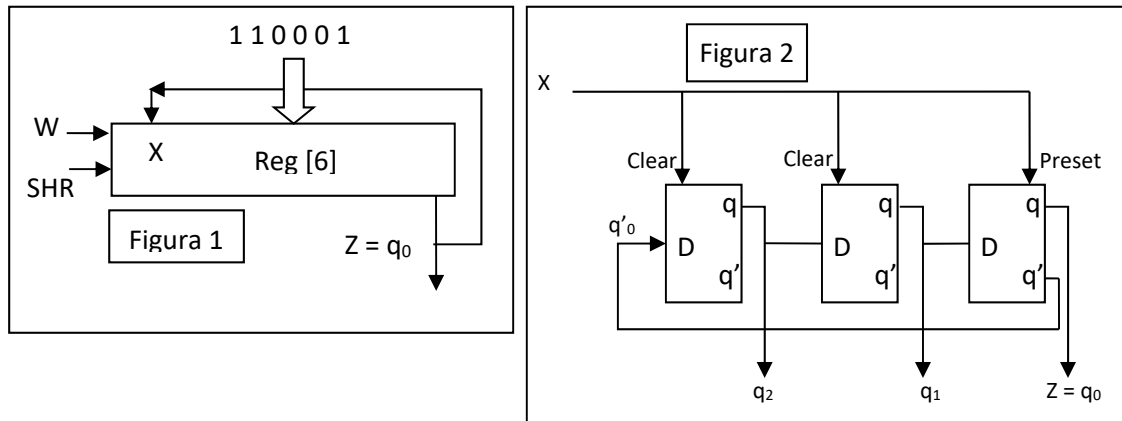
- Obtenga el mapa lógico que genere en binario natural la posición del concursante según la tabla.
- Diseñe el circuito óptimo en dos niveles que genera el MSB de la posición usando únicamente puertas NAND.
- Diseñe la salida LSB mediante un MUX-4.

**Nota:** Considere doble raíl.

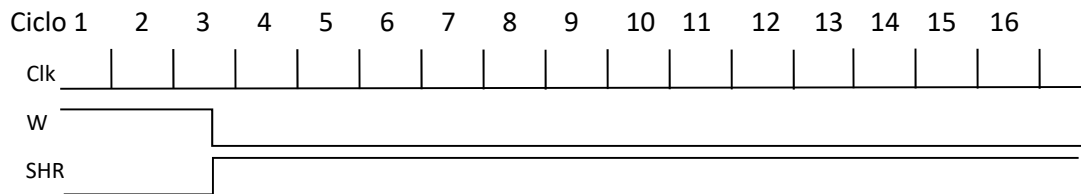
Porcentaje de Votos	Posición Lograda
96 o más	1 <sup>a</sup>
72-95	2 <sup>a</sup>
48-71	3 <sup>a</sup>
24-47	4 <sup>a</sup>
0-23	5 <sup>a</sup>

Nombre: \_\_\_\_\_

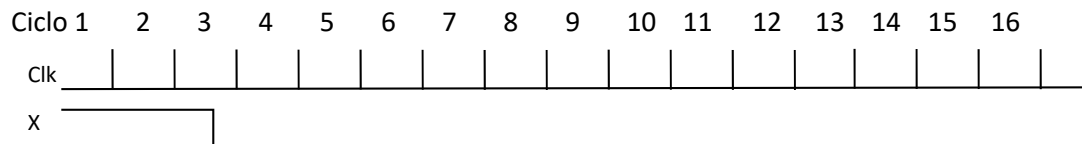
Problema 3. El circuito de la Figura 1 está formado por un registro "Reg" de 6 bits con carga en paralelo y desplazamiento a la derecha, de forma síncrona (reloj Clk no dibujado). El circuito de la Figura 2 muestra un circuito con biestables D síncronos (reloj Clk no dibujado), dos de ellos con Clear asíncrono y el otro con Set asíncrono.



a. Para la siguiente secuencia de excitación, obtenga el valor de Z de la Figura 1. Si lo desea, puede hacer una tabla con los ciclos de Clk numerados, en vez del diagrama de tiempos.



b. Para la siguiente secuencia de excitación, obtenga el valor de Z de la Figura 2. Si lo desea, puede hacer una tabla con los ciclos de Clk numerados, en vez del diagrama de tiempos.



c. Compare ambos circuitos funcionalmente y en coste.

## Circuitos Electrónicos Digitales – GII - IC

**Examen Final**

**Recuperación Parte 2**

**23-enero-2020**

**Nombre:** \_\_\_\_\_ **GRUPO: G1 G2 G3**

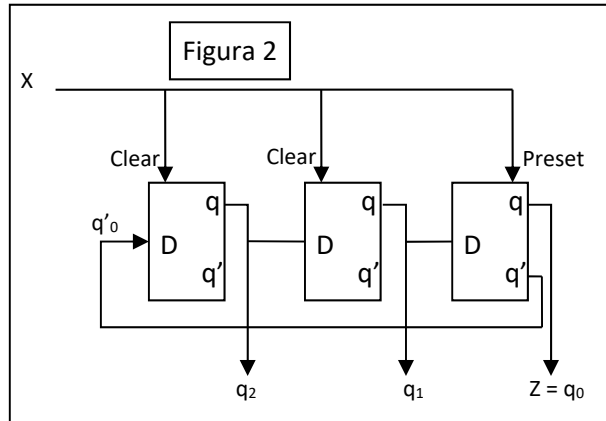
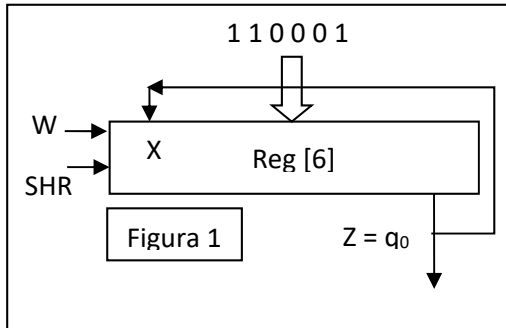
Problema 1. Dispone de ALUs como la explicada en clase. Considere las magnitudes  $M= 7$  y  $N = 8$ , así como los números con signo  $P = -7$  y  $Q = +8$ . Indique: 1/cómo haría las siguientes operaciones (tiene que dar valores a **todas las entradas**), 2/realícelas (tiene que dar valores a **todas las salidas**) y 3/discuta los resultados que obtenga. Por último, 4/compruebe su respuesta haciendo la operación en decimal:

- a.  $R1 = M + N$  usando una sola ALU de 8 bits.
- b.  $R2 = P + Q$  usando una sola ALU de 8 bits.
- c.  $R3 = P - Q$  usando una sola ALU de 8 bits.
- d.  $R4 = M - N$  usando una sola ALU de 8 bits.
- e.  $R5 = P + Q$  usando dos ALU de 4 bits.
- f.  $R6 = P + Q$  usando una sola ALU de 4 bits.

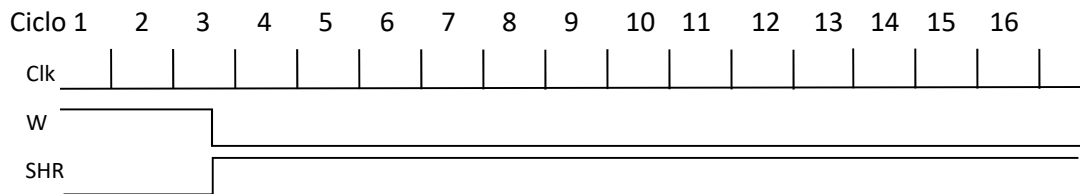
**Nota:** Es imprescindible explicar y representar claramente las variables y sus valores lógicos.

Nombre: \_\_\_\_\_

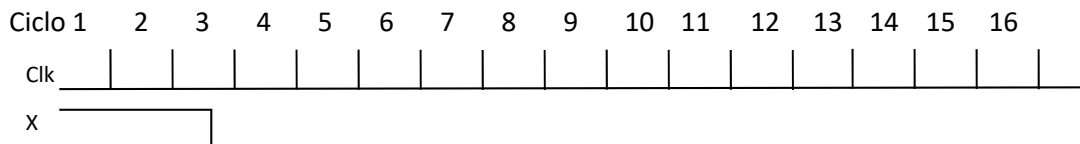
Problema 2. El circuito de la Figura 1 está formado por un registro "Reg" de 6 bits con carga en paralelo y desplazamiento a la derecha, de forma síncrona (reloj Clk no dibujado). El circuito de la Figura 2 muestra un circuito con biestables D síncronos (reloj Clk no dibujado), dos de ellos con Clear asíncrono y el otro con Set asíncrono.



a. Para la siguiente secuencia de excitación, obtenga el valor de Z de la Figura 1. Si lo desea, puede hacer una tabla con los ciclos de Clk numerados, en vez del diagrama de tiempos.



b. Para la siguiente secuencia de excitación, obtenga el valor de Z de la Figura 2. Si lo desea, puede hacer una tabla con los ciclos de Clk numerados, en vez del diagrama de tiempos.



c. Compare ambos circuitos funcionalmente y en coste.



## **Circuitos Electrónicos Digitales – GII - IC**

**Examen Final**

**Convocatoria 2 14- septiembre -2020**

***Apellidos, Nombre:*** \_\_\_\_\_

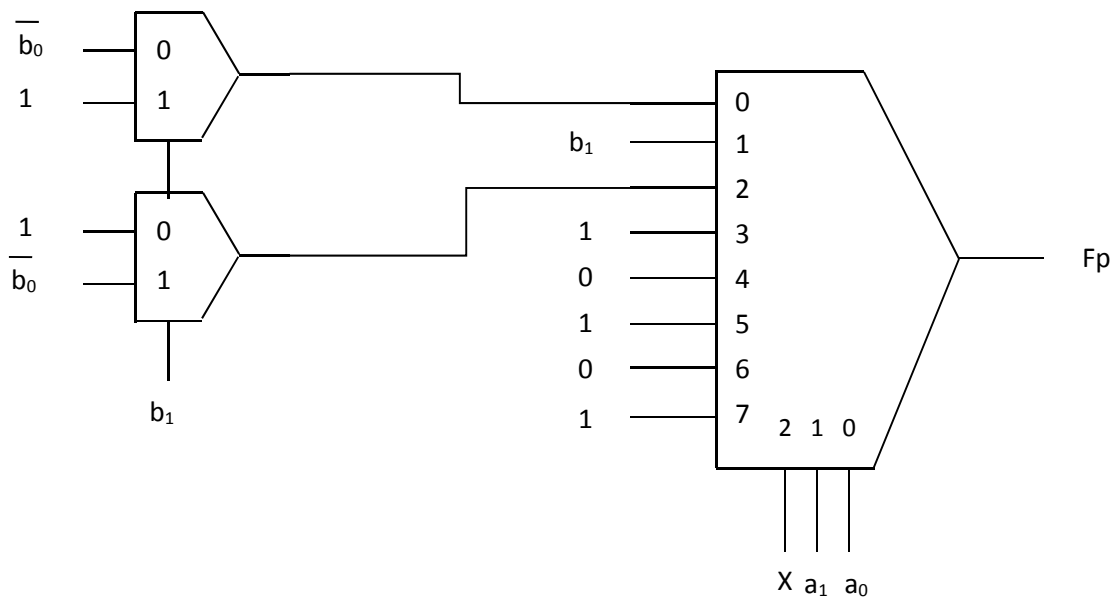
Problema 1. Circuitos aritméticos: dé una descripción detallada de los distintos circuitos aritméticos estudiados en clase. Esto es, para cada uno debe dar su definición, descripción estructural y funcional, ecuaciones de salidas y circuito. Los circuitos que debe contemplar son: HA, FA, sumador paralelo y sumador/restador (incorpore cuando sea necesario las salidas de estado de *carry* y de *overflow*).

Problema 2. Se desea obtener una función lógica F con el siguiente comportamiento:

Si X=0	y	$a_1a_0 \geq b_1b_0$ :	F=0
		$a_1a_0 < b_1b_0$ :	F=1
Si X=1	y	$a_1a_0$ impar :	F=0
		$a_1a_0$ par :	F=1

Se ha propuesto como solución el circuito de la figura, con salida Fp, sin embargo, puede que no sea así.

- Compruebe si hay errores indicando todos los que existan.
- Corrija los errores del circuito de la figura para que  $F_p = F$ .



Problema 3. Los apartados a y b **son independientes**.

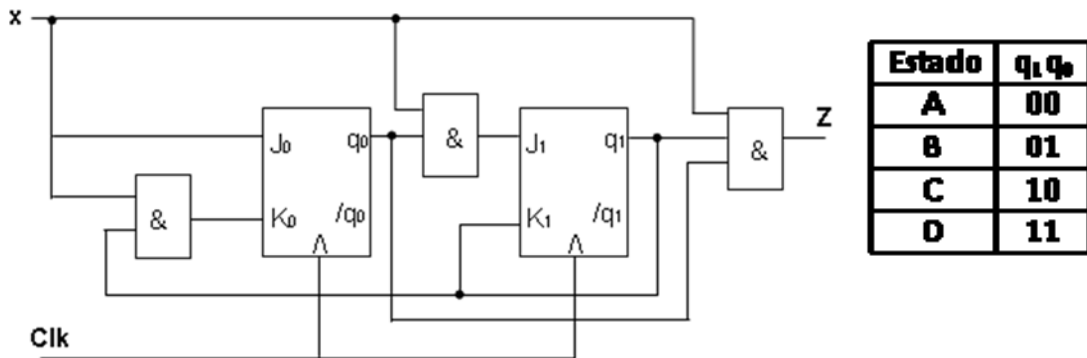
- a. Por una entrada X se reciben secuencialmente números de 4 bits comenzando por LSB. Realice el diagrama de estados de una máquina de Mealy de un circuito que calcula el complemento a dos del número de entrada y lo muestra, vía serie, por su única salida Z.

Por ejemplo:

X: 0000 1000 0110...

Z: 0000 1111 0101...

- b. Analice el circuito de la figura y obtenga el diagrama de estados. Suponga que el estado inicial es A.



## Circuitos Electrónicos Digitales – GII - IC

**Examen Final**

**Convocatoria 3**

**16-diciembre-2020**

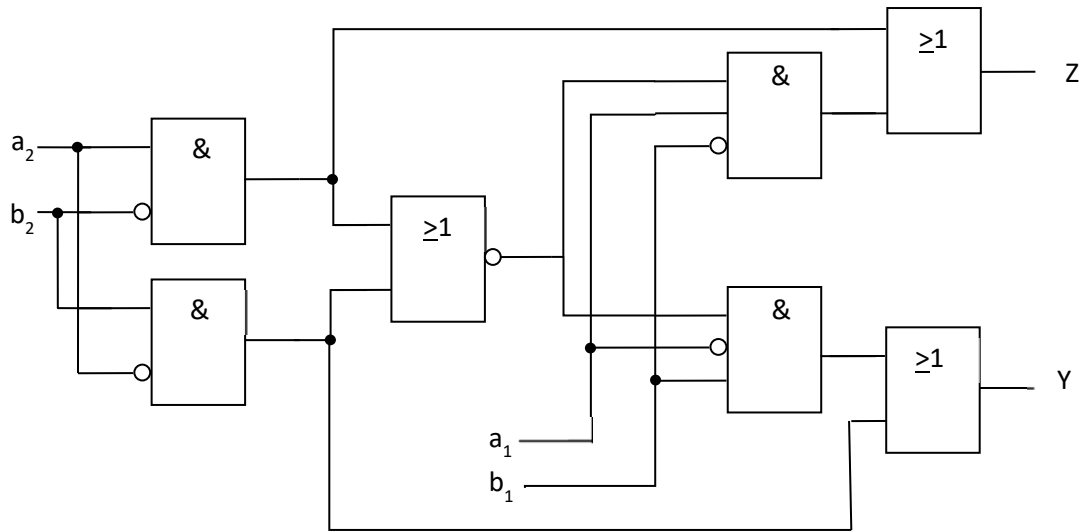
***Apellidos, Nombre:*** \_\_\_\_\_

Problema 1. Considere la ALU de 8 bits desarrollada en teoría:

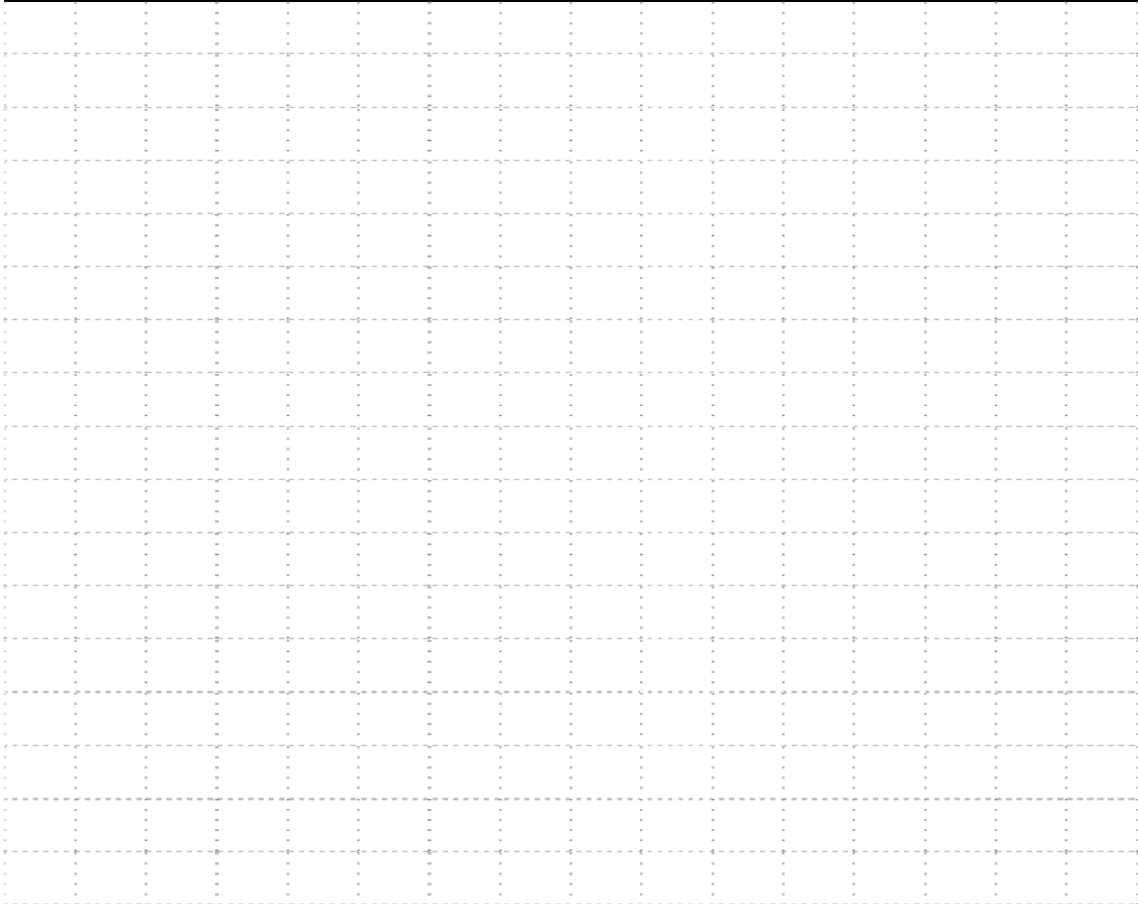
- a. Dado un número P de 8 bits con signo en  $\text{Ca}_2$ , indique cómo obtener el  $\text{Ca}_2(P)$ .
- b. Indique cómo sumar dos números A y B de 8 bits y especifique también cómo detectar si el resultado es correcto para los siguientes casos:
  - A y B son números sin signo
  - A y B son números con signo en  $\text{Ca}_2$ .
- c. Indique cómo comparar dos números A y B de 8 bits informando de si  $A > B$ ,  $A = B$  o  $A < B$ :
  - A y B son números sin signo
  - A y B son números con signo en  $\text{Ca}_2$ .

Problema 2. Para el circuito de la figura:

- a. Analícelo.
  1. Obtenga el mapa de Karnaugh
  2. Interprete la funcionalidad del circuito considerando que las entradas representan a sendos datos de 2 bits cada uno  $A=a_2a_1$  y  $B=b_2b_1$ .
- b. Dibuje el cronograma de la salida Z del circuito de la figura si " $a_2$ " es una señal cuadrada de 10 Mhz de frecuencia, " $b_2 = b_1 = 0$  y  $a_1 = 1$ " y las puertas tienen un retraso de 10 ns.



Utilice la cuadrícula para dibujar las formas de onda. No olvide indicar las señales.



Problema 3. En binario y punto fijo, la división por dos ( $A/2$ ) consiste básicamente en un desplazamiento a la derecha. Obviamente, si  $A$  es un número con signo, el valor  $A/2$  debe mantener el signo de  $A$ . Por otra parte, la división pierde un bit de precisión cuando  $A$  es impar. Suponga que dispone de registros universales de 8 bits (RU8).

- Describa formalmente a nivel RT su RU8. (Tiene que dar la descripción estructural y funcional de RU8 como subsistema).
- En una aplicación se manejarán números  $A$  de 32 bits. Utilizando como componentes registros RU8, construya un subsistema con una señal de entrada DIV que permita obtener  $A/2$  cuando DIV esté activo mientras que conserve el dato en caso contrario.
- Si inicialmente el subsistema diseñado almacena el valor  $A[32] = 1010\ 1010 \dots 1010$ , complete la siguiente secuencia con los sucesivos valores del subsistema:

DIV: 0 , 1 , 1 , 0 , 1

Subs: 1010...10 ,

**Notas:** Si su respuesta queda clara no es necesario que escriba los 32 bits de la secuencia, pudiendo poner puntos suspensivos en lo que claramente se repite. Además, puede poner la secuencia en columnas:

DIV=0 Subs: 1010 1010 ... 1010

DIV=1 Subs:

DIV=1 Subs:

DIV=0 Subs:

DIV=1 Subs:

## Circuitos Electrónicos Digitales - GII - IC

**Examen Final**

**Convocatoria 1**

**19-febrero-2021**

**Apellidos, Nombre:** \_\_\_\_\_

Problema 1. Responda las cuestiones siguientes. (Son independientes).

- a. Escriba su **edad en decimal**, en binario, en BCD, en hexadecimal (\$) y en octal.

**Edad:** \_\_\_\_; binario: \_\_\_\_\_ BCD: \_\_\_\_\_  
hexadecimal:\$ \_\_\_\_\_ octal: \_\_\_\_\_

- b. Sean dos datos binarios de 8 bits,  $D1 = 0101\ 0101$  y  $D2 = 1100\ 0011$ .

I. Indique si cada afirmación puede ser correcta o no:

“D1 es un número con signo en  $Ca_2$ ”: Correcta \_\_\_\_ Incorrecta \_\_\_\_

“D2 es un número con signo en  $Ca_2$ ”: Correcta \_\_\_\_ Incorrecta \_\_\_\_

II. En el caso de que sea correcta, indique su valor decimal:

D1 = \_\_\_\_\_ D2 = \_\_\_\_\_

- c. ¿Qué es una **implicante**? ¿Y una **implicada** (*implicante de 0s*)? Ponga dos ejemplos de cada una de ellas para la función  $F(abc) = \Pi(1,2,4) \cdot d(0,7)$ .

**Implicante:** \_\_\_\_\_

Ejemplo1: \_\_\_\_\_ Ejemplo2: \_\_\_\_\_

**Implicada:** \_\_\_\_\_

Ejemplo1: \_\_\_\_\_ Ejemplo2: \_\_\_\_\_

- d. Escriba la expresión de la salida 3 ( $Z_3$ ) para un decodificador 3:8 cuyas entradas son  $X_2X_1X_0$  en cada uno de los siguientes casos:

I. **salidas activas en alta** y:

\* sin señal de habilitación:  $Z_3 =$  \_\_\_\_\_

\* señal de habilitación activa en alta:  $Z_3 =$  \_\_\_\_\_

II. **salidas activas en baja** y:

\* sin señal de habilitación:  $Z_3 =$  \_\_\_\_\_

\* señal de habilitación activa en alta:  $Z_3 =$  \_\_\_\_\_

- e. Represente la función  $F4 = a' + b c' + d$  (hipótesis de doble rail) usando:  
 \* solo puertas NAND \*\* solo puertas NOR

--	--

- f. Se ha usado una ALU de 8 bits como la de clase con  $A=B=M$  (M es una palabra binaria de 8 bits,  $M7:M0$ ) y  $S2:S0=111$ .

Indique el resultado de salida: \_\_\_\_\_

Repita si  $A=M$  y  $B=1111\ 1111$ : \_\_\_\_\_

- g. En relación a los biestables:
- I. Describa formalmente (estructura y función) un biestable T con entradas asíncronas de preset activa en baja (/PR) y de clear activa en alta (CL) que esté disparado por el flanco de subida de Clk.
  - II. Escriba la tabla de excitación para los 4 biestables habituales.

I	II
---	----

- h. Sea un contador ascendente de 8 bits con carga en paralelo cuando la señal LD está activa (en alta). Cuando LD no está activa, cuenta. En el instante inicial el contador tiene almacenado el valor \$EA, LD es 0 y las entradas de datos son desconocidas. Tras el primer flanco activo de reloj, las entradas cambian al valor \$F5. Tras el segundo flanco, la señal LD se activa durante un ciclo de reloj. Tras el tercer flanco las entradas pasan a valer \$28. Represente el cronograma de los primeros 5 ciclos de reloj que indique las señales intervinientes y el contenido del contador.



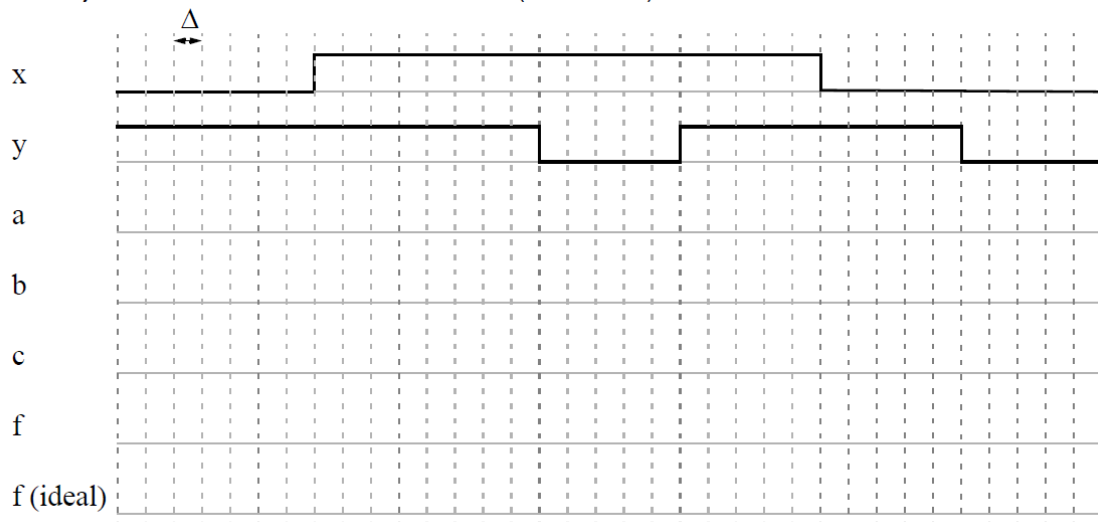
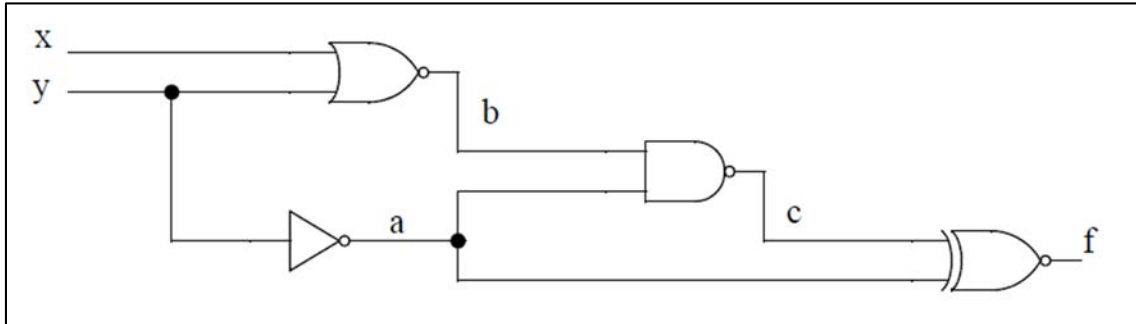
Nombre: \_\_\_\_\_

Problema 2. En el circuito de la figura, todas las puertas poseen el mismo retraso de valor  $\Delta$

- a. Obtenga la expresión mínima en suma de productos de f.
- b. Determine la forma de onda de f para las entradas siguientes tanto en el caso de retraso ( $\Delta$ ) como en el caso ideal. Comente las diferencias entre ambos casos.

Dibuje el cronograma en esta misma hoja

- c. (Cuestión independiente de las otras) Realice un decodificador DEC4:10 (BCD) usando únicamente DEC2:4.



Problema 3. Sobre una única línea X, se envía una información sincronizada con una señal de reloj CK. Se desea detectar la aparición (con solapamiento) de tres ceros o de tres unos consecutivos, en cuyo caso la salida Z se pondrá a 1.

- Obtenga el diagrama y la tabla de estado/salida de un circuito de Mealy que realice esa función. Tiene que empezar por un estado A que represente “ya han llegado muchos 1”.
- A partir de su tabla de estado/salida** (obtenida en el apartado “a”) obtenga la secuencia de estados y de salida para la secuencia de entrada mostrada a continuación comenzando por el estado A. (Responda en el recuadro de abajo).
- Compare la solución obtenida en “b)” con la esperada según el enunciado. Concluya si su solución dada en “a)” es correcta.
- Diseñe el circuito con biestables D y puertas lógicas.

*Secuencia para la respuesta de “b” (considere que inicialmente han llegado muchos 1):*

X: ... 1 , 1 , 0 , 1 , 0 , 0 , 0 , 0 , 0 , 1 , 1 , 1 ,

S: ... A , , , , , , , , , , , , ,

Z: ... 1 , , , , , , , , , , , , ,

## Circuitos Electrónicos Digitales – GII - IC

**Examen Final Sólo EP1 Convocatoria 1 19-febrero-2021**

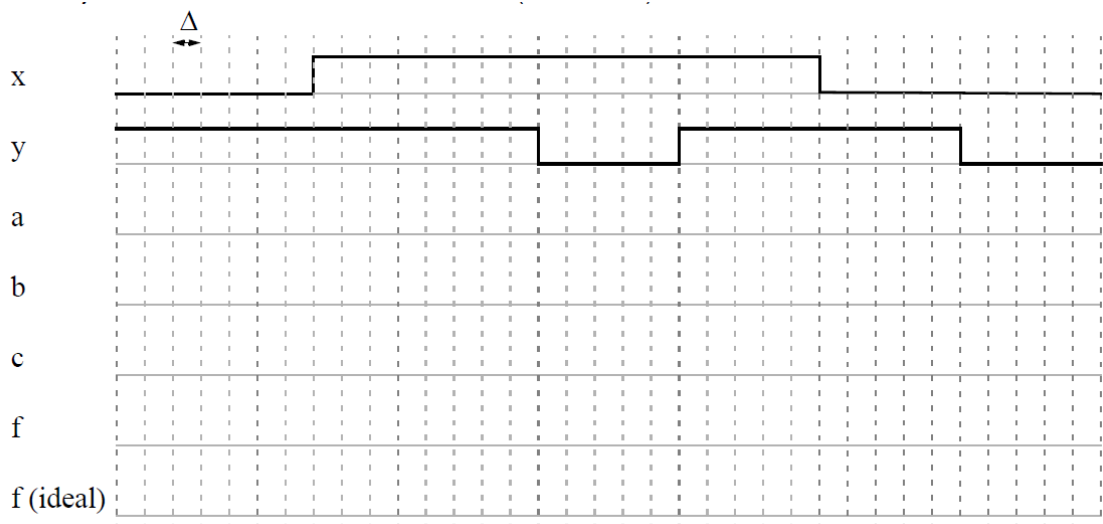
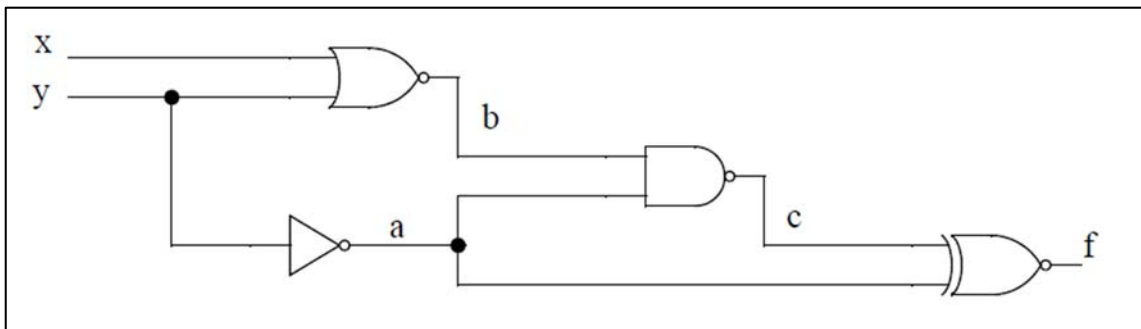
**Apellidos, Nombre:** \_\_\_\_\_

Problema 1. En el circuito de la figura, todas las puertas poseen el mismo retraso de valor  $\Delta$

- Obtenga la expresión mínima en suma de productos de  $f$ .
- Determine la forma de onda de  $f$  para las entradas siguientes tanto en el caso de retraso ( $\Delta$ ) como en el caso ideal. Comente las diferencias entre ambos casos.

Dibuje el cronograma en esta misma hoja

- (Cuestión independiente de las otras) Realice un decodificador BCD (DEC4:10) usando únicamente DEC2:4.



Problema 2. Se desean comparar dos magnitudes de 7 bits, M y N. Determine el circuito si:

- a) Dispone de un comparador de 8 bits con entradas "G0 E0 L0".
- b) Dispone de un comparador de 8 bits sin entradas "G0 E0 L0".
- c) Dispone de comparadores de 4 bits con entradas "G0 E0 L0".
- d) Dispone de comparadores de 4 bits sin entradas "G0 E0 L0".
- e) Por último, se desea incorporar una señal HAB para habilitar la comparación de M y N al circuito **solución del caso "a"**. Dé la tabla funcional y el circuito modificado.

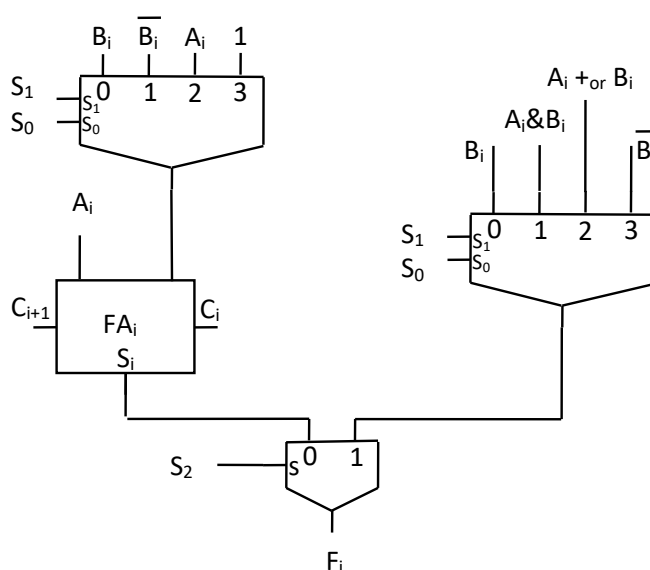
**Nota Prob. 2:** Si lo necesita, puede usar también puertas. El diseño debe tener el coste razonablemente más reducido.

## Circuitos Electrónicos Digitales – GII - IC

### Examen Final Sólo EP2 Convocatoria 1 19-febrero-2021

Apellidos, Nombre: \_\_\_\_\_

Problema 1. En la figura es representa un diseño de una etapa típica de una ALU similar, pero no igual, a la dada en clase. Los bits de salida de estado (C, V, N, Z y S), que no están representados, se obtienen de forma similar.



- Obtenga razonadamente la tabla funcional.
- Considere que tiene dos datos P y Q con los que va a operar mediante esa ALU, con dimensiones de 8 bits. Indique los valores binarios de **todas** las entradas y de **todas** las salidas de la ALU para los dos casos siguientes:
  - Si P y Q son  $[P] = \$6C$  y  $[Q] = \$B5$  y se suman ( $P+Q$ )
  - Si P y Q son  $[P] = \$6C$  y  $[Q] = \$B5$  y se restan ( $P-Q$ )
- Si P y Q son dos números con signo (Ca2), interprete los resultados de los dos casos del apartado anterior y verifique si son correctos o no operando en decimal.
- Si P y Q son dos números sin signo (esto es, magnitudes), interprete los resultados de los dos casos del apartado anterior y verifique si son correctos o no operando en decimal.

Problema 2. Sobre una única línea X, se envía una información sincronizada con una señal de reloj CK. Se desea detectar la aparición (con solapamiento) de tres ceros o de tres unos consecutivos, en cuyo caso la salida Z se pondrá a 1.

- Obtenga el diagrama y la tabla de estado/salida de un circuito de Mealy que realice esa función. Tiene que empezar por un estado A que represente “ya han llegado muchos 1”.
- A partir de su tabla de estado/salida** (obtenida en el apartado “a”) obtenga la secuencia de estados y de salida para la secuencia de entrada mostrada a continuación comenzando por el estado A. (Responda en el recuadro de abajo).
- Compare la solución obtenida en “b)” con la esperada según el enunciado. Concluya si su solución dada en “a)” es correcta.
- Diseñe el circuito con biestables D y puertas lógicas.

*Secuencia para la respuesta de “b” (considere que inicialmente han llegado muchos 1):*

X: ... 1 , 1 , 0 , 1 , 0 , 0 , 0 , 0 , 1 , 1 , 1 ,

S: ... A , , , , , , , , , , , ,

Z: ... 1 , , , , , , , , , , , ,

## Circuitos Electrónicos Digitales – GII - IC

**Examen Final**

**Convocatoria 2 13- septiembre -2021**

**Apellidos, Nombre:** \_\_\_\_\_

Problema 1. Responda las cuestiones siguientes. Son independientes y del mismo valor.

a. En una biblioteca se han catalogado los libros con un número binario de 12 bits asignando el menor valor posible al primer libro. Indique:

1. En decimal, el número total de libros que pueden catalogarse \_\_\_\_\_
2. El valor binario del último libro, supuesto que se han completado todos los valores binarios \_\_\_\_\_
3. El valor binario del libro que ocupa la décima posición de la lista \_\_\_\_\_
4. Si un libro tiene como número binario el correspondiente al hexadecimal \$801 dé en decimal la posición del libro \_\_\_\_\_

b. Dispone de 16 bits para representar números fraccionarios con signo, dedicando 13 bits a la parte entera y 3 a la fraccionaria (aproximación por redondeo):

1. +7.7 en la notación sM \_\_\_\_\_
2. +7.7 en la notación Ca2 \_\_\_\_\_
3. -7.7 en la notación sM \_\_\_\_\_
4. -7.7 en la notación Ca2 \_\_\_\_\_

c. 1/Diseñe un MUX 2:1 usando puertas NAND.

2/Dé un segundo diseño del MUX 2:1 en el que añada una señal EN (*enable*) activa en H al MUX de forma que cuando EN esté inactiva la salida del MUX sea 1.

--	--

d. Determine los valores de Cout (señal interna) y de las salidas de estado C y de V en una ALU como la dada en teoría de 6 bits tras realizar la operación A-B, siendo B= 101010, y A según los casos que se indican:

1. A = \$E
2. A = \$1E
3. A = \$2E
4. A = \$3E

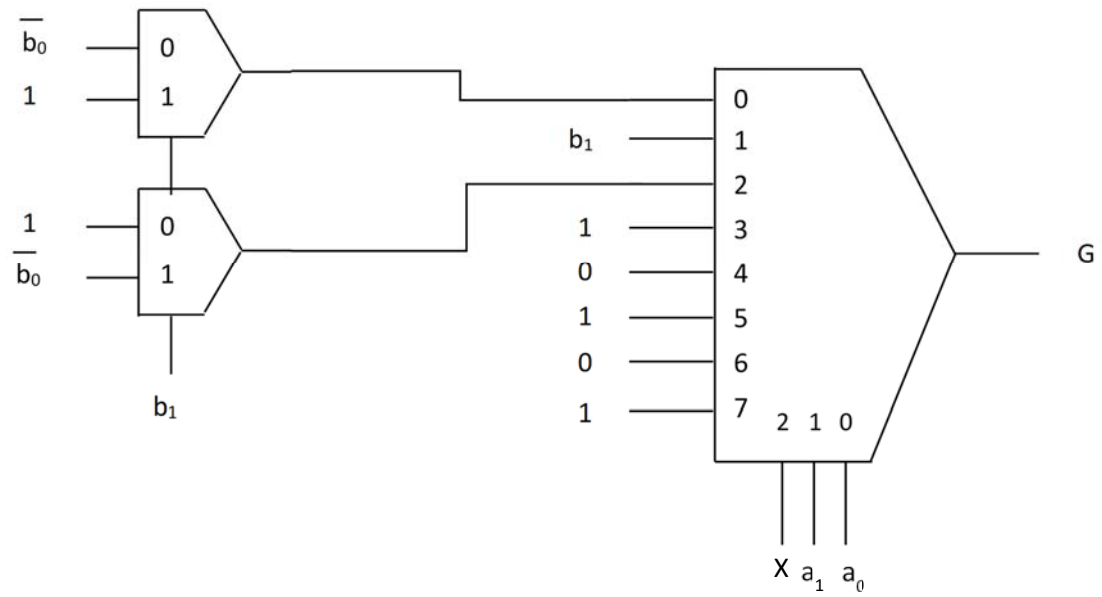
Nombre: \_\_\_\_\_

- e. Considere un registro universal de 16 bits con señal de puesta a cero asíncrona (CLA) y dos señales de selección de operación P1 y P0.
1. Descríbalo formalmente a nivel RT (estructural y funcional)
  2. Escriba la secuencia de entradas y salidas de su dispositivo durante 4 ciclos de reloj si inicialmente el registro contiene \$B0F6 y hace las siguientes operaciones: dos ciclos con desplazamiento a la derecha, una puesta a cero y el resto de NOP



Nombre: \_\_\_\_\_

Problema 2. a/ Analice el circuito de la figura y dé el mapa de Karnaugh:



b/ Compruebe si G es solución para la función F dada en la siguiente descripción indicando, en su caso, cuáles son las diferencias.  $F(X, a_1, a_0, b_1, b_0)$  es la función lógica que cumple:

Si $X=0$	y	$a_1a_0 \geq b_1b_0$ :	$F = 0$
		$a_1a_0 < b_1b_0$ :	$F = 1$
Si $X=1$	y	$a_1a_0$ impar :	$F = 0$
		$a_1a_0$ par :	$F = 1$

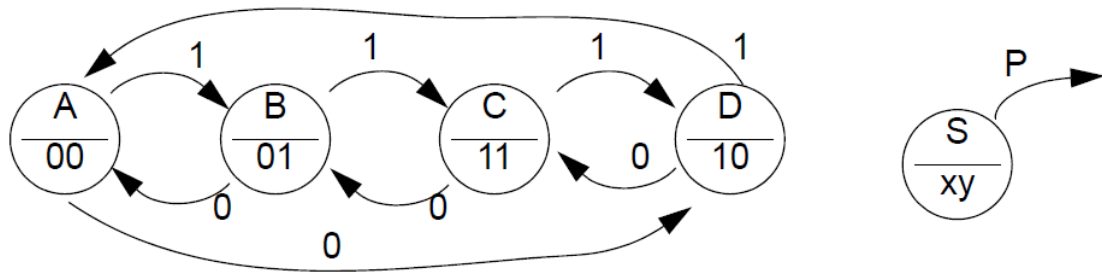
Nombre: \_\_\_\_\_

Problema 3. Realice cada apartado de forma independiente:

- a. Un circuito secuencial dispone de dos entradas (A y B) por la que se reciben en serie sendos números de 3 bits sin signo empezando por el LSB. Dé el diagrama de estados del autómata de Mealy que realiza la suma serie de dichos números (A + B) y proporciona el resultado de 4 bits por la salida S (el cuarto bit es el bit de carry de salida,  $C_{out}$ ). Entre número y número hay un bit en cada entrada que será ignorado a efectos de la suma. Se debe proporcionar cada bit de salida coincidiendo con los correspondientes bits de entrada. Ejemplo:

A:	...	0	1	0	-	1	1	0	-	...
B:	...	1	1	0	-	0	1	1	-	...
S:	...	1	0	1	0	1	0	0	1	...

- b. Utilizando biestables SR y puertas lógicas, realice el diseño del siguiente diagrama de estados. (La entrada al circuito es P y sus salidas, son x y).



## Circuitos Electrónicos Digitales – GII - IC

**Examen Final**

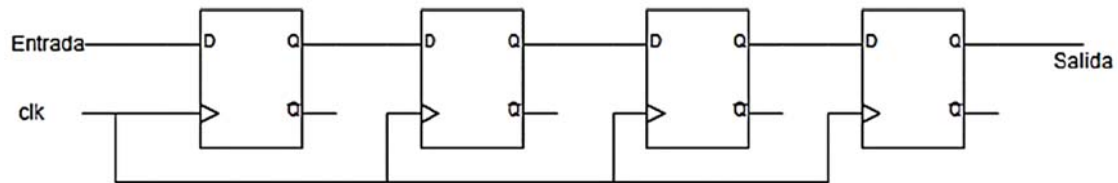
**Convocatoria 3**

**15-diciembre-2021**

**Apellidos, Nombre:** \_\_\_\_\_

Problema 1. Responda a las siguientes cuestiones (son independientes entre sí):

- Interprete la palabra binaria 10010011 como:
  - Magnitud (en binario natural)
  - Número con signo en Ca2
  - Código ASCII con paridad impar
  - BCD
- Describa la función que realiza un multiplexor, sus entradas y salidas y su tabla de funcionamiento. Ponga un ejemplo de cómo construir un multiplexor mayor con otros más pequeños.
- ¿Qué subsistema es el siguiente circuito? Explique por qué. Dibuje un pequeño cronograma para mostrar su funcionamiento, poniendo nombre y dibujando las señales intermedias.



Problema 2. Se desea construir un comparador de dos números P y Q que funcione tanto para magnitudes como para números con signo (en  $\mathbb{C}_2$ ). Hay una señal de control C que para  $C=0$  indica que P y Q son sin signo y para  $C=1$  que son con signo en  $\mathbb{C}_2$ . Para construir ese comparador dispone de un comparador de magnitudes de 12 bits cuyas entradas son  $A_{11:0}$  y  $B_{11:0}$ , siendo sus salidas  $G_M (A>B)$ ,  $E_M (A=B)$  y  $L_M (A<B)$ .

- a. Diseñe el comparador con entrada C para números P y Q de 12 bits, dando como salidas  $G(P>Q)$ ,  $E(P=Q)$  y  $L(P<Q)$ .

Para ello debe usar el comparador de magnitudes de 12 bits. También puede usar otros componentes habituales que necesite.

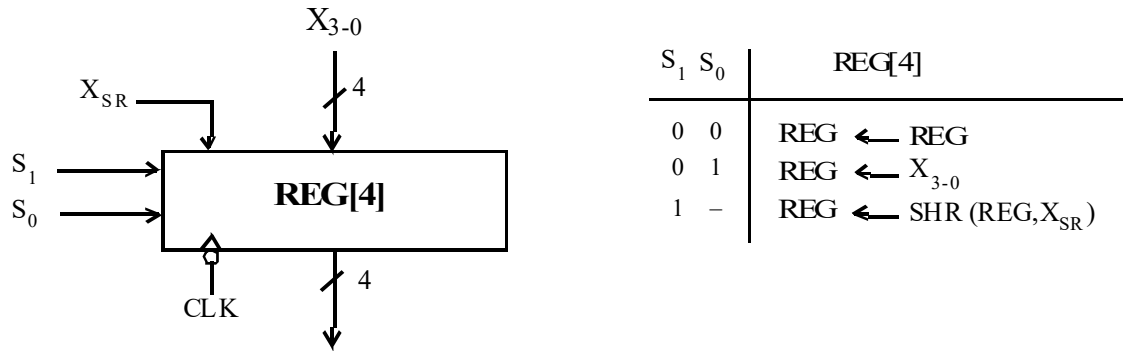
- b. Para  $P=\$5$  y  $Q=\$999$ , indique los valores de **TODAS** las señales **de su circuito** para los dos casos posibles, esto es, para:

- I.  $C = 0$ .
- II.  $C = 1$ .

Problema 3. Se dispone de registros de 4 bits como el mostrado en la figura, puertas y subsistemas combinacionales.

- a. Diseñe un registro universal de 16 bits (esto es, con dos señales de selección de operación que permitan la inhibición, carga en paralelo, desplazamiento a izquierda y a derecha).
- b. Utilizando el registro universal de 16 bits, se desea generar bit a bit la secuencia de dígitos impares y primos en BCD (en decimal, 1, 3, 5 y 7). Realice este generador de secuencias indicando ordenadamente cómo debe trabajar.

[Como verá, puede responder al apartado “b” sin haber hecho el “a”].



## Circuitos Electrónicos Digitales – GII - IC

**Examen Final**

**Convocatoria 1**

**02-febrero-2022**

***Apellidos, Nombre:*** \_\_\_\_\_

Problema 1. Responda cada apartado independientemente.

a) Defina breve y claramente los siguientes términos:

- BCD.
- Circuito combinacional.
- Sumador completo.
- Contador *ripple*.

b) Describa cómo realizar una función combinacional empleando un decodificador con salidas activas en baja y **una** puerta NAND. Puede apoyarse en un ejemplo.

c) Con una ALU como la estudiada en teoría, indique cómo operar con ella para determinar si los 4 bits menos significativos de la palabra A de 8 bits valen 0.

d) Utilizando contadores módulo 8 y puertas, diseñe un contador que cuente de 1 a 10. Haga una solución síncrona indicando las características mínimas del contador.

Problema 2. Considere  $F(a,b,c,d) = \Pi(2, 3, 8, 10, 11, 12)$ . Teniendo entradas en doble r il, realice el mejor circuito en cada caso:

a) Usando puertas solamente de un tipo

b) Usando MUX-2

Problema 3. Dispone de una señal H que genera exactamente un pulso positivo cada hora. Por otra parte, dispone de contadores mód. 16 con señales de puesta a 0 asíncrona (CLA), síncrona (CLS), de carga en paralelo (Ld: *Load*) y de cuenta (Up). Se quiere realizar un reloj que muestre la hora del día (en formato 24h).

- a. Describa formalmente en lenguaje RT el contador mod.16 del que dispone. Debe completar lo que no se le haya indicado en el cuerpo del enunciado.
- b. Diseñe el reloj de las 24 horas.



## Circuitos Electrónicos Digitales – GII - IC

**Examen Final**

**Convocatoria 2 12- septiembre -2022**

**Apellidos, Nombre:** \_\_\_\_\_

Problema 1. Responda a cada uno de los siguientes apartados:

a) Dispone de  $M = 38_{(10)}$ . Obtenga:

1. Magnitud de  $M_2$  con menor número de bits. También,  $M$  con 16 bits en hexadecimal.
2. Con signo en  $Ca_2$  de  $+M$  con menor número de bits. También,  $+M$  con 16 bits en hexadecimal.
3. Con signo en  $Ca_2$  de  $-M$  con menor número de bits. También,  $-M$  con 16 bits en hexadecimal.
4. Disponiendo de 16 bits, indique el valor  $-4 \times M$  tanto en binario como en hexadecimal.

b) Sea  $F(a, b, c, d) = a [c' + (b+d)']'$ . Obtenga  $F$  y su función complementada,  $F'$ , en las formas normales y en las canónicas.

c) En una ALU como la desarrollada en teoría de 6 bits hay  $A = 10\ 1001$  y  $B = 01\ 1100$ . Debe dar el valor de todas las salidas de la ALU en los dos casos siguientes:

1.  $S_2S_1S_0Cin = 0101$
2.  $S_2S_1S_0Cin = 1111$

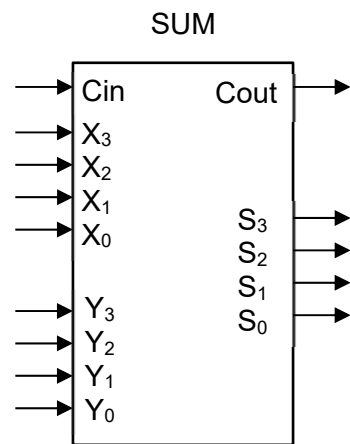
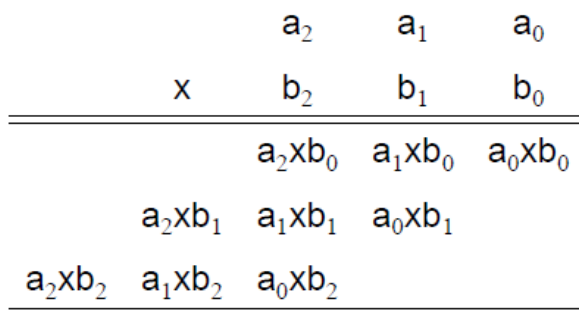
1.4. Considere un *flip-flop* disparado por el flanco de reloj que, en el ciclo actual, tiene  $q=1$ . Se desea que el siguiente ciclo vaya a tener almacenado un 0. Indique para cada uno de los cuatro biestables dados en teoría qué valor tiene su entrada cuando ocurre el flanco de reloj.

Problema 2. Diseñe un circuito combinacional que multiplique dos palabras sin signo de tres bits ( $a_2a_1a_0$  y  $b_2b_1b_0$ ). Sabiendo que dispone de puertas AND de dos entradas y de sumadores completos de 4 bits, se pide que:

- a) Explique cuántas salidas deberá tener el circuito.
- b) Obtenga el diseño más simple del multiplicador.

**NOTAS.** Para realizar bien este problema tenga en cuenta lo siguiente:

- Considere la figura en la que se muestra el proceso de multiplicación a usar para la realización del circuito, así como el sumador de magnitudes de 4 bits, SUM. En SUM,  $X_{3:0}$  e  $Y_{3:0}$  son los sumandos,  $S_{3:0}$  el resultado de la suma y Cin y Cout son la entrada y la salida de *carry*.
- Para realizar el diseño sólo dispone de sumadores SUM y de puertas AND. No use, por tanto, el procedimiento general de diseño de circuitos combinacionales.



Problema 3. Considere un circuito que contiene un registro de 4 bits con desplazamiento a la derecha y cuyas salidas son  $q_3:q_0$ . El circuito dispone de una señal de entrada  $X$  que está conectada a la entrada serie del registro. Por otra parte, tiene una salida  $Z$  cuya parte combinacional es:  $Z = q_3' q_2 q_1 q_0$ . El circuito lleva funcionando un tiempo muy grande recibiendo valores por la entrada  $X$ .

- a) Según la secuencia de valores de  $X$ , la salida  $Z$  se activa a 1 de acuerdo con la función del circuito. Exprese con palabras cuál es esa funcionalidad.
- b) Obtenga, con el menor número de biestables posible, un CSS de Moore que se comporte como el anterior.
- c) Compare los costes del circuito descrito en el enunciado con el circuito de su apartado "b)".

## Circuitos Electrónicos Digitales – GII - IC

**Examen Final**

**Convocatoria 3**

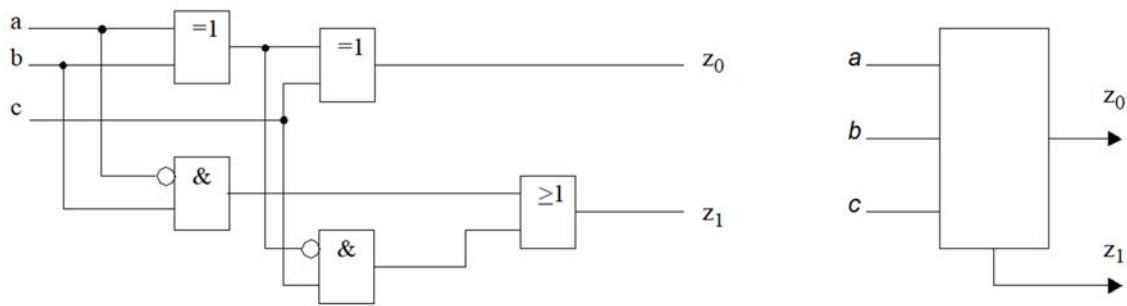
**23-noviembre-2022**

***Apellidos, Nombre:*** \_\_\_\_\_

Problema 1. Responda a cada uno de los siguientes apartados:

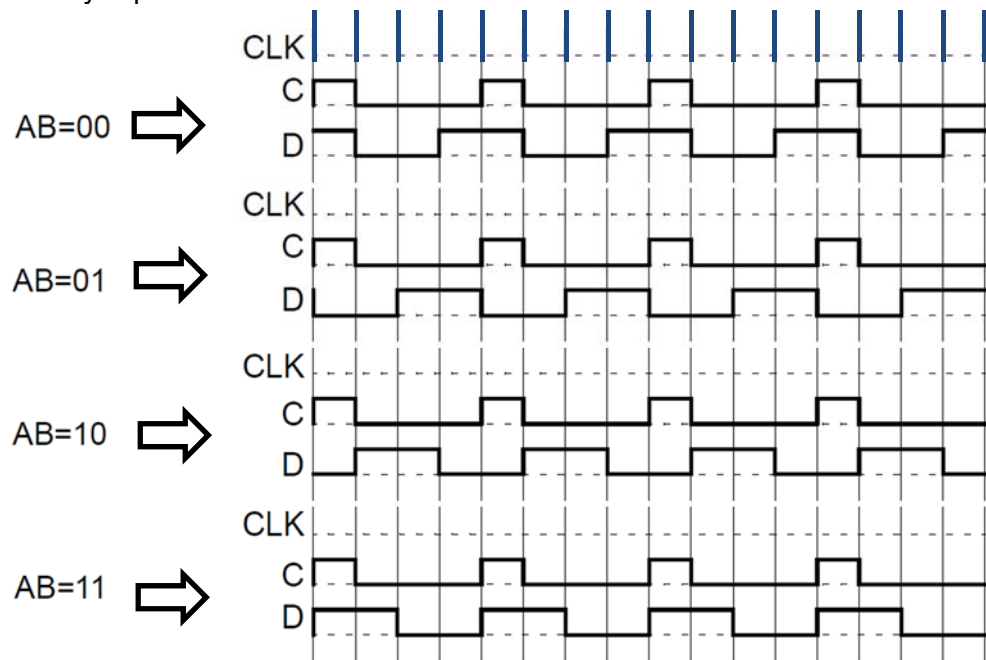
- a. Sea una función  $F(x_3, x_2, x_1, x_0)$  completamente especificada. Debe poner el K-map de un ejemplo concreto de  $F$  con varios 0s y varios 1s. Para su  $F$ , elija un caso entre los posibles e indique la expresión algebraica que le corresponda de:
- |                                  |                               |
|----------------------------------|-------------------------------|
| un mintérmino;                   | un maxtérmino;                |
| una Implicante de orden 2;       | una Implicada de orden 2;     |
| una Implicante Prima esencial; y | una Implicada Prima esencial. |
- b. Sea una función  $F(x_3, x_2, x_1, x_0)$ . Dispone de puertas AND, OR, NAND o NOR.
- b1. Indique cómo puede realizarse  $F$  usando un Decodificador (DEC  $n:2^n$ ) con **salidas activas en alta** y un tipo de puerta, en los 3 casos siguientes:
- |         |         |         |
|---------|---------|---------|
| $n = 4$ | $n = 5$ | $n = 3$ |
|---------|---------|---------|
- b2. Indique cómo puede realizarse  $F$  usando un Decodificador (DEC  $n:2^n$ ) con **salidas activas en baja** y un tipo de puerta, en los 3 casos siguientes:
- |         |         |         |
|---------|---------|---------|
| $n = 4$ | $n = 5$ | $n = 3$ |
|---------|---------|---------|
- c. c1. Describa los tipos de registros. Así mismo, indique de qué formas se pueden conectar dos registros en cascada.
- c2. Describa los tipos de contadores. Así mismo, indique de qué formas se pueden conectar dos contadores en cascada.

Problema 2. Sea el circuito a nivel de puertas representado a la izquierda en la figura.



- 1) Analice el circuito dando una expresión algebraica para cada salida.
- 2) Dé un único K-map para ambas salidas,  $z_1z_0$ , interpretando qué operación aritmética o lógica de  $\{a,b,c\}$  se realiza.
- 3) Si las entradas "a, b, c" cambian  $abc_{(10)}: 2 \rightarrow 3 \rightarrow 4$  a una frecuencia de 10 MHz (en la señal "c"), dibuje las salidas considerando un retraso de 5 ns en cada puerta,.
- 4) Si dispone del circuito como un módulo representado como se muestra a la derecha de la figura. Muestre cómo extendería el circuito para operar con magnitudes de 8 bits.

Problema 3. Un circuito secuencial genera las señales C y D en función de las entradas A y B. En el cronograma pueden observarse las formas de ondas generadas si las entradas A y B permanecieran constantes varios ciclos de CLK.



- a) Obtenga el diagrama de estados del autómata de Mealy del circuito.
- b) Implementélo usando biestables T y puertas.

# Circuitos Electrónicos Digitales – GII - IC

**Examen Final**

**Convocatoria 1**

**25-enero-2023**

**Apellidos, Nombre:** \_\_\_\_\_

Problema 1. Tiene dos partes: Test (5 ptos., -0,1 por fallo) y ejercicio (5 ptos.)

**Test (5 ptos.): Responda marcando su respuesta en la tabla del final de las preguntas.**

1. ¿Cuál es el número mínimo de estados de una máquina de estados de Moore?
  - A. Ninguno.
  - B. Uno.
  - C. Tres.
  - D. Dos.
2. ¿Cuántas horas de trabajo personal tiene en CED un crédito en el sistema europeo de transferencia?:
  - A. 25
  - B. 15
  - C. 10
  - D. 8
3. ¿Se puede construir un MUX 4:1 utilizando MUX-3?
  - A. Sí, pero se necesita un árbol con 7 MUX
  - B. Sí, mediante un árbol con 8 MUX
  - C. Es imposible
  - D. Sí, con uno solo
4. Se desea transmitir la palabra "11 0010 1010" con cierta garantía y según el acuerdo tomado en clase de CED-IC. Diga si es correcto (los espacios en blanco pueden obviarse):
  - A. Transmitiría "111 0010 1010" con paridad par
  - B. Transmitiría "111 0010 1010" con paridad impar
  - C. Transmitiría "11001 1 01010" con paridad impar
  - D. Transmitiría "11001 1 01010" con paridad par
5. Un literal de una expresión es:
  - A. Cada variable con/sin complementar y cada constante que aparezca en ella
  - B. Cada variable y cada operador que conformen la expresión
  - C. La expresión exacta primera, esto es, la expresión literal que hay antes de hacer transformaciones
  - D. No existe "literal" en una expresión; hay variables y operadores





Nombre: \_\_\_\_\_ Ene2023

**Ejercicio (5 ptos.)**

Desarrolle brevemente la representación de números con signo en notación complemento a 2 (Ca2). Use en los ejemplos un tamaño de 1 Byte.

*(Debe dar la definición para "n" bits;*

**para el caso de 1 Byte:** *el rango de números representables, mostrar el proceso para expresar en Ca2 el número positivo y el negativo de la magnitud  $M = 36_{(10)}$ ; y mostrar el proceso para obtener en decimal las palabras W1 y W2 que están dadas en Ca2:  $W1 = \$24$  y  $W2 = \$CA$ ).*

Nombre: \_\_\_\_\_ Ene2023

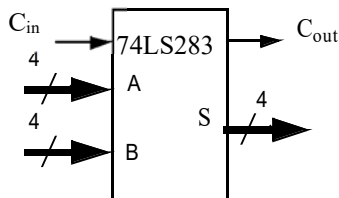
Problema 2. Por una entrada X vienen bits uno a uno. Se desea implementar un circuito que sea capaz de capturar el código binario correspondiente al carácter "@" del código ASCII. Para realizar dicho circuito deberá tener en cuenta lo siguiente:

- No hay grupos de bits
- La máquina de estados debe ser de tipo Mealy.

- a) Obtenga la máquina de estados solicitada.
- b) Diseñe el circuito que implementa la **salida** y el circuito de excitación asociado a la variable de estado **menos significativa** considerando que se realizará con un **biestable JK**.

Nombre: \_\_\_\_\_ Ene2023

Problema 3. Se desea un circuito sumador con acarreo de entrada y de salida que sume una **magnitud M de 8 bits con otra N de 16 bits**. Para ello se dispone del circuito 74LS283 (mostrado en la figura).



- Realice el diseño usando circuitos 74LS283, así como los componentes necesarios.
- Discuta la cuestión del desbordamiento y, en su caso, la corrección del resultado.

En otro contexto se necesita operar tanto con números sin signo como con signo en  $Ca_2$ . Para ello, se dispondrá de **una señal de entrada S0** mediante la que el usuario indicará cuándo los números son magnitudes ( $S0=0$ ) y cuándo con signo ( $S0=1$ ). Considerando que se mantienen las mismas dimensiones de los datos ( $M[8]$  y  $N[16]$ ):

- Realice el nuevo diseño para sumar M y N.
- Vuelva a discutir la cuestión del desbordamiento y, en su caso, la corrección del resultado.

**Sólo pendiente la materia de EP1**

Problema 1. Por una entrada X vienen bits uno a uno. Se desea implementar un circuito que sea capaz de capturar el código binario correspondiente al carácter "@" del código ASCII. Para realizar dicho circuito deberá tener en cuenta lo siguiente:

- No hay grupos de bits
- La máquina de estados debe ser de tipo Mealy.

- a) Obtenga la máquina de estados solicitada.
- b) Diseñe el circuito que implementa la **salida** y el circuito de excitación asociado a la variable de estado **menos significativa** considerando que se realizará con un **biestable JK**.

Problema 2. Sean A y B dos números binarios, tales que:

$$A = A_2 A_1 A_0$$

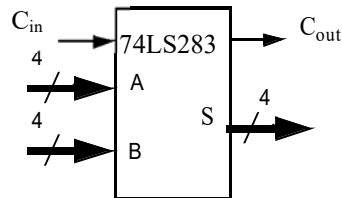
$$B = B_1 B_0$$

Implemente un circuito cuya salida sea 1 si el resultado de la multiplicación aritmética de  $A \times B$  es superior a 9 y 0 en caso contrario.

- a) Complete el mapa de Karnaugh asociado al problema.
- b) Diseñe el circuito óptimo empleando un solo tipo de puertas.

**Sólo pendiente la materia de EP2**

Problema 1. Se desea un circuito sumador con acarreos de entrada y de salida que sume una **magnitud M de 8 bits con otra N de 16 bits**. Para ello se dispone del circuito 74LS283 (mostrado en la figura).



- Realice el diseño usando circuitos 74LS283, así como los componentes necesarios.
- Discuta la cuestión del desbordamiento y, en su caso, la corrección del resultado.

En otro contexto se necesita operar tanto con números sin signo como con signo en  $Ca2$ . Para ello, se dispondrá de **una señal de entrada S0** mediante la que el usuario indicará cuándo los números son magnitudes ( $S0=0$ ) y cuándo con signo ( $S0=1$ ). Considerando que se mantienen las mismas dimensiones de los datos ( $M[8]$  y  $N[16]$ ):

- Realice el nuevo diseño para sumar M y N.
- Vuelva a discutir la cuestión del desbordamiento y, en su caso, la corrección del resultado.



# Circuitos Electrónicos Digitales – GII - IC

**Examen Final**

**Convocatoria 2**

**12- julio -2023**

**Apellidos, Nombre:** \_\_\_\_\_

Problema 1. Tiene dos partes: Test (5 pts., -0,1 por fallo) y ejercicio (5 pts.)

1. ¿Cuál es el orden de una implicant?
  - A. El número de 1s que causa el implicant
  - B. El número de 0s que causa el implicant
  - C. El exponente de la potencia de 2 que representa el número de 1s que causa el implicant
  - D. El exponente de la potencia de 2 que representa el número de 0s que causa el implicant
  
2. La señal de reloj en un biestable:
  - A. La tienen los biestables asíncronos siempre que posea puesta a 0 y puesta a 1
  - B. La tienen los biestables síncronos
  - C. La tienen los biestables síncronos siempre que también posean entradas asíncronas
  - D. La tienen los biestables síncronos excepto el de tipo D, el cual sigue a la entrada
  
3. Se dispone de dos datos A y B de 12 bits en punto fijo con 4 de ellos en la parte fraccionaria. A y B son entradas a un sumador paralelo. Se desean sumar dos números con signo en s-M de valores,  $M = 1100.11$  y  $N = 011\ 1000.1$ . Deberá hacer:
  - A.  $A = 0000\ 1100.1100$  y  $B = 0011\ 1000.1000$
  - B.  $A = 1100.11$  y  $B = 011\ 1000.1$
  - C.  $A = 0000\ 1100.11$  y  $B = 011\ 1000.1$
  - D.  $A = 1000\ 0100.1100$  y  $B = 0011\ 1000.1000$
  
4. Un código binario válido sobre un conjunto de elementos  $\{e_0, e_1, e_2, \dots\}$  tiene que cumplir:
  - A. Dos elementos distintos tienen códigos diferentes para así distinguirlos
  - B. El uso del mínimo número de bits posible por grande que este sea
  - C. Cada elemento tiene un único valor de código asociado
  - D. Entre los elementos tiene que figurar el elemento " $\phi$ " (inespecificación o *don'tcare*)
  
5. En una tabla de excitación/salida de un CSS de Moore, dentro de cada celda de la tabla obligatoriamente hay que escribir:
  - A. Los valores que toman los estados presentes
  - B. Los valores que toman las variables de entrada del CSS
  - C. Los valores que toman las entradas de los biestables
  - D. Los valores de las variables de salida próxima
  
6. Cuando se quiere obtener un circuito AND-OR hay que buscar:
  - A. La función ps óptima
  - B. La función suma de mintérminos óptima
  - C. La función producto de maxtérminos óptima
  - D. La función sp óptima





**Parte 2 del Problema 1: Ejercicio (5 pts.)**

Desarrolle brevemente los **multiplexores**. Particularice para MUX 4:1.

Nota: *Debe indicar:*

- *la descripción estructural y funcional,*
- *cómo se realizan con puertas lógicas,*
- *cómo se obtiene uno a partir de otros MUX de distinto tamaño (menor y mayor)*
- *cómo obtener la función  $F$  (asuma variables en doble raíl) con MUX 4:1*

$$\mathbf{F(a, b, c, d) = \Sigma(1, 3, 5, 10, 11, 13, 15)}$$

Nombre: \_\_\_\_\_

Jul23

Problema 2. Se desea desarrollar un circuito combinacional que realice la conversión de código Gray de 4 bits ( $X_3X_2X_1X_0$ ) a código 7-segmentos.



- a) Asocie cada dígito hexadecimal con la graffa que tendrá en el *display* 7-segmentos, esto es, indicando los segmentos que deben iluminarse.
- b) Escriba la tabla funcional del convertidor de código (es decir, desde el código Gray de 4 bits hacia los 16 valores ordenados de los dígitos hexadecimales).
- c) Obtenga los circuitos óptimos para las siguientes indicaciones:
- c1) La salida "A" usando solamente NAND.
  - c2) La salida "C" usando solamente NOR.
  - c3) La salida "G" con la solución óptima usando un solo tipo de puertas.

Problema 3. Se dispone de R8 que es un registro de 8 bits con las siguientes entradas y salidas:

entradas: Clk, cla, ld, shr, X ( $X = X_7:X_0$ ), inserie

salidas: Z ( $Z_7:Z_0$ ), outserie

Las señales tienen el significado habitual. El registro está disparado por el flanco de subida de Clk y la operación síncrona "ld" es prioritaria sobre "shr". El registro posee también la no operación (NOP).

- Describa R8 formalmente a nivel RT. Esto es, debe dar la descripción estructural (componente en su forma gráfica) y la funcional (tabla de operación).
- Supuesto que inicialmente  $[R8] = \$55$ , complete la secuencia mostrada al final.
- Se pretende diseñar un registro similar a R8 pero de 6 bits, llamándolo R6 y cuyas entradas y salidas paralelo son  $IN_5:IN_0$  y  $OUT_5:OUT_0$ , respectivamente. La entrada serie se realizará por  $IN_5$  y la salida serie será  $OUT_0$ . El registro R6 tendrá las mismas operaciones que R8 salvo que LD y SHR no podrán estar activas simultáneamente. Por último, R6 deberá tener una salida que marque cuándo R6 está borrado ( $[R6] = 0$ ). Obtenga el diseño de R6 usando R8.

**SECUENCIA (considere cla no activa todo el tiempo):**

ld shr: 00 , 10 , 11 , 01 , 00 , 01 , 01

inserie: 0 , 0 , 0 , 1 , 1 , 1 , 1

X: \$... 34 , 5A , 81 , 72 , 94 , FE , CA

[R8]: 55 ,

Z:

outserie:

## Circuitos Electrónicos Digitales - GII - IC

**Examen Final**

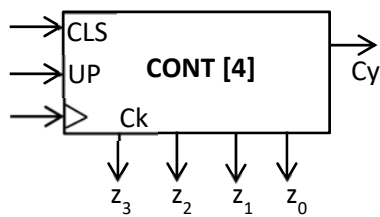
**Convocatoria 3**

**24-octubre-2023**

**Apellidos, Nombre:** \_\_\_\_\_

Problema 1.

a. Sea CONT el contador mod-16 que se muestra en la figura:

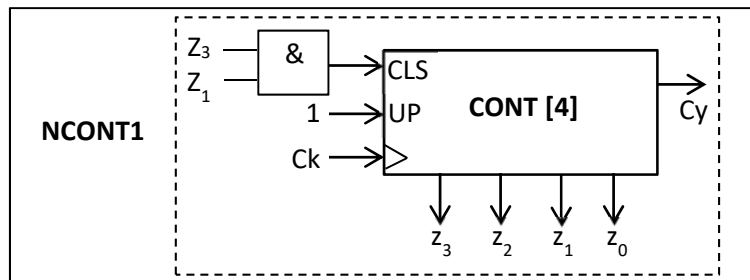


CLS	UP	CONT ←
1	-	CONT ← 0
0	1	CONT ← CONT + 1
0	0	CONT ← CONT

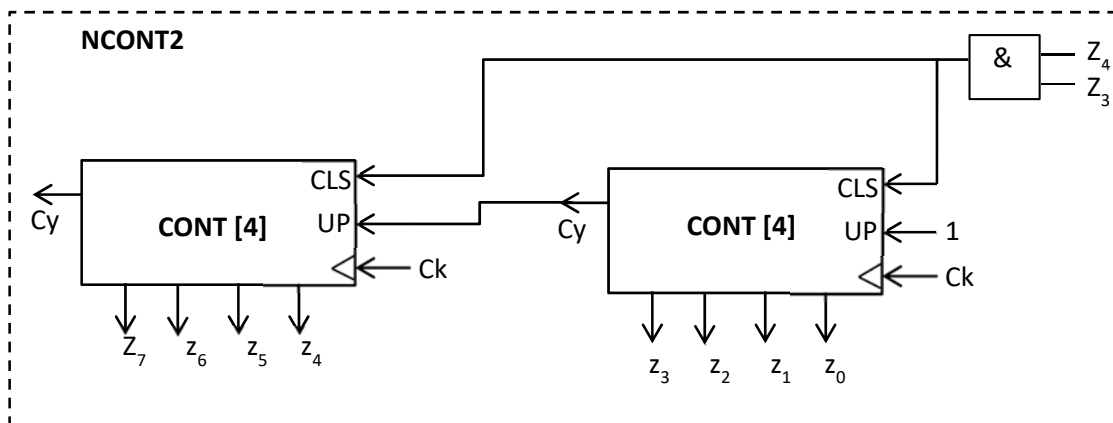
$Z = [CONT]$

$Cy = 1$  para  $CONT = 1111$

a1) Dé la descripción estructural y funcional de un nuevo contador, NCONT1, representado en la figura siguiente, indicando su módulo de cuenta:



a2) Dé la descripción estructural y funcional del nuevo contador NCONT2 (figura siguiente) indicando su módulo de cuenta:

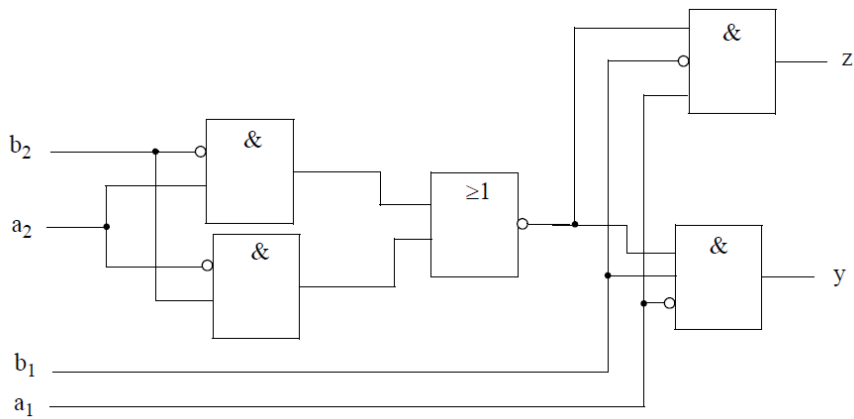


b. Suponga que en el instante inicial todos los **CONT[4]** están en el estado de cuenta  $9_{(10)}$ . Escriba la evolución de NCONT1 y de NCONT2 durante los siguientes 10 ciclos de reloj Ck indicando claramente la secuencia de las señales de control y del estado de cuenta.

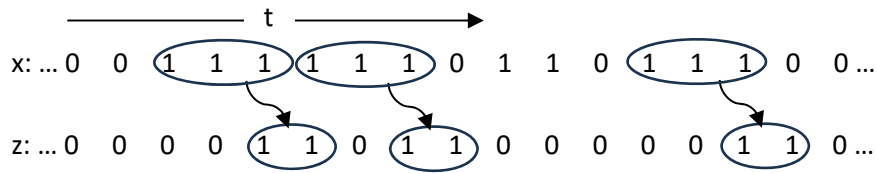
Problema 2. El circuito de la figura ha sido diseñado para comparar las magnitudes de dos números binarios de dos bits  $A = a_2 a_1$  y  $B = b_2 b_1$ , de forma que cumplirá:  
 $A > B \Rightarrow z=1 \quad y=0;$        $A=B \Rightarrow z=y=0;$        $A < B \Rightarrow z=0 \quad y=1$

Un despistado informático da como solución el circuito de la figura. Sin embargo,

- Compruebe que el circuito propuesto no cumple las especificaciones solicitadas, identificando qué es lo que falla.
- Modifique el diseño para que sea correcto.



Problema 3. Diseñe un circuito secuencial síncrono que reciba bits en serie a través de su entrada x, de forma que, cuando detecte la llegada de la secuencia "1, 1, 1" (sin solapamiento), ponga su salida z a 1 durante dos ciclos de reloj, del siguiente modo:



- Realice el diagrama de estados/salida.
- Realice el diseño usando biestables tipo D y puertas lógicas.

**Nota:** Las respuestas deben estar suficientemente explicadas.

# Circuitos Electrónicos Digitales – GII - IC

**Examen Final**

**Convocatoria 1**

**22-enero-2024**

**Apellidos, Nombre:** \_\_\_\_\_

Problema 1. Tiene dos partes: a) Test (5 ptos., -0,1 por fallo) y b) ejercicio (5 ptos.)

a) Test (5 ptos.): Responda marcando su respuesta en la tabla.

## RESPUESTAS

(destaque la que proceda)

1	2	3	4	5	6	7	8	9	10
A	A	A	A	A	A	A	A	A	A
B	B	B	B	B	B	B	B	B	B
C	C	C	C	C	C	C	C	C	C
D	D	D	D	D	D	D	D	D	D

- Un literal de una expresión es:
  - La expresión exacta primera, esto es, la expresión literal que hay antes de hacer transformaciones
  - Cada variable y cada operador que conformen la expresión
  - Cada variable con/sin complementar que aparezca en la expresión
  - No existe "literal" en una expresión; hay variables y operadores
- Encadenar contadores (esto es, conectarlos en cascada) se puede hacer:
  - Eligiendo de forma síncrona o de forma ripple
  - Exclusivamente puede hacerse de forma síncrona
  - Exclusivamente puede hacerse de forma ripple
  - De ambas formas a la vez usando una señal S/R para determinar que es síncrona y ripple
- En la forma adoptada en CED, a partir de un mensaje, se ha generado otro con paridad par, mensaje éste que empieza por 0. ¿Cuántos unos tiene el mensaje original?
  - Todas las respuestas son erróneas en un caso general
  - No puede saberse si hay par o impar
  - Un número impar
  - Un número par

4. Una función de 5 variables puede realizarse siempre mediante:
  - A. Un decodificador 3:8 y un MUX4:1 exclusivamente
  - B. Un decodificador 3:8, puertas y un MUX4:1
  - C. Un MUX 4:1 exclusivamente
  - D. Un MUX 2 y un MUX 3
  
5. Sin contar las líneas de alimentación, ¿cuántos terminales (I/O) posee un DEMUX-3?
  - A. 4
  - B. 12
  - C. 9
  - D. 8
  
6. Un biestable SR disparado por flanco tiene sus entradas  $SR=01$ . ¿Cuál es el valor Q que tendrá en el siguiente ciclo de reloj?
  - A. No cambiará el valor actual
  - B. No se conoce porque faltan datos
  - C.  $Q = 1$
  - D.  $Q = 0$
  
7. La aritmética de los circuitos digitales tiene como problema importante:
  - A. Que el número de bits está acotado, lo que introduce desbordamiento.
  - B. Que los operandos solo pueden ser dos números.
  - C. Que los números se representan tanto en hexadecimal como en binario.
  - D. Que existe bit V, esto es de overflow.
  
8. La detección de una secuencia de entrada no solapada:
  - A. Puede diseñarse solamente como FSM de Moore
  - B. Puede diseñarse solamente como FSM de Mealy
  - C. Puede diseñarse como FSM de Moore o de Mealy
  - D. Para garantizar que funciona tiene que diseñarse de ambas formas a la vez, de Moore y de Mealy
  
9. En el proceso de diseño en dos niveles de puertas de CED la expresión ps mínima se obtiene mediante:
  - A. Los 1 y los 0 del K-map
  - B. Los 1 y las indeterminaciones del K-map
  - C. Los 0 y las indeterminaciones del K-map
  - D. Las indeterminaciones del K-map
  
10. En CED, un Byte es una palabra de:
  - A. 8 bits
  - B. No existe ese término en CED
  - C. 32 bits
  - D. 16 bits



**b) Ejercicio (5 ptos.)**

Resuma la **teoría** asociada a las **formas canónicas y normalizadas** de las funciones de conmutación.

Aplíquelo a la función mayoría de 3 variables  $M(a,b,c)$ .

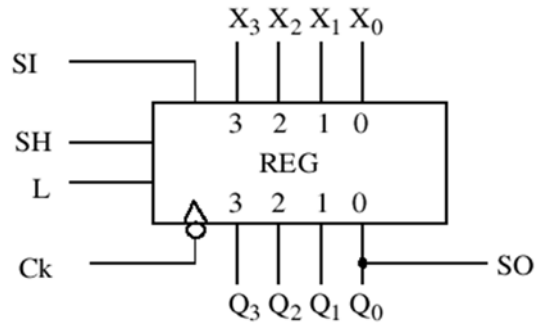
Problema 2. Se pretende realizar un circuito con 4 señales de entrada,  $X_3$ - $X_0$ , y 3 señales de salida: D2, D3, D5. El circuito debe indicar si el número **sin signo** de 4 bits de entrada ( $X_3$ - $X_0$ ) es divisible entre 2 (se activa D2), 3 (se activa D3) o 5 (se activa D5). Considere que el número  $X_3$ - $X_0$  siempre será mayor o igual que  $2_{(10)}$  y que las entradas están disponibles en doble raíl.

- a) Obtenga el K-Mapa correspondiente
- b) Diseñe en 2 niveles el circuito que da la salida D3 con sólo puertas NOR
- c) Diseñe el circuito que da la salida D5 con sólo Multiplexores 4:1
- d) Diseñe el circuito que genere D2.

Problema 3. Se dispone de registros de 4 bits (**REG**, como el mostrado en la figura), puertas y subsistemas combinacionales.

- a. Diseñe un registro REG de 16 bits usando REG de 4 bits.
- b. Diseñe un registro universal de 16 bits, **RU16**, esto es, tendrá dos señales de selección de operación  $S_1S_0$  y permitirá la inhibición, carga en paralelo, desplazamiento a izquierda y a derecha.
  - b1) Describa RU16 estructural y funcionalmente a nivel RT
  - b2) Diseñe RU16 usando REG de 16 bits diseñado en el apartado “a.” y los elementos disponibles que necesite.

SH	L	REG
0	0	$REG \leftarrow REG$
0	1	$REG \leftarrow X_3 - X_0$
1	x	$SHR(REG,SI)$



**Sólo pendiente la materia de EP2****Grupo** \_\_\_\_\_

*Deberá hacer el problema P3 del examen final y el siguiente problema.*

*La solución de su examen completo la entregará al profesor de su grupo.*

**Problema específico EP2.** Dispone de una ALU de 8 bits como la contenida en la Hoja para exámenes.

Para los números A y B de 8 bits, donde **A=\$C5** y **B es desconocido**, y siendo las otras señales de entrada **S<sub>2</sub>-S<sub>0</sub> = 001** y **Cin = 0**, razone si pueden ocurrir cada uno de los siguientes casos así como exponga las conclusiones pertinentes y, en su caso, el valor binario de B:

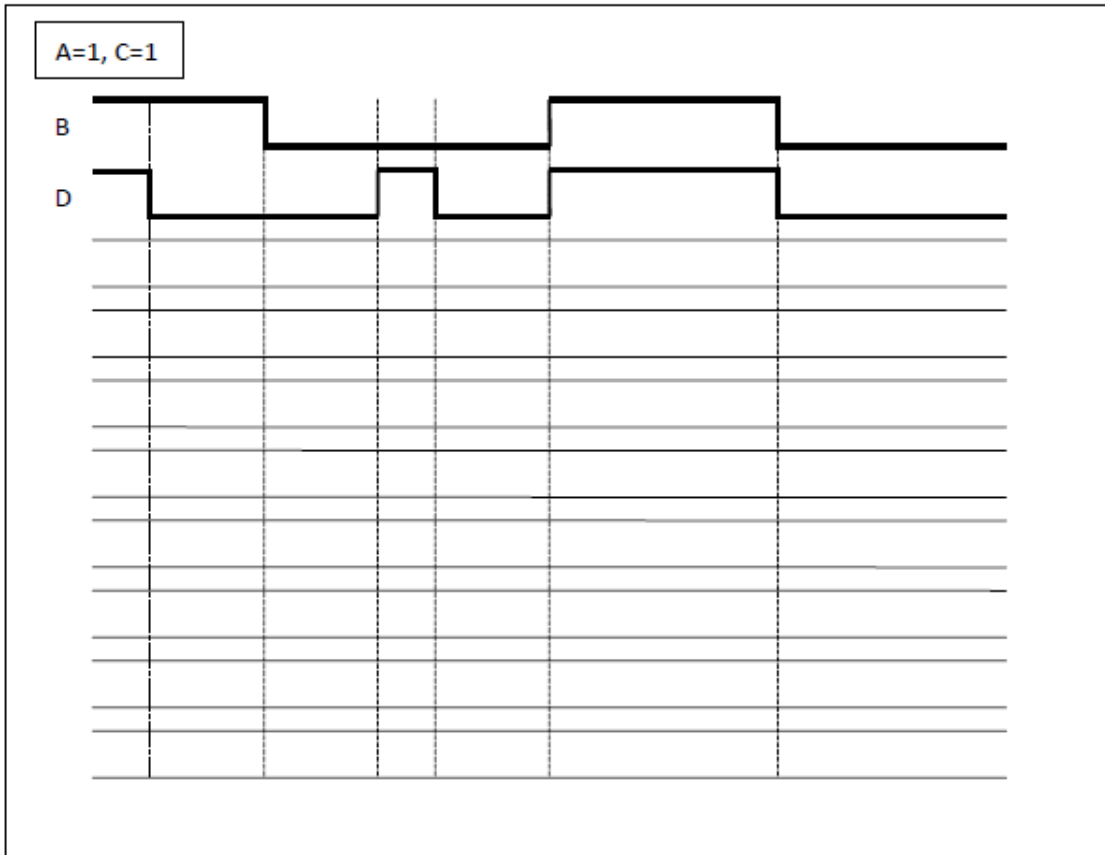
- i. C = 0, V = 0, N = 0, S = 0 y Z = 0
- ii. C = 1, V = 0, N = 0, S = 0 y Z = 0
- iii. C = 1, V = 1, N = 0, S = 0 y Z = 0
- iv. C = 0, V = 1, N = 0, S = 1 y Z = 0
- v. C = 0, V = 0, N = 1, S = 1 y Z = 1



Nombre: \_\_\_\_\_

Problema 2. Para la función  $F(A, B, C, D) = \Sigma(0, 1, 2, 3, 4, 6, 8, 9, 11, 14) + \Phi(5, 12)$ ,

- a) Bajo la hipótesis de entradas en doble raíl, obtenga la **solución óptima en dos niveles**, usando **un único tipo** de puertas.
- b) Obtenga justificadamente la forma de onda de la salida F de su circuito para las excitaciones de entrada de la figura. Suponga que cada puerta tiene un retraso unidad (como valor aproximado, considere que el pulso más estrecho de los dibujados en el cronograma, el de "d", tiene una anchura de 4 unidades).
- c) Obtenga un diseño alternativo usando un único MUX4:1 para obtener F. Puede utilizar, además, las puertas lógicas que necesite. (Recuerde que la reducción de costes siempre es un criterio de diseño).



Problema 3. Un circuito secuencial responde a las siguientes ecuaciones:

$$D_1 = q_2 \cdot \overline{q_3}$$

$$D_3 = \overline{q_2} + X$$

$$D_2 = q_3$$

$$Z = X \cdot \overline{q_2} + \overline{X} \cdot q_2$$

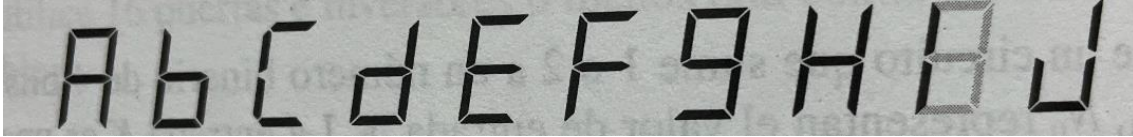
- Dibuje el circuito.
- Obtenga la tabla de estados y el diagrama de estados del circuito.
- Dibuje un diagrama temporal para el circuito en el que se muestren el reloj, X,  $q_1$ ,  $q_2$ ,  $q_3$  y Z. Utilice la secuencia de entrada X = 0, 1, 0, 1, 1 y, partiendo del estado inicial  $q_1q_2q_3 = 000$ , suponga que X cambia entre los flancos activos del reloj.





Nombre: \_\_\_\_\_ oct24

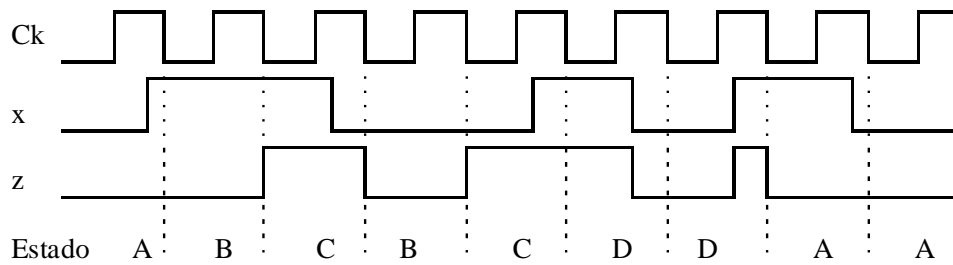
Problema 2. Diseñe un circuito que muestra las letras A hasta la J en un visualizador de siete segmentos. El circuito tiene cuatro entradas W, X, Y, Z que representan los últimos cuatro bits del código ASCII de la letra que se va a mostrar. Por ejemplo, si WXYZ = 0001, se mostrará la letra "A". El formato de las letras será el siguiente:



- 2.1. Represente todas las funciones de salida en un mismo mapa de Karnaugh.
- 2.2. Diseñe el circuito que genera el segmento "a" utilizando sólo puertas NAND.
- 2.3. Diseñe el circuito que genera el segmento "g" utilizando sólo puertas NOR.

Nombre: \_\_\_\_\_ oct24

Problema 3. Implemente con biestables JK un circuito secuencial síncrono (x es entrada y z es salida) cuyo funcionamiento se ajuste al diagrama temporal siguiente. En su respuesta debe aportar todos los pasos del diseño de CSS previos al diseño final.



**Nota:** Las respuestas deben estar suficientemente explicadas.

# **Circuitos Electrónicos Digitales - GII - IC**

**Examen Final**

**Convocatoria 1**

**17-enero-2025**

***Apellidos, Nombre:*** \_\_\_\_\_

Problema 1. Comente brevemente la forma en que las inespecificaciones de una función inciden en el diseño según se use cada uno de los siguientes tipos de estrategias. En cada caso ponga un ejemplo de ello y dibuje el circuito resultante.

- a) Utilizando puertas AND y OR en dos niveles
- b) Utilizando decodificadores+puertas
- c) Utilizando MUX

Problema 2. Para las funciones combinacionales descritas por cada uno de los siguientes mapas de Karnaugh. Indique:

- La expresión algebraica óptima de la función en la forma suma de productos.
- La expresión algebraica óptima de la función en la forma producto de sumas.
- Implemente el circuito correspondiente al mapa de cinco variables empleando únicamente puertas NAND.
- Implemente el circuito correspondiente al mapa de cinco variables empleando únicamente un MUX-2.

		x y			
	z t	00	01	11	10
00		1	0	0	1
01		1	0	1	0
11		1	1	0	0
10		1	0	0	1

F

		x y			
	z t	00	01	11	10
00		0	1	1	1
01		1	0	1	1
11		0	1	0	1
10		0	1	1	0

G

		x y z							
	t u	000	001	011	010	110	111	101	100
00		1	0	1	0	0	0	1	1
01		0	1	1	0	0	1	1	0
11		0	1	1	0	1	1	1	0
10		1	0	1	0	0	1	0	0

H

Problema 3. Se quiere diseñar un circuito de Mealy con una entrada  $x$  y una salida  $z$ . Cuando la entrada es  $x = 1$ , en la salida  $z$  se genera de forma cíclica la secuencia 0, 1, 0, 1, 1; cuando  $x = 0$ , se interrumpe la secuencia y la salida permanece en cero hasta una nueva  $x = 1$ , tras lo que se vuelve a generar la secuencia cíclica empezando por el primer valor de la misma.

- a) Dé el diagrama de estados/salida
- b) Utilizando el código Gray en la codificación de estados, de la tabla de transición/salida
- c) Continúe con los pasos habituales del proceso de diseño hasta llegar al circuito usando biestables tipo T y puertas.

## Circuitos Electrónicos Digitales - GII - IC

Examen Final

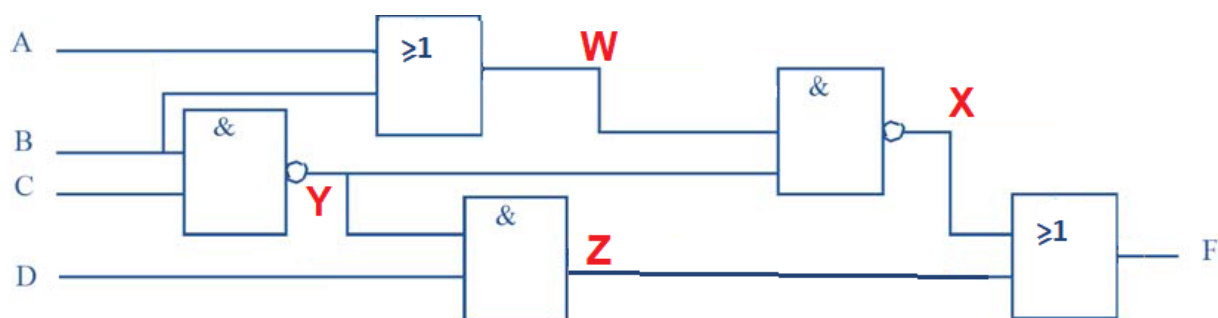
SOLO EP1

17-enero-2025

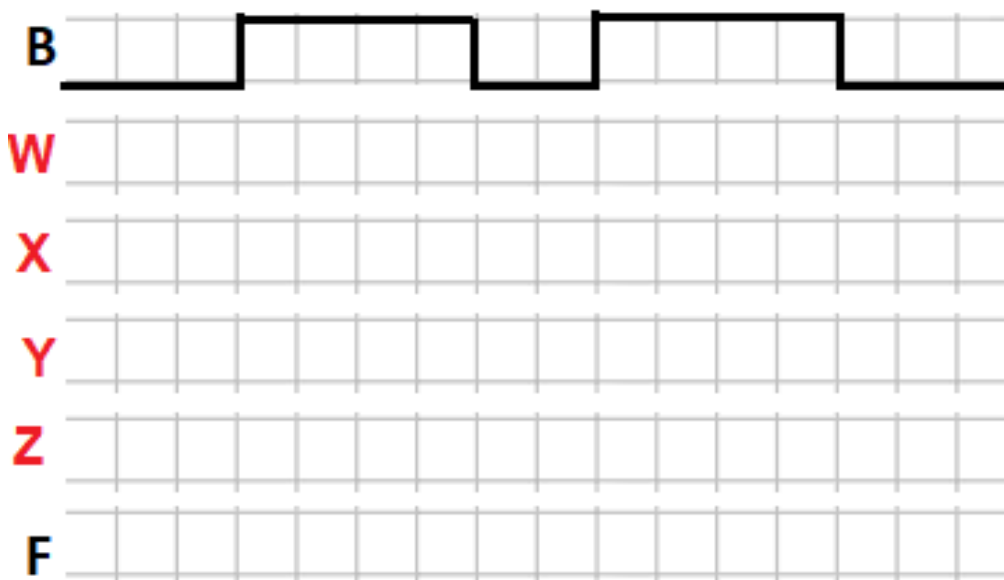
Apellidos, Nombre: \_\_\_\_\_

Problema 1.

a) Analice el siguiente circuito y obtenga la expresión algebraica de F.



b) Complete el cronograma de W, X, Y, Z y F cuando  $A = 0$ ,  $C = 1$  y  $D = 1$  suponiendo que el retardo de cada puerta es de medio de cuadro.



c) Obtenga un circuito que realice la misma función que F empleando decodificadores con salidas en alta y puertas.

Problema 2. Para las funciones combinacionales descritas por cada uno de los siguientes mapas de Karnaugh. Indique:

- a) La expresión algebraica óptima de la función en la forma suma de productos.
- b) La expresión algebraica óptima de la función en la forma producto de sumas.
- c) Implemente el circuito correspondiente al mapa de cinco variables empleando únicamente puertas NAND.
- d) Implemente el circuito correspondiente al mapa de cinco variables empleando únicamente un MUX-2.

		x y			
		00	01	11	10
z t	00	1	0	0	1
	01	1	0	1	0
	11	1	1	0	0
	10	1	0	0	1

F

		x y			
		00	01	11	10
z t	00	0	1	1	1
	01	1	0	1	1
	11	0	1	0	1
	10	0	1	1	0

G

		x y z							
		000	001	011	010	110	111	101	100
t u	00	1	0	1	0	0	0	1	1
	01	0	1	1	0	0	1	1	0
	11	0	1	1	0	1	1	1	0
	10	1	0	1	0	0	1	0	0

H

## Circuitos Electrónicos Digitales - GII - IC

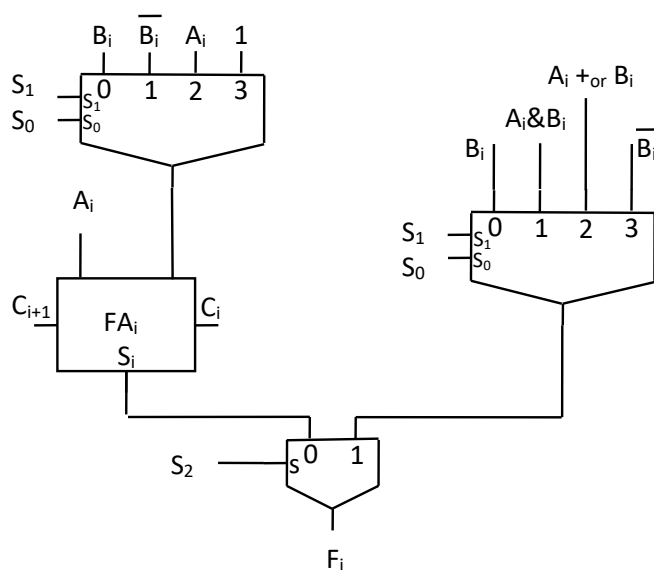
Examen Final

Solo EP2

17-enero-2025

Apellidos, Nombre: \_\_\_\_\_

Problema 1. En la figura es representada un diseño de una etapa típica de una ALU similar, pero no igual, a la dada en clase. Los bits de salida de estado (C, V, N, Z y S), que no están representados, se obtienen de forma similar.



- Obtenga razonadamente la tabla funcional.
- Considere que tiene dos datos P y Q con los que va a operar mediante esa ALU, con dimensiones de 8 bits. Indique los valores binarios de todas las entradas y de todas las salidas de la ALU para los dos casos siguientes:
  - Si P y Q son [P] = \$6C y [Q] = \$B5 y se suman (P+Q)
  - Si P y Q son [P] = \$6C y [Q] = \$B5 y se restan (P-Q)
- Si P y Q son dos números con signo (Ca2), interprete los resultados de los dos casos del apartado anterior y verifique si son correctos o no operando en decimal.
- Si P y Q son dos números sin signo (esto es, magnitudes), interprete los resultados de los dos casos del apartado anterior y verifique si son correctos o no operando en decimal.



Problema 2. Se quiere diseñar un circuito de Mealy con una entrada  $x$  y una salida  $z$ . Cuando la entrada es  $x = 1$ , en la salida  $z$  se genera de forma cíclica la secuencia 0, 1, 0, 1, 1; cuando  $x = 0$ , se interrumpe la secuencia y la salida permanece en cero hasta una nueva  $x = 1$ , tras lo que se vuelve a generar la secuencia cíclica empezando por el primer valor de la misma.

- a) Dé el diagrama de estados/salida
- b) Utilizando el código Gray en la codificación de estados, de la tabla de transición/salida
- c) Continúe con los pasos habituales del proceso de diseño hasta llegar al circuito usando biestables tipo T y puertas.