

Datos básicos de la asignatura

Titulación:	Grado en Ingeniería Informática-Ingeniería de Computadores
Año plan de estudio:	2010
Curso implantación:	2010-11
Centro responsable:	E.T.S. Ingeniería Informática
Nombre asignatura:	Circuitos Electrónicos Digitales
Código asignatura:	2040003
Tipología:	TRONCAL / FORMACIÓN BÁSICA
Curso:	1
Periodo impartición:	Primer cuatrimestre
Créditos ECTS:	6
Horas totales:	150
Área/s:	Tecnología Electrónica
Departamento/s:	Tecnología Electrónica

Coordinador de la asignatura

BAENA OLIVA, MARIA DEL CARMEN

Profesorado (puede sufrir modificaciones a lo largo del curso por necesidades organizativas del Departamento)

Profesorado de grupo principal

BAENA OLIVA, MARIA DEL CARMEN

Objetivos y resultados del aprendizaje

OBJETIVOS:

- Manejar dispositivos y circuitos electrónicos con modelos simples de gran señal.
- Clasificar dispositivos electrónicos y familias lógicas en función de los parámetros de conmutación y de la calidad del circuito (área, tiempo, potencia)
- Alcanzar destreza en la representación y codificación binaria.
- Operar en aritmética del computador (punto fijo).

- Conocer las nociones y herramientas básicas de la teoría de conmutación y de máquinas de número finito de estados (FSM).
- Aplicar dichas teorías en la resolución de problemas de análisis y diseño de circuitos digitales combinacionales y secuenciales.
- Analizar y diseñar subsistemas digitales combinacionales y secuenciales (decodificador, ALU, registro,...) con criterios de coste.
- Usar y aplicar los subsistemas en la realización de circuitos más complejos.
- Adquirir destreza en el manejo del instrumental de laboratorio de electrónica digital.
- Montar circuitos digitales en el laboratorio, medir señales eléctricas y temporales, verificar la funcionalidad y cualificar la calidad del circuito.
- Ser capaz de comprender el lenguaje científico y saber expresarse en él tanto de forma oral como escrita.

COMPETENCIAS:

Competencias específicas:

E02: Comprensión y dominio de los conceptos básicos de circuitos electrónicos, familias lógicas, dispositivos electrónicos y fotónicos, y su aplicación para la resolución de problemas propios de la ingeniería.

Competencias genéricas:

G08: Conocimiento de las materias básicas y tecnologías, que capaciten para el aprendizaje y desarrollo de nuevos métodos y tecnologías, así como las que les doten de una gran versatilidad para adaptarse a nuevas situaciones.

G09: Capacidad para resolver problemas con iniciativa, toma de decisiones, autonomía y creatividad. Capacidad para saber comunicar y transmitir los conocimientos, habilidades y destrezas de la profesión de Ingeniero Técnico en Informática.

G10: Conocimientos para la realización de mediciones, cálculos, valoraciones, tasaciones, peritaciones, estudios, informes, planificación de tareas y otros trabajos análogos de informática.

Contenidos o bloques temáticos

- Bloque 1: Numeración, codificación, álgebra.

Sistemas de numeración posicional (diferentes bases). Números enteros y racionales, sin y con signo. Aritmética binaria. Códigos binarios numéricos, alfanuméricos y otros. Álgebra de conmutación. Funciones lógicas.

- Bloque 2: Circuitos y subsistemas combinacionales.

Clasificación y caracterización electrónica de familias lógicas. Análisis y diseño de funciones con puertas lógicas. Minimización. Subsistemas combinacionales (codificadores/decodificadores, multiplexores,...), aritméticos y ALUs. Análisis y diseño con subsistemas.

- Bloque 3: Circuitos y subsistemas secuenciales.

Biestables: nivel lógico y temporal. Máquinas de estados (FSM) y sus representaciones por mapas y tablas. Análisis y diseño de funciones secuenciales. Subsistemas secuenciales: contadores y registros. Análisis y diseño con subsistemas. Dispositivos de memoria semiconductora.

- Bloque de Prácticas

Instrumentación electrónica. Implementación y test de circuitos combinacionales y secuenciales.

Relación detallada y ordenación temporal de los contenidos

Bloque 1: NUMERACIÓN, CODIFICACIÓN, ÁLGEBRA

Temas 0 y 1: Presentación del curso. Introducción (B: 2h)

* Presentación

- * Introducción
- ** Computador, electrónica y circuitos digitales
- ** Representaciones digitales
- ** Terminología digital
- ** CED en el Grado de Informática

Competencias:

- Tener claras las normas que regirán la docencia de la asignatura durante el cuatrimestre.
- Saber relacionar la asignatura con otras posteriores del curriculum.
- Estar motivados para participar en clase.
- Conocer la bibliografía que se seguirá en este curso y estar animados a estudiar y comparar los libros.
- Haber establecido una primera toma de contacto con el profesor exponiendo opiniones.
- Reconocer los lugares de trabajo (aula, laboratorio, copistería, departamento, etc.)
- Distinguir entre el mundo analógico y digital, citando sus características más relevantes.
- Utilizar la representación de señales frente al tiempo y la de sistemas mediante bloques.
- Conocer el concepto de modelar un ente real y distinguir entre modelo y realidad, con aplicación al caso digital.
- Nombrar aplicaciones de sistemas digitales.
- Identificar bloques de materia de la asignatura.

Tema 2: Representación binaria (B: 6h)

- * Representación posicional de magnitudes.

** Enteros y fraccionarios.

** Bases y dígitos.

** Cambios de base.

** Representaciones en punto fijo. Los problemas del tamaño de palabra fijo.

* Representación binaria de números con signo.

* Códigos binarios.

Competencias:

-Expresar números enteros y reales en cualquier base.

-Realizar conversiones entre bases.

-Adquirir destreza en las representaciones binarias de números con signo en punto fijo.

-Expresar números decimales usando el código BCD.

-Conocer las ventajas de los códigos octal y hexadecimal y adquirir destreza en la conversión binario hacia/desde hexadecimal.

-Construir códigos de Gray de k bits y citar sus características principales.

-Representar e interpretar caracteres alfanuméricos mediante ASCII.

-Identificar aplicaciones en que se necesiten los códigos alfanuméricos y los de paridad.

Tema 3: Álgebra de conmutación (B: 3h)

* Álgebra de conmutación: operadores NOT, AND, OR, NAND, NOR, XOR y EQV.

* Funciones de conmutación y su representación: expresiones, tablas de verdad, mapas binario y de Karnaugh, y símbolos gráficos ("circuitos").

* Formas canónicas y normalizadas de las funciones de conmutación: suma de productos, producto de sumas, suma de mintérminos, producto de maxtérminos.

Competencias:

- Construir las tablas de verdad de cualquier expresión con los operadores presentados.
- Dibujar diagramas temporales para estos operadores y para funciones simples.
- Demostrar las propiedades y teoremas del álgebra de conmutación mediante tablas de verdad.
- Aplicar las propiedades y teoremas en la manipulación de expresiones, incluyendo las propiedades distributivas en sus dos sentidos y los teoremas de De Morgan.
- Identificar las propiedades que permiten la simplificación de expresiones.
- Determinar cada operación sobre k variables en función de: 1) el mismo operador sobre menos variables; 2) otros operadores. Presentar gráficamente los resultados.
- Adquirir destreza sobre las demostraciones algebraicas.
- Determinar las expresiones sp (ps) de cualquier expresión.
- Obtener las representaciones completas de cualquier función.
- Representar gráficamente el *circuito* de cualquier expresión, identificando los operadores con los símbolos gráficos.
- Expandir cualquier función respecto a cualquier número de sus variables, identificando los residuos en los mapas codificados en binario.
- Obtener la función resultante de operaciones entre funciones.
- Representar funciones incompletamente especificadas.

Bloque 2: APLICACIONES COMBINACIONALES

Tema 4: Análisis y diseño de circuitos combinacionales (B: 7h)

* Circuitos combinacionales: Entradas, salidas y componentes.

** Representación estructural y funcional.

** Componentes: Puertas lógicas integradas y parámetros de conmutación.

* Análisis lógico y temporal.

* Diseño de circuitos combinacionales.

** Diseño en dos niveles: pasos del proceso

** Optimización mediante mapas de Karnaugh

** Realizaciones con un solo tipo de puertas: solo NAND y solo NOR

** Realizaciones libres de restricciones

Competencias:

- Reconocer los símbolos gráficos clásicos y estándares de las puertas lógicas e identificar sus operadores y funciones.
- Representar gráficamente el *circuito* de cualquier expresión.
- Identificar los modelos básicos de retraso de puertas y utilizarlos para el análisis temporal de circuitos.
- Aplicar el análisis temporal para la comprobación de azar ante unas señales de entrada especificadas.
- Analizar a nivel lógico cualquier circuito combinacional, incluyendo los que utilizan sólo puertas NAND (NOR), así como los que contienen puertas con salida en 3-estados.

- Definir con rigor mediante variables booleanas las que aparecen en lenguaje natural, identificando su carácter independiente/entrada y dependiente/salida.
- Determinar expresiones lógicas a partir de una descripción verbal.
- Interpretar los términos básicos conectados con la minimización de expresiones sp (ps) tales como implicantes primas, suma irredundante, etc.
- Distinguir entre implicante e implicada.
- Entender las relaciones entre implicantes, expresiones algebraicas y agrupaciones de celdas sobre mapas de Karnaugh. Extenderlas al cubrimiento de 0*s.
- Usar mapas de Karnaugh para minimizar funciones en las formas sp y ps , incluyendo inespecificaciones.
- Diseñar una función en cualquiera de sus formas en dos niveles con AND, OR, NAND y NOR.
- Diseñar funciones utilizando puertas contenidas en circuitos integrados estándares. Evaluar el coste en número de circuitos integrados.
- Resolver los problemas de fan-in, fan-out y de entradas de único raíl.

Tema 5: Subsistemas combinacionales (B: 6h)

- * Subsistemas combinacionales: Generalidades.
- * Comparadores.
- * Decodificadores, codificadores y convertidores de código.
- * Multiplexores y demultiplexores.
- * Análisis y diseño con subsistemas combinacionales.

Competencias:

- Interpretar las señales de control de los subsistemas a nivel funcional.
- Reconocer los circuitos de habilitación/inhibición básicos.
- Explicar las funciones de los subsistemas estudiados y representarlas algebraicamente.
- Analizar circuitos formados con estos subsistemas.
- Identificar las salidas de los decodificadores completos con los minterminos o maxtérminos.
- Comparar números, con y sin signo, mediante comparadores de magnitud.
- Diseñar un subsistema de mayor (y de menor) complejidad que uno dado utilizando éste como componente básico.
- Utilizar los subsistemas de propósito general para la implementación de funciones de conmutación.

Tema 6: Circuitos Aritméticos (B: 6h)

- * Introducción.
- * Aritmética binaria: suma, resta, multiplicación y división.
- * Circuitos sumadores de magnitud.
 - ** Sumador de un bit: semisumador (half adder) y sumador completo (full adder).
 - ** Sumador paralelo de n bits. Salida de estado.
- * Sumador de números con signo en Ca_2 de n bits. Salidas de estado.
- * Sumador-restador para magnitudes y números con signo en Ca_2 . Salidas de estado.
- * Unidad aritmético-lógica (ALU). Salidas de estado.
 - ** Descripción estructural y funcional.
 - ** Diseño.

** Aplicaciones.

Competencias:

- Adquirir destreza en las representaciones binarias de números con signo en punto fijo.
- Realizar *a mano* las operaciones binarias básicas entre dos números binarios.
- Analizar coste y velocidad del sumador de *n* bits.
- Distinguir entre algoritmos para las operaciones de números sin signo y con signo, en sus diferentes convenios de representación.
- Sumar y restar números en notación complemento a 2 identificando errores de desbordamiento, así como conocer los mecanismos para superar el error.
- Realizar operaciones en BCD mediante el circuito estudiado.
- Construir circuitos aritméticos usando otros de menor tamaño.
- Diseñar ALUs.
- Saber utilizar una ALU concreta para realizar operaciones específicas, incluyendo la interpretación de las salidas de estado.

Bloque 3: APLICACIONES SECUENCIALES

Tema 7: Circuitos secuenciales síncronos (B: 7h)

* Elementos de memoria: Biestables.

** Operación lógica: SR, JK, T, D.

** Operación temporal: asíncronos y síncronos, latches y flip-flops.

** Biestables síncronos con entradas asíncronas.

- * Máquina de estados finitos (FSM: Finite State Machine).
- ** Modelos de Mealy y de Moore.
- ** Estructura general de un circuito secuencial síncrono (CSS).
- * Análisis de CSS.
- * Diseño de funciones secuenciales mediante CSS: Proceso de diseño.

Competencias:

- Conocer la diferencia entre las funciones combinacionales y secuenciales.
- Deducir la operación del biestable SR analizando su circuito a nivel de puertas.
- Obtener las ecuaciones de estado a partir de las tablas de estado y estas de aquellas.
- Realizar cualquier biestable (incluso uno teórico) mediante otro biestable conocido.
- Aplicar la operación de biestables síncronos para dibujar diagramas de tiempo ante una secuencia de entrada. Distinguir las formas de onda de salida de un biestable según sea disparado por nivel alto/bajo, con estructura master-slave ó disparado por flanco positivo/negativo.
- Describir las diferencias entre la operación síncrona y asíncrona de un biestable síncrono con entradas asíncronas. Dibujar formas de onda ante secuencias con ambos tipos de excitación.
- Diferenciar los modelos de máquina de Moore y de Mealy y las estructuras de circuito secuencial asociadas.
- Representar máquinas secuenciales con diagramas y tablas de estado, obteniendo secuencias de salida.
- Analizar circuitos secuenciales síncronos obteniendo secuencias y diagramas temporales de señales.
- Encontrar diagramas y tablas de estado a partir de descripciones verbales, explicando el significado de los estados.

- Determinar las secuencias de salida aplicando secuencias de entrada a las tablas de estado.
- Reducir una tabla de estados completamente especificada a su mínimo número de estados.
- Conocer las asignaciones exhaustivas para máquinas de 3 o 4 estados.
- Obtener la tabla de transición para una asignación dada, interpretando los códigos no asignados.
- Generar las diferentes tablas hasta obtener las ecuaciones de excitación.
- Validar el diseño aplicando las secuencias de entrada-salida obtenidas en la etapa inicial.

Tema 8: Subsistemas secuenciales (B: 8h)

- * Introducción a subsistemas secuenciales.
 - ** Lenguaje RT.
 - ** Diseño modular.
 - ** Operaciones síncrona y asíncrona.
- * Registros.
 - ** Operaciones paralelo/serie.
 - ** Diseño de un registro universal.
 - ** Diseño de registros con registros.
- * Contadores.
 - ** Contador de n bits (módulo $2^{**}n$) ascendente y descendente. Salidas de fin de ciclo.
 - ** Diseño ripple (de rizado) y diseño síncrono.

- ** Operaciones especiales.
- ** Diseño de contadores con contadores. Salidas de fin de ciclo.
- ** Otros contadores.
- * Diseño con subsistemas secuenciales. Generadores y detectores de secuencia.
- * Dispositivos de memoria ROM y RAM.
- ** Descripción RT
- ** Arquitectura interna y tecnologías.

Competencias:

- Distinguir las funciones según se realicen de forma síncrona o asíncrona.
- Diseñar registros de cualquier característica utilizando biestables y utilizando otros registros.
- Identificar las formas básicas de escritura y de movimiento de datos en registros.
- Entender la operación de contadores síncronos, de rizado y de desplazamiento y comparar sus características.
- Diseñar contadores de cualquier módulo y tipo usando biestables.
- Conocer las funciones especiales de los contadores.
- Construir contadores usando contadores con otros módulos de cuenta.
- Diseñar un reloj digital (horas, minutos, segundos).
- Diseñar máquinas secuenciales con subsistemas.
- Construir generadores/detectores de secuencias.
- Conocer el funcionamiento de los generadores de secuencia pseudoaleatoria.

-Describir la estructura de almacenamiento en filas y columnas (esto es, direcciones y datos), así como el acceso aleatorio.

-Identificar las operaciones de lectura/escritura, describiendo el flujo de datos que tiene lugar a nivel de terminales y de almacenamiento interno, así como su descripción mediante lenguajes formales.

-Describir la estructura interna de ROMs y RAMs.

Bloque 5: PRÁCTICAS (Laboratorio) E: 15h (**)

* Familiarización con el instrumental de laboratorio: Estática y dinámica

Competencias:

-Familiarizarse con el instrumental habitual en laboratorios de Electrónica.

-Adquirir soltura en la utilización de dicho instrumental.

-Generar señales con parámetros predefinidos.

-Medir parámetros temporales y eléctricos.

* Caracterización experimental de puertas lógicas

Competencias:

-Conocer puertas integradas comerciales.

-Comprobar su operación lógica y medir los niveles de salida.

-Observar su operación dinámica y medir los tiempos de conmutación.

* Función combinacional con puertas integradas

Competencias:

- Reconocer realizaciones con XOR/NXOR de códigos binarios.
- Describir la realización con puertas NAND de la solución mínima en dos niveles, utilizando los C.I.'s TTL '00 y '10. (Incluye cómo se asocian los terminales de estos C.I.'s a los nudos correspondientes del circuito teórico).
- Implementar el circuito correspondiente con SSI/MSI comerciales.
- Idear y aplicar alguna forma de verificar la función lógica del circuito con el instrumental de laboratorio.
- Estudiar experimentalmente la transición de azar:
- Comprobar si su implementación muestra un pequeño pulso (glitch) y, en su caso, caracterizarlo a nivel eléctrico y temporal.
- Estudiar circuitos que *amplíen*, *reduzcan* y que eliminen el glitch. (Utilizando, además, inversores C.I.'s TTL '04 y condensadores).

* Función combinacional con subsistemas combinacionales

Competencias:

- Resolver el problema propuesto mediante un MUX 8:1 (C.I. TTL '151) e inversores (C.I. TTL '04), y mediante un DEC 4:16 (C.I. TTL '154) y NAND (C.I. TTL '20).
- Implementar y verificar el funcionamiento lógico.
- Para la solución con MUXs, medir los tiempos de propagación correspondientes a una entrada de selección de canal y, también, para una entrada de datos.
- Realizar subsistemas combinacionales con otros subsistemas de distinto tamaño:
- Obtener un MUX 8:1 a partir de MUX 4:1 (C.I. TTL '153) y puertas NAND (C.I. TTL '00).
- Obtener un DEC 3:8 y un DEC 2:4 a partir del DEC 4:16 (C.I. TTL '154).

* Biestables

Competencias:

- Conocer y contrastar los distintos tipos de biestables, atendiendo en particular: al tipo lógico (SR, JK, T, D) y al tipo de disparo (asíncrono, disparado por nivel y por flanco).
- Implementar a nivel de puertas un biestable tipo latch asíncrono RS con el C.I. TTL *00 (NANDs) y verificarlo.
- Implementar un biestable JK tipo latch a partir del biestable RS asíncrono anterior, comprobando la dificultad (incluso, imposibilidad) de controlar el número de cambios de estados mediante la anchura del pulso de reloj si opera en modo T ($J = K = 1$).
- Verificar la operación de un biestable JK integrado, síncrono, tipo flip-flop con estructura Master-Slave (C.I. TTL '73) y comprobar que sólo hay un cambio de estado por ciclo de reloj cuando opera en modo T ($J = K = 1$).
- Manejar un biestable D tipo flip-flop disparado por flanco positivo (C.I. TTL '74) conectado en cascada con el JK anterior e interpretar las formas de onda de salida.

* Circuito secuencial síncrono

Competencias:

- Obtener una implementación de un circuito secuencial, utilizando C.I. biestables (TTL '112) y puertas (TTL '00 y '10), a partir de una especificación verbal.
- Saber provocar y reconocer la situación de bloqueo.
- Resolver el problema de bloqueo utilizando las entradas asíncronas de los biestables.
- Resolver el problema de bloqueo modificando la asignación de estados.

(**) Alguna de estas prácticas podrá desarrollarse en varias sesiones o ser eliminada o sustituida por otras alternativas similares en competencias en función de los recursos docentes y de calendario.

Actividades formativas y horas lectivas

Actividad	Horas
B Clases Teórico/ Prácticas	45
E Prácticas de Laboratorio	15

Idioma de impartición del grupo

ESPAÑOL

Sistemas y criterios de evaluación y calificación

EVALUACIÓN POR CURSO:

Como mínimo, el 50% de la calificación debe ser obtenida mediante pruebas escritas.

La realización de las prácticas del laboratorio es obligatoria.

Estrategias:

- Asistencia y participación en el aula.
- Evaluación/coevaluación/autoevaluación de exposiciones orales.
- Evaluación de actividades prácticas (laboratorios)
- Evaluación de los trabajos (teóricos, problemas, mapas conceptuales, informes...).
- Evaluación mediante test, ejercicios, tareas, etc.
- Exámenes escritos.
- Otras (a definir).

En casos excepcionales, el conjunto de profesores de aulas podrán establecer otros mecanismos de evaluación (exámenes orales, trabajos, etc.) específico para cada caso.

EVALUACIÓN FINAL:

- Evaluación de teoría y problemas (aula) . Se realizará mediante prueba única (tipo examen final) para todos los grupos.

- Evaluación de actividades prácticas (laboratorios). Se realizará mediante la demostración de habilidades de laboratorio.
- El aprobado en una sola de las partes se mantendrá para las convocatorias segunda y tercera de ese año natural.

Metodología de enseñanza-aprendizaje

Clases teóricas

- Exposición de los aspectos teóricos. Motivación.
- Aplicaciones. Relación con el mundo real.
- Realización de ejemplos y ejercicios.
- Discusión de los temas planteados.
- Resolución de preguntas.
- Evaluación continua.

Prácticas de Laboratorio

- Deben servir al estudiante para enfrentarse a problemas cuya solución requiere la síntesis y la aplicación de conocimientos previamente adquiridos.
- Uso y aplicación de instrumental electrónico, de herramientas de diseño digital y de emuladores.
- Diseño, implementación y test de circuitos digitales.
- Evaluación oral del alumno.

AAD sin presencia del profesor

Puede contener las siguientes actividades:

- Asistencia a conferencias.
- Elaboración de documentación.
- Lecturas guiadas.
- Participación en foros.
- Prácticas de laboratorio.
- Realización de ejercicios y tareas.

Clases de problemas

- Realización de ejercicios de aplicación de los conceptos.
- Resolución de problemas de análisis y diseño.
- Propuesta de resolución de problemas durante el tiempo de trabajo personal.
- Discusión y debate de distintas soluciones de los problemas. Planteamiento de alternativas.
- Evaluación continua.

Tutorías

Actividad a requerimiento del alumno.

Cubre los siguientes aspectos académicos de los estudiantes:

- Mejora de su rendimiento.
- Resolución de dudas concretas.
- Ampliación de sus expectativas.
- Orientación.

Horarios del grupo del proyecto docente

<https://www.informatica.us.es/index.php/horarios>

Calendario de exámenes

<https://www.informatica.us.es/index.php/calendario-de-examenes>

Tribunales específicos de evaluación y apelación

Presidente: MARIA DEL CARMEN BAENA OLIVA
Vocal: OCTAVIO RIVERA ROMERO
Secretario: JORGE ROPERO RODRIGUEZ
Suplente 1: ANTONIO BARBANCHO CONCEJERO
Suplente 2: ENRIQUE OSTUA ARANGUENA
Suplente 3: PABLO PEREZ GARCIA

Sistemas y criterios de evaluación y calificación del grupo

Sistemas de evaluación

EVALUACIÓN POR CURSO:

Como mínimo, el 50% de la calificación debe ser obtenida mediante pruebas escritas.

La realización de las prácticas del laboratorio es obligatoria.

Estrategias:

- Asistencia y participación en el aula.
- Evaluación/coevaluación/autoevaluación de exposiciones orales.
- Evaluación de actividades prácticas (laboratorios)
- Evaluación de los trabajos (teóricos, problemas, mapas conceptuales, informes...).
- Evaluación mediante test, ejercicios, tareas, etc.

- Exámenes escritos.
- Otras (a definir).

En casos excepcionales, el conjunto de profesores de aulas podrán establecer otros mecanismos de evaluación (exámenes orales, trabajos, etc.) específico para cada caso.

EVALUACIÓN FINAL:

- Evaluación de teoría y problemas (aula) . Se realizará mediante prueba única (tipo examen final) para todos los grupos.
- Evaluación de actividades prácticas (laboratorios). Se realizará mediante la demostración de habilidades de laboratorio.
- El aprobado en una sola de las partes se mantendrá para las convocatorias segunda y tercera de ese año natural.

Criterio de calificación

1. La evaluación de la asignatura, tanto por curso como por finales, se divide en dos partes: la evaluación de laboratorio (L) y la evaluación de teoría y problemas (T&P), también referida como "de aula". Se aprueba la parte L al obtener la calificación "Apto" y la parte T&P, al obtener una nota de 5 o más (sobre 10). Esta nota será la del alumno en el acta oficial.
2. El aprobado en una sola de las partes se mantendrá en las siguientes convocatorias 2 y 3.
3. Hay dos opciones de evaluación tanto para la calificación de L como para T&P, que son Por Curso y Final según lo siguiente:
 - 3.1. Evaluación Por Curso (o continua): Se realiza en el grupo de clase y sólo se ejecuta en la primera convocatoria. En caso de aprobado, la nota del acta será la obtenida por curso en T&P. En el punto 6 se desarrolla más la Evaluación Por Curso.
 - 3.2. Evaluación final o por examen final: Tiene lugar en todas las convocatorias oficiales del curso según el calendario aprobado en la Junta de la ETSII y se realiza conjuntamente con

todos los grupos de la asignatura. En el punto 7 se desarrolla más la Evaluación final.

4. El alumno que no haya aprobado "Por curso", para superar la asignatura deberá presentarse a la Evaluación final de la parte L o T&P que no haya superado. La nota que constará en el acta será la que haya obtenido en el examen final T&P.

5. El alumno suspenso por curso que no realice ninguno de los exámenes finales (ni T&P ni L) de la primera convocatoria, recibirá la calificación de "No presentado" en las actas de dicha primera convocatoria.

6. Evaluación continua o Por curso.

6.1 Evaluación L. Las prácticas realizadas en las clases de laboratorio serán evaluadas por el profesor o profesores de su subgrupo de laboratorio considerando todos los aspectos desarrollados en las mismas durante el curso: manejo del instrumental, utilización del software, implementación y test de circuitos y capacidad de análisis y exposición de resultados. El "Apto" se logra con la adecuada realización de todas las prácticas.

6.2 Evaluación T&P Por Curso.

La evaluación T&P por curso para este grupo de aula se realizará mediante el siguiente conjunto de criterios generales:

* La evaluación por curso se sustenta en la presencialidad del alumno en las actividades de aula, en la medida objetiva de calificaciones, en la transparencia del sistema para el alumnado participativo, en la consideración de posibles variaciones respecto a la planificación prevista en este Proyecto Docente y, contando con la participación del alumnado presencial, en la determinación por el profesorado de soluciones a los imprevistos que se presenten.

* Fundamentalmente consta de tres pruebas: Pruebas de Control Continuo (PCC) y de dos Exámenes Parciales (EP1 y EP2). La contribución a la nota "Por Curso" de cada parte se ponderará en función de la materia evaluable en dicha parte.

* Las pruebas se realizarán tras completar la materia evaluable de teoría y problemas correspondientes.

- * Se desarrollarán simultáneamente por los alumnos del grupo.
- * Por defecto, la respuesta de las pruebas se hará por escrito.
- * Este esquema de evaluación podrá modificarse según acuerdo tomado entre profesor y los delegados elegidos o, en ausencia de ellos, con los alumnos presenciales del grupo.
- * El profesor hará pública la convocatoria concreta de cada prueba de evaluación.
- * Así mismo, el profesor podrá establecer cambios menores a estos criterios generales.
- * Cualquier tipo de engaño o manipulación malévola (copia, falseamiento, etc.) por parte de un alumno supondrá su suspenso inmediato en la convocatoria 1, sea cual sea la prueba donde se produzca.

La concreción del sistema de evaluación por curso prevista para este curso, que se describe en los siguientes subapartados, genera una "Nota Por curso" que, en caso de ser ≥ 5 , corresponderá a la Nota T&P de la convocatoria 1.

6.2.1 Pruebas de control continuo (PCC). Habrá una PCC tras impartirse cada tema (excepto el tema de presentación que se unirá al de introducción). Esta PCC corresponderá a alguno de los tipos de evaluación "rápida": test, respuesta breve, tarea, ejercicio inmediato, etc. El modo podrá ser online o presencial, según establezca el profesor en cada PCC. En general evaluará el trabajo continuado, aprendizaje comprensivo y las soluciones directas o semidirectas. La media de los PCC por tema realizados produce la Nota del PCC cuyo peso en la Nota por Curso será de 1/3 del total.

6.2.2 Exámenes Parciales (EP1 y EP2). El peso de ambos en la Nota por Curso será de 2/3 del total. Salvo otro acuerdo entre el profesor y los alumnos presenciales de clase, habrá dos EP que dividirán la materia en dos partes similares y cuyo peso en la Nota por Curso será así mismo similar. Se realizarán de forma presencial para todos los alumnos simultáneamente. La planificación inicial es:

EP1: Primera mitad de la materia (en este Proyecto, Temas 0, 1, 2, 3, 4 y 5). La fecha de realización se comunicará en las clases de aula.

EP2: Segunda mitad de la materia (en este Proyecto, Temas 6, 7 y 8). Se realizará al final del cuatrimestre.

6.2.3. Para aprobar por curso es indispensable que el alumno obtenga, al menos, el 25% de la

nota máxima en el último Examen Parcial.

6.2.4. El profesor podrá proponer actividades de desarrollo continuo en todas las tareas de la metodología de la asignatura (T, P, L, AAD) y que tengan un valor adicional en la "Nota Por curso" (valor= ≤ 1 sobre 10). En todo caso, el profesor hará público al alumnado presencial los detalles concretos de sus realizaciones.

6.2.5. Cualquier cambio por acuerdo profesor-alumnado presencial en el número o materias evaluables en cada prueba, deberá ser ponderado adecuadamente en la "Nota Por curso".

7. Evaluación por examen final. Se hace en convocatoria oficial de la ETSII para todos los alumnos de la titulación.

7.1 Evaluación L. El "Apto" de laboratorio se obtendrá mediante la evaluación de un examen de laboratorio en el que el alumno realizará una práctica "en modo examen experimental tanto escrito como oral". (Esto es, además de rellenar plantillas el alumno deberá responder a las preguntas del profesor).

7.2 Evaluación T&P. La nota T&P se obtendrá a partir de un examen escrito en el que se evaluará toda la materia en el días aprobado en la Junta de la ETSII.

8. Consideraciones generales:

-Las pruebas y exámenes se corrigen en función de la adecuación de la respuesta a la solución correcta y sólo se califica lo que figura escrito como válido en el examen entregado por el alumno. La entrega de dos soluciones posibles anula ambas (aunque una de ellas sea la correcta).

-Una mala presentación (letra ilegible, exceso de tachaduras, ausencia de orden en la exposición, falta de nombre del alumno, etc.) es motivo de reducción en la calificación e incluso, en casos graves, de calificación con cero.

-Las respuestas deben ir explicadas de forma que pueda entenderse el razonamiento del alumno al elaborarlas. Las "ideas felices" o resultados sin explicación no se puntúan o se puntúan con grave penalización.

-El acto de copiar o falsear los resultados está penalizado con el suspenso en la convocatoria oficial correspondiente. En caso de copiar "uno de otro", se penaliza a ambos alumnos. Esta norma afecta a todo tipo de mecanismo que sirva de evaluación (ejercicios, pruebas, asistencia,...).

Bibliografía recomendada

Bibliografía General

Problemas de circuitos y sistemas digitales

Autores: Carmen Baena, Manuel J. Bellido, Alberto J. Molina, M^a del Pilar Parra y

Edición: 1

Publicación: McGraw-Hill; 1997

ISBN: 84-481-0966-X

Estructura y Tecnología de Computadores

Autores: Alberto J. Molina, Sergio Díaz y José I. Escudero

Edición: 1

Publicación: Panella; 2004

ISBN: 84-933034-7-X

Fundamentos de Diseño Lógico

Autores: Charles H. Roth

Edición: 5a ed.

Publicación: Thomson; 2004

ISBN: 849732286x

Fundamentos de sistemas digitales

Autores: Thomas L. Floyd

Edición: 1

Publicación: Prentice Hall; 2006

ISBN: 84-205-2994-X

Fundamentos de diseño lógico y de computadoras

Autores: M. Morris Mano, and Charles R. Kime

Edición: 1

Publicación: Pearson/Prentice Hall

ISBN: 84-205-4399-3

INTRODUCCIÓN AL LABORATORIO DE ELECTRÓNICA DIGITAL

Autores: C. Baena, J. I. Escudero, M^a P. Parra y M. Valencia

Edición:

Publicación: DTE

ISBN:

Información Adicional

La información y documentación de la asignatura se publicará en la página web del Dpto. de Tecnología Electrónica:

<http://www.dte.us.es/docencia/etsii/gii-ic/ced-ic>

Enunciados de las Prácticas de Laboratorio

Recursos para laboratorio: Patillaje. Hojas de características.

Boletines de problemas

Material de aula (Transparencias)

Hojas de examen

Información en <http://www.dte.us.es>