

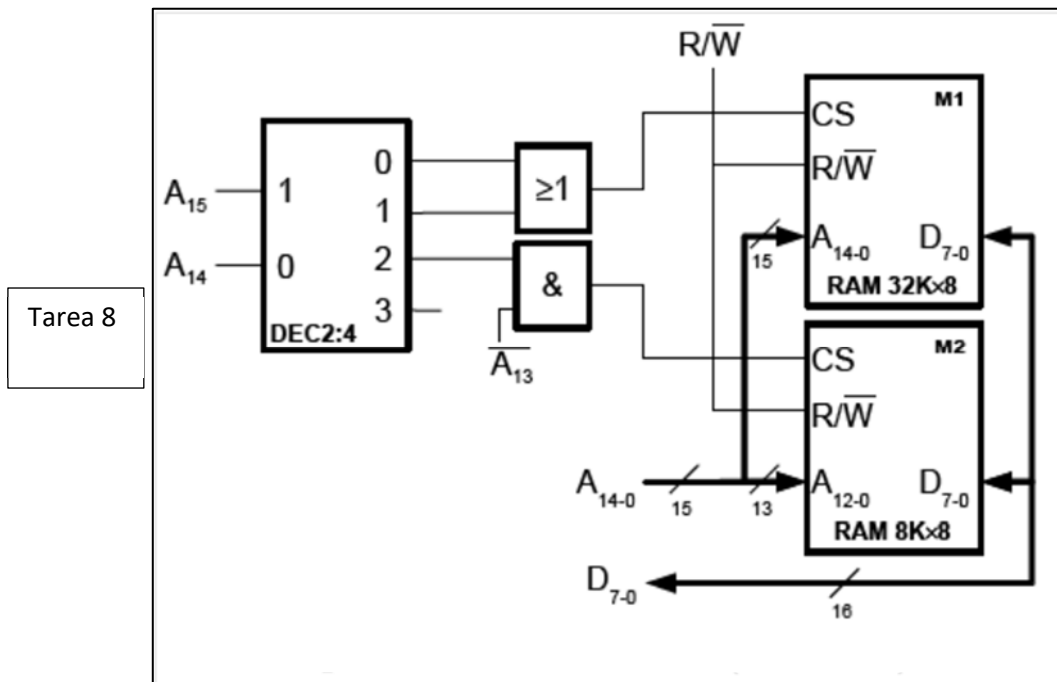
**Para las cuestiones 1 a 3.** Suponga un sistema **no segmentado** con bus de direcciones de 16 bits ( $A_{15}:A_0$ ), bus de datos de 8 bits ( $D_7:D_0$ ) y en el que la señal de lectura/escritura de su bus de control es  $R/W'$ .

Para el mapa mostrado a continuación, la RAM **M12** es una memoria funcional de 16kx8 bits que, como ha sido tratado ya en la Tarea 1, realmente está compuesta por dos chips memorias (M1 y M2) RAM de 16kx4 bits con señales para lectura y escritura diferenciadas (R y W). La memoria ROM (M3) es de 16kx8 bits y tiene activa en H su señal de selección de chip (CS).

A <sub>15</sub>	A <sub>14</sub>	A <sub>13</sub>	
0	0	0	Sin uso
0	0	1	RAM M12 (M1 / M2)
0	1	0	
0	1	1	Sin uso
1	-	-	ROM (M3)

1. Sobre el circuito de decodificación del mapa:
  - 1.1. Obtenga las ecuaciones de selección de chips. [\[Llame CS1, CS2 y CS3 a las funciones de selección de los chips 1, 2 y 3, respectivamente. En el apartado 2.3 las aplicará a las entradas de control de los dispositivos\].](#)
  - 1.2. Obtenga el circuito de decodificación usando:
    - 1.2.1. Decodificadores
    - 1.2.2. Puertas
      - 1.2.2.1. Cualquier tipo de puertas
      - 1.2.2.2. Sólo puertas NAND
      - 1.2.2.3. Sólo puertas NOR
  - 1.3. Dibuje el circuito completo. [\[En el dibujo debe incluir todas las señales, tanto las de dirección como las de datos y las de control \(debidamente identificadas\)\].](#)
  
2. Sobre el uso del sistema de memoria del enunciado.
  - 2.1. Indique, si las hay, a qué direcciones físicas se accede con las siguientes direcciones lógicas:
    - 2.1.1.  $A_{15}:A_0 = \$ 1 2 3 4$
    - 2.1.2.  $A_{15}:A_0 = \$ 2 7 B 9$
    - 2.1.3.  $A_{15}:A_0 = \$ 5 6 7 8$
    - 2.1.4.  $A_{15}:A_0 = \$ 9 A B C$
  - 2.2. Indique, si las hay, qué dirección lógica hay que poner para acceder a las siguientes direcciones físicas:
    - 2.2.1.  $\$ 1 2 3 4$  de M1
    - 2.2.2.  $\$ 1 2 3 4$  de M2
    - 2.2.3.  $\$ 1 2 3 4$  de M3
    - 2.2.4.  $\$ 8 A A A$  de M1
    - 2.2.5.  $\$ 8 A A A$  de M3
    - 2.2.6.  $\$ 3 3 3 3$  de M1
  - 2.3. Indique qué operación de memoria se produce y, si los hay, qué datos y de qué dispositivos de memoria se ven modificados, si las líneas de los buses tienen los valores señalados:
    - 2.3.1.  $A_{15}:A_0 = \$ 3 3 3 3$ ,  $D_7:D_0 = \$ 4 1$ ,  $R/W' = 0$
    - 2.3.2.  $A_{15}:A_0 = \$ A A A A$ ,  $D_7:D_0 = \$ 4 1$ ,  $R/W' = 0$

3. Sobre el diseño de un nuevo sistema de memoria. Se pretende rellenar todo el espacio de memoria libre con dispositivos RAM.
  - 3.1. Si es posible, presente la parte nueva de la solución en los casos que siguen:
    - 3.1.1. Dispone de RAMs de 8kx8 bits.
    - 3.1.2. Dispone de RAMs de 16kx8 bits.
    - 3.1.3. Dispone de RAMs de 32kx8 bits.
    - 3.1.4. Dispone de RAMs de 8kx6 bits.
  - 3.2. En cada uno de los casos anteriores, indique:
    - 3.2.1. Palabra física accedida si  $A_{15}:A_0 = \$ 0 7 7 7$ .
    - 3.2.2. Palabra física accedida si  $A_{15}:A_0 = \$ 7 7 7 7$ .
    - 3.2.3. Dirección que hay que poner para acceder a la dirección  $\$3D$  de las nuevas RAMs incorporadas.
  
4. Analice el subsistema de memoria mostrado en la figura, determinando el mapa de memoria. Añada 16KB de RAM en las posiciones más altas, usando chips de RAM de 4Kx8, especificando el mapa de memoria resultante, la interconexión de los nuevos chips con el sistema y el decodificador de memoria. Los chips tienen señales de selección activas a nivel alto.



Para el sistema resultante tras la ampliación, indique a qué dirección física y chip se accede si la CPU asociada a este sistema de memoria establece las siguientes direcciones lógicas (DL):

DL= \$4342;                      DL= \$BC00                      DL= \$E123

Indique qué direcciones lógicas DL debe indicar la CPU si se desea acceder a un dato que está grabado en cada una de las siguientes direcciones:

\$2468 de M1                      \$F de M2                      \$AE3 de la RAM añadida.

5. Para implementar el sistema de memoria de un microprocesador de 16 líneas de direcciones y de 8 líneas de datos (AB[16], DB[8]) se dispone de ROMs de 2kx8 y de RAMs de 16kx8 con señales de selección de chip activas en H. El sistema debe tener 8kB de memoria ROM en las direcciones de menor valor y 32 KB de memoria RAM en las direcciones de valor mayor.
  - 5.1. Muestre el mapa de memoria de forma que quede libre el espacio de direcciones restante. Diseñe el circuito de decodificación y el sistema completo de memoria.
  - 5.2. Rediseñe el mapa de memoria si no hay que dejar libre el espacio de direcciones restante.
  - 5.3. Para el primer caso (apartado a):
    - 5.3.1. Indique a qué dirección física se accede y de qué chip si la dirección lógica establecida desde la CPU es:  
 $A_{15:0} = \$1432$ ;  $A_{15:0} = \$2345$ ;  $A_{15:0} = \$DCAB$
    - 5.3.2. Indique qué dirección lógica va asociada a cada una de las siguientes direcciones físicas:  
 $Dir_{física} = \$579$  del chip que ocupa las direcciones más bajas del mapa;  
 $Dir_{física} = \$789$  del chip que ocupa las direcciones más altas del espacio ocupado por la memoria ROM;  
 $Dir_{física} = \$3579$  del chip que ocupa las direcciones más altas del mapa

**En lo que sigue se incluyen también los casos segmentados.**

6. Considere los tres procesadores siguientes:
 

**Proc1:** Posee un espacio lógico de 1MB, un AB de 20 bits y un DB de 8 bits. Sus instrucciones sólo acceden a un Byte en cada acceso a memoria.

**Proc2:** Posee un espacio lógico de 1MB, un AB de 19 bits y un DB de 16 bits. Sus instrucciones pueden acceder tanto a W como a B.

**Proc3:** Posee un espacio lógico de 1MB, un AB de 19 bits y un DB de 16 bits. Sus instrucciones sólo acceden a W.

Para organizar una memoria de 32kB cuenta con chips de 16kB con selección activa en alta. Proporcione el mapa y el circuito de decodificación en cada uno de los procesadores. Añada las señales de los procesadores que necesite en cada caso.
7. Un procesador tiene un espacio lógico de 16MB, un DB[16] y puede acceder a datos de tamaño B y de tamaño W. Suponga que posee una memoria M3 de 2 MB situada en los Bytes impares y que se selecciona cuando  $A_{23} = 1$  y  $A_{22} = 0$ . Si se quiere borrar la palabra M3(\$124) mediante la instrucción CLR.B dir, obtenga el valor hexadecimal de "dir". [CLR. B dir ejecuta la puesta a 0 con tamaño Byte de  $M_{dato}(dir)$ ].
8. Realice el problema de sistemas de memoria siguiente ( $\cong$  P4 de los enunciados):
  - 8.1. Para implementar el sistema de memoria de un microprocesador de 16 líneas de direcciones y de 8 líneas de datos (AB[16], DB[8]) se dispone de ROMs de 2kx8 y de RAMs de 16kx8 con señales de selección de chip activas en H. El sistema debe tener 8kB de memoria ROM en las direcciones de menor valor y 32 KB de memoria RAM en las direcciones de valor mayor.
    - 8.1.1. Muestre el mapa de memoria y el circuito de decodificación de forma que quede libre el espacio de direcciones restante.
    - 8.1.2. Rediseñe el sistema de memoria si no hay que dejar libre el espacio de direcciones restante.
  - 8.2. Considere otro microprocesador, de 23 líneas en AB y de 16 líneas en DB. En él, en las direcciones pares se accede al byte D15:8 para lo cual se activa la señal BE1; en las

direcciones impares se accede al byte D7:0 para lo cual se activa la señal BE0. En este procesador también se puede acceder a un dato de tamaño W (16 bits) con la dirección par.

El sistema de memoria contiene cuatro memorias de 1MB, llamadas M0, M1, M2 y M3, con selección de chip activa en H y valores:

$$CS1 = \overline{A23} \cdot \overline{A22} \cdot \overline{A21} \cdot BE1$$

$$CS2 = \overline{A23} \cdot \overline{A22} \cdot \overline{A21} \cdot BE0$$

$$CS3 = A23 \cdot \overline{A22} \cdot \overline{A21} \cdot BE1$$

$$CS4 = A23 \cdot \overline{A22} \cdot \overline{A21} \cdot BE0$$

donde  $\overline{x}$  es el negado de x.

8.2.1. Obtenga el mapa de memoria.

8.2.2. Indique el dispositivo y la dirección de la palabra interna a que se accede en los tres casos siguientes:

\$1234 para dato de tamaño B;

\$123457 para dato de tamaño B; y

\$89ABCD para dato de tamaño W.

8.2.3. Indique qué valor de dirección hay que poner en una instrucción para acceder al byte situado en la dirección \$1234 de M3; repita para acceder a \$1234 de M2; repita para acceder a \$1234 de M1.