

---

# Estructura de Computadores

# GII – Ingeniería de Computadores

## Tema 0

# *Presentación de EdC*

2025

Carmen Baena Oliva <[cbaena@us.es](mailto:cbaena@us.es)>

Departamento de Tecnología Electrónica. Universidad de Sevilla.

Usted es libre de copiar, distribuir y comunicar públicamente la obra y de hacer obras derivadas siempre que se cite la fuente y se respeten las condiciones de la licencia Attribution-Share alike de Creative Commons.

Puede consultar el texto completo de la licencia en <http://creativecommons.org/licenses/by-sa/3.0/>



Dpto. Tecnología Electrónica US

# Contenidos

---

- ▶ **Datos generales**
- ▶ **Programa y bibliografía**
- ▶ **Actividades docentes**
- ▶ **Sistema de evaluación**
- ▶ **Preguntas**

# Datos generales

---



**ETSII:** [www.eii.us.es](http://www.eii.us.es)

Grado en Ingeniería Informática: Ing. de Computadores

**Estructura de Computadores**



**DTE:** [www.dte.us.es](http://www.dte.us.es)

Secretaría del DTE en G1.41

**Carmen Baena (G1.67)**

# Información EdC

- Principalmente, en clase
- Web propia de EdC (GII-IC):

[www.dte.us.es/docencia/etsii/gii-ic/ec-ic](http://www.dte.us.es/docencia/etsii/gii-ic/ec-ic)

The screenshot shows a web browser displaying the 'Estructura de Computadores' page on the DTE website. The page header includes the DTE logo, the text 'Departamento de Tecnología Electrónica', and the University of Sevilla logo. A navigation menu is visible below the header. The main content area features a sidebar with a table of contents, a central article titled 'Estructura de Computadores' by Carmen Baena Oliva, and a right sidebar with 'Últimos cambios' (Recent changes) listing updates like 'Estructura de Computadores' and 'Notas provisionales de la convocatoria 3'. An image of a computer motherboard is also present in the main content area.

- Enseñanza virtual



# Programa

---

✓ Ver Proyecto Docente Grupo 2 en:

<https://sevius4.us.es/index.php?PyP=LISTA&codcentro=3&titulacion=204&asignatura=2040009>

✓ Programa temático:

- Tema 1. Introducción. Memoria
- Tema 2. Lenguajes de descripción de hardware (Verilog)
- Tema 3. Diseño de sistemas digitales
- Tema 4. El computador simple
- Tema 5. Microcontroladores
- Tema 6. Realización de unidad de memoria principal.  
Organización de computadores: líneas de progreso
- Prácticas de laboratorio.

# Bibliografía

---

## ➤ Libros:

- Díaz, Romero y Molina 2009: *Estructura y tecnología de computadoras*
- Brock J. LaMeres 2017: *Introduction To Logic Circuits&Logic Design with Verilog*
- Patterson&Hennessy 2011: *Estructura y diseño de computadores*
- Parhami 2007: *Arquitectura de computadoras*
- Stallings 2006: *Organización y arquitectura de computadores*
- Baena, y otros 2010: *Sistemas Digitales* (está en [Material de consulta](#) en la [web](#))
- Baena, y otros 1997: *Problemas de circuitos y sistemas digitales*

## ➤ Material propio de la asignatura (en la [web](#)):

- Material de aula (Transparencias)
- Boletines de problemas, Soluciones boletines problemas
- Tareas, Soluciones Tareas
- Enunciados de Prácticas
- Actividades, etc.

## ➤ Documentación específica para Verilog y para AVR.

# Actividades docentes

❖ **Aula:** Teoría y Problemas: 2 h ( $\forall$  semana) y otras 2 h en semanas *impares*.

❖ **Laboratorio.**

Sesión de 2 h en semanas **pares**.

**Carácter obligatorio.**

Subgrupos **L6:L10**, en G1.35/32.

❖ **Tutorías. Horario:**

❖ Consulte la página web

[www.dte.us.es](http://www.dte.us.es) → Personal ...

1C2-C2	L.	Mi.	J.
8:30 a 10:20	<u>H0.12</u> EdC <u>G1.32,G1.35</u>	<u>H0.12</u> FFI	EdC <u>G1.32,G1.35</u>
	<b>L6/L8</b>		<b>L7/L10</b>
10:40 a 12:30	<u>H0.12</u> FFI	<u>H0.12</u> EdC	<u>H0.12</u> E <b>B1.33,B1.34</b>
12:40 a 14:30	<b>L9</b> EdC / FFI <u>G1.35 / G0.35**</u>	<b>H0.12</b> FP <b>F1.30, F1.31, F1.32</b>	

# Organización Lab

---

- Organización:

La lista de los subgrupos L6:L10 la hará el profesor con los asistentes a las clases antes del comienzo de la primera sesión (Lunes 10-feb).

- Planificación:

- Analizador lógico/Atari (1 sesión)
- Diseño e implementación de Sistema Digital: (3 sesiones)  
Entorno Xilinx, Verilog, Simulación  
Implementación, FPGA, Placas Basys
- Programación bajo nivel: (2 sesiones)  
Computador simple 2010  
Microcontrolador AVR



# Sistema de evaluación

---

➤ **Dos modos: “Por curso” (sólo convocatoria 1) y “Examen Final”.** En cada uno se evalúan dos aspectos:

- 1/ Laboratorio: **APTO** o **NO APTO**
- 2/ Teoría y problemas (T&P): **Nota (N)**

➤ **Por curso:**

- **Lab: “Apto”** si se realizan adecuadamente **todas** las prácticas
- **Para T&P: Media entre PCC, EP1 y EP2. Se requiere  $\geq 25\%$  en EP2.**

- PCC: Prueba tras cada tema. Su media da lugar a la nota PCC
- EP1: Tems T0-T3. **17 de marzo 8:30**
- EP2: Tems T4-T6. **21 de mayo 10:30**

(Estas son las fechas previstas. Cualquier modificación se realizará mediante acuerdo entre profesor/alumnos\_presenciales.

➤ **Examen Final (EF): Todos los grupos y toda la materia**

**Convocatoria 1: 03-Jun.** Posible recuperación de una única parte (PCC, EP1 o EP2)

**Convocatoria 2: 8-jul.**

¿Alguna pregunta?

¿Propuestas?