

---

# Estructura de Computadores

# GII – Ingeniería de Computadores

## Tema 0

# *Presentación de EdC*

2024

Carmen Baena Oliva <[cbaena@us.es](mailto:cbaena@us.es)>

Departamento de Tecnología Electrónica. Universidad de Sevilla.

Usted es libre de copiar, distribuir y comunicar públicamente la obra y de hacer obras derivadas siempre que se cite la fuente y se respeten las condiciones de la licencia Attribution-Share alike de Creative Commons.

Puede consultar el texto completo de la licencia en <http://creativecommons.org/licenses/by-sa/3.0/>



Dpto. Tecnología Electrónica US

# Contenidos

---

- ▶ **Datos generales**
- ▶ **Programa y bibliografía**
- ▶ **Actividades docentes**
- ▶ **Sistema de evaluación**
- ▶ **Preguntas**

# Datos generales

---



**ETSII:** [www.eii.us.es](http://www.eii.us.es)

Grado en Ingeniería Informática: Ing. de Computadores

**Estructura de Computadores**



**DTE:** [www.dte.us.es](http://www.dte.us.es)

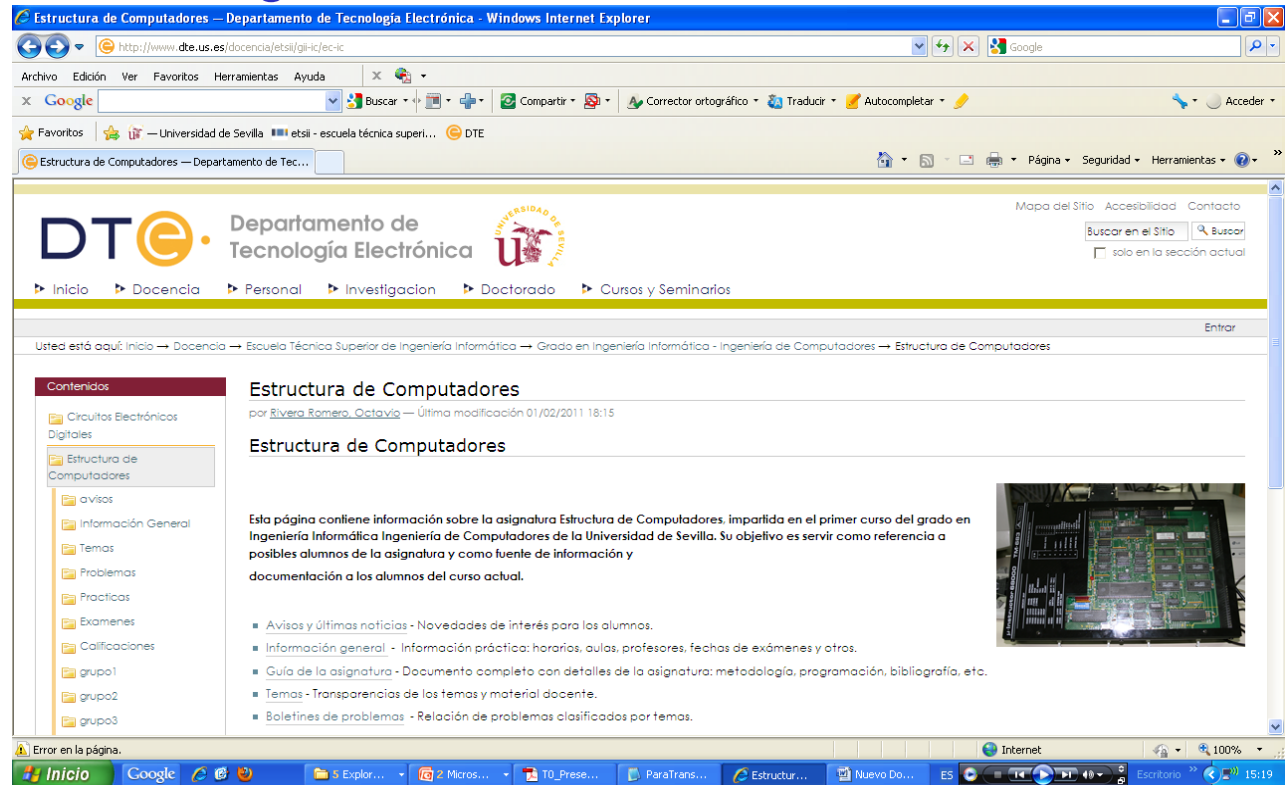
Secretaría del DTE en G1.41

**Carmen Baena (G1.67)**

# Información EdC

- Principalmente, en clase
- Web propia de EdC (GII-IC):

[www.dte.us.es/docencia/etsii/gii-ic/ec-ic](http://www.dte.us.es/docencia/etsii/gii-ic/ec-ic)



The screenshot shows a Windows Internet Explorer browser window displaying the website of the Departamento de Tecnología Electrónica (DTE) at the Universidad de Sevilla. The page title is 'Estructura de Computadores'. The navigation menu includes 'Inicio', 'Docencia', 'Personal', 'Investigación', 'Doctorado', and 'Cursos y Seminarios'. The main content area features a sidebar with a 'Contenidos' menu and a main text block titled 'Estructura de Computadores' by Rivera Romero, Octavio. The text describes the course structure and provides a list of resources: 'Avisos y últimas noticias', 'Información general', 'Guía de la asignatura', 'Temas', and 'Boletines de problemas'. An image of a computer motherboard is visible on the right side of the page.

- Enseñanza virtual

# Programa

---

✓ Ver Proyecto Docente Grupo 2 en:

<https://sevius4.us.es/index.php?PyP=LISTA&codcentro=3&titulacion=204&asignatura=2040009>

✓ Programa temático: **Este Programa tiene novedades**

- Tema 1. Introducción. Memoria
- Tema 2. Lenguajes de descripción de hardware (Verilog)
- Tema 3. Diseño de sistemas digitales
- Tema 4. El computador simple
- Tema 5. Microcontroladores
- Tema 6. Realización de unidad de memoria principal.  
Organización de computadores: líneas de progreso
- **Prácticas de laboratorio.**

# Bibliografía

---

## ➤ Libros:

- Díaz, Romero y Molina 2009: *Estructura y tecnología de computadoras*
- Brock J. LaMeres 2017: *Introduction To Logic Circuits&Logic Design with Verilog*
- Patterson&Hennessy 2011: *Estructura y diseño de computadores*
- Parhami 2007: *Arquitectura de computadoras*
- Stallings 2006: *Organización y arquitectura de computadores*
- Tanenbaum 2000: *Organización de computadoras: un enfoque estructurado*
- Baena, y otros 2010: *Sistemas Digitales* (está en [Material de consulta](#) en la [web](#))
- Baena, y otros 1997: *Problemas de circuitos y sistemas digitales*

## ➤ Otros (en la [web](#)):

- Material de aula (Transparencias), Boletines de problemas, Enunciados de Prácticas, Tareas, Actividades, etc.
- Documentación para Verilog y para AVR.

# Actividades docentes

❖ **Aula:** Teoría y Problemas: 2 h ( $\forall$  semana) y otras 2 h en semanas *impares*.

❖ **Laboratorio.**

Sesión de 2 h en semanas **pares**.

**Carácter obligatorio.**

Grupos **L6:L10**, en G1.35/32.

horario	Lunes	Martes	Jueves
8:30 a 10:20	EdC G1.32 G1.35	EdC H0.12 G1.32 G1.35	FFI H0.12
20 min.	<b>L6/L8</b>	<b>L7/L9</b>	
10:40 a 12:30	FP H0.12	FFI H0.12	EdC H0.12
10 min.			
12:40 a 14:30	CIN H0.12 B1.31 B1.32 B2.30	FFI / EdC G0.35 / G1.35	FP H0.12 A4.30 A4.32 F1.30

**L10**

❖ **Tutorías. Horario:**

❖ Consulte la página web

[www.dte.us.es](http://www.dte.us.es) → Personal ...

# Organización Lab

---

- Organización: L6 : L10. La hará el profesor con los asistentes a clase antes del comienzo de las sesiones (Sesión 1: Lu 12-feb)
- Planificación:
  - Analizador lógico/Atari. (1 sesión)
  - Diseño e implementación de Sistema Digital: (3 sesiones)  
Entorno Xilinx, Verilog, Simulación  
Implementación, FPGA, Placas Basys
  - Programación bajo nivel: (2 sesiones)  
Computador simple 2010  
Microcontrolador AVR



# Sistema de evaluación

---

➤ **Dos modos: “Por curso” (sólo convocatoria 1) y “Examen Final”.** En cada uno se evalúan dos aspectos:

- 1/ Laboratorio: **APTO** o **NO APTO**
- 2/ Teoría y problemas (T&P): **Nota (N)**

➤ **Por curso:**

- Lab: “**Apto**” si se realizan adecuadamente **todas** las prácticas
- Para T&P: Media entre PCC, EP1 y EP2. Se requiere  $\geq 25\%$  en EP2.

## Propuestas:

- PCC: Pruebas tras cada tema (*online*). Su media da lugar a la nota PCC
- EP1: Temas T0-T3. **21 de marzo 10:30 Aula A1.16**
- EP2: Temas T4-T6. En la última clase: **23 de mayo 10:30**

➤ **Examen Final (EF): Todos los grupos y toda la materia**

**Convocatoria 1: 03-Jun.** Posible recuperación de una única parte (PCC, EP1 o EP2)

**Convocatoria 2: 10-jul.**

¿Alguna pregunta?

¿Propuestas?

¿Adelantar la fecha de EP2?