

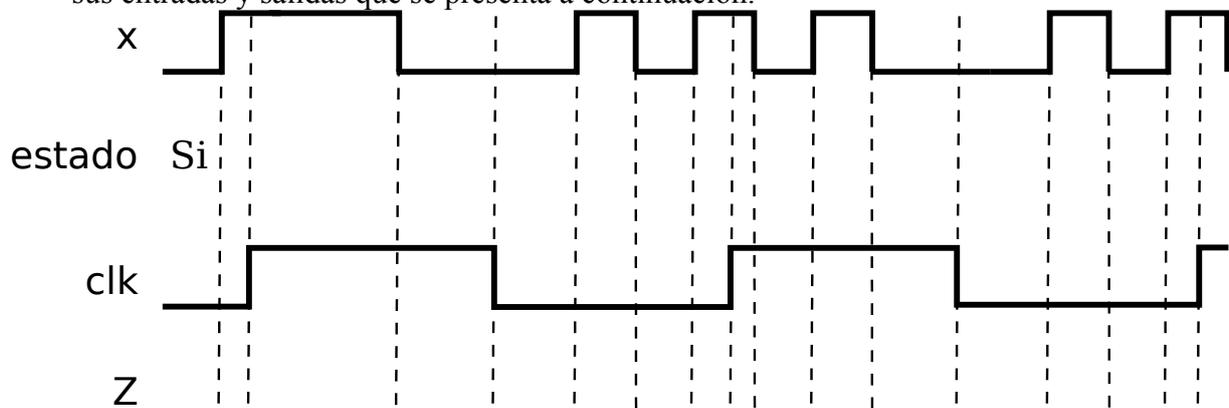
Apellidos **EN MAYÚSCULAS:**Nombre **EN MAYÚSCULAS:**

**Importante:** Debe indicar explícitamente los nombres internos de las entradas y salidas de los componentes que utilice así como el problema y apartado al que responde.

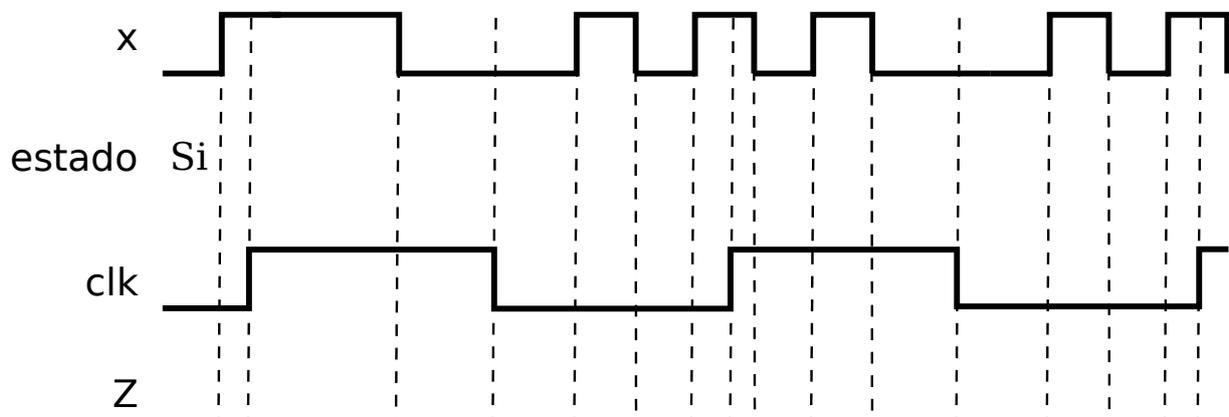
### Problema 1 (3,5 puntos)

Un circuito secuencial síncrono tiene una entrada de un bit  $X$  y una salida de un bit  $Z$  codificadas en lógica positiva. En cada momento la salida debe valer 0 si y sólo si los últimos dos bits recibidos han sido 0. Se pide lo siguiente:

- Dibuje el diagrama de estados de una máquina de Mealy que describa el comportamiento del circuito procurando minimizar el número de estados y llamando al estado inicial  $S_i$ .
- Suponiendo que el circuito que implementa la máquina de Mealy que ha descrito en el apartado anterior está disparado por flanco de bajada, complete el cronograma que muestra sus entradas y salidas que se presenta a continuación.



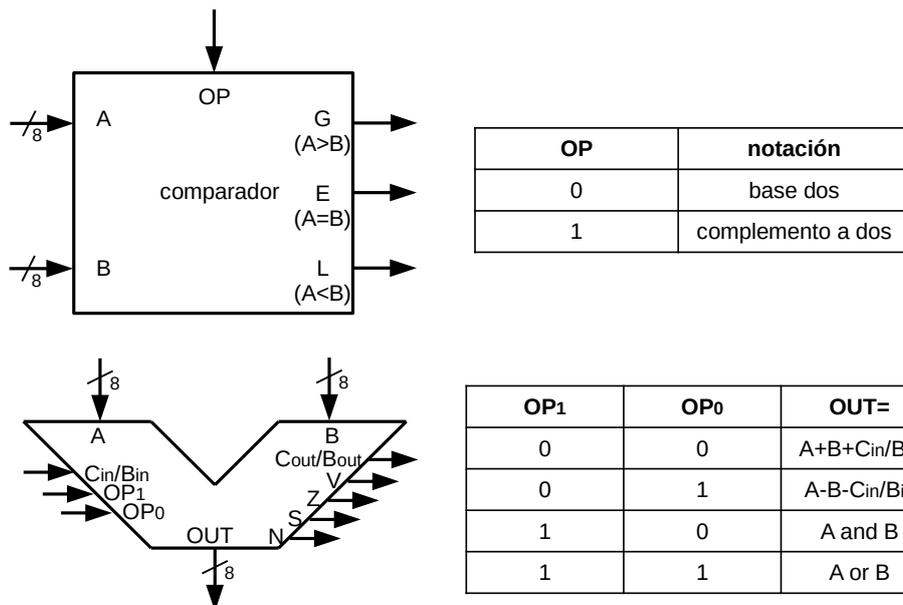
- Dibuje el diagrama de estados de una máquina de Moore que describa el comportamiento del circuito procurando minimizar el número de estados y llamando al estado inicial  $S_i$ .
- Suponiendo que el circuito que implementa la máquina de Moore que ha descrito en el apartado anterior está disparado por flanco de bajada, complete el cronograma que muestra sus entradas y salidas que se presenta a continuación.



**Importante:** Debe indicar explícitamente los nombres internos de las entradas y salidas de los componentes que utilice así como el apartado al que responde.

## Problema 2 (2 puntos)

Se requiere un comparador de ocho bits como el mostrado en la figura. Debe permitir seleccionar la notación numérica utilizada mediante la señal de control  $S$  tal y como se muestra en la tabla de operación de su derecha. Así, si  $S=0$  debe funcionar como un comparador de magnitud. Si  $S=1$  debe comparar el número que representa la entrada  $A$  en complemento a dos con el número que representa la entrada  $B$  en complemento a dos. Se pide implementar dicho comparador usando exclusivamente unidades aritmético/lógicas de 8 bits como la mostrada en la parte inferior y multiplexores 2:1 procurando minimizar el número de multiplexores. Considere que las señales se proporcionan en único raíl.



## Problema 3 (4,5 puntos)

Se muestra la tabla de transición/salida de un circuito secuencial síncrono que contiene dos biestables. El biestable 0 es de tipo RS y el biestable 1 es de tipo JK. Considerando que las señales se proporcionan en doble raíl, se pide implementar lo siguiente procurando minimizar el coste:

- cada señal de excitación del biestable 0 con un circuito en dos niveles de puertas
- cada señal de excitación del biestable 1 con un circuito en dos niveles de puertas NOR
- cada señal de salida con un circuito en dos niveles de puertas NAND

	$q_1q_0$	00	01	11	10
$x_1x_0$					
00		00,11	01,01	11,01	10,01
01		00,11	01,11	11,11	10,11
11		01,10	10,10	00,10	11,10
10		11,00	00,00	10,00	01,01
		$Q_1Q_0, Z_1Z_0$			

**Importante:** Debe indicar explícitamente los nombres internos de las entradas y salidas de los componentes que utilice así como el apartado al que responde.