



Asignatura: Circuitos Electrónicos Digitales
(CED) Titulación: Grado en Ing. Informática - Tec.
Informáticas
Curso: 1º
Prueba de Evaluación Continua
Año académico: 2014-2015

Nombre: _____

Un circuito tiene 5 entradas y dos salidas E y NP. Las entradas representan un número de 4 bits junto con un bit de paridad impar. La salida E informa si la paridad es correcta y NP si el número es par.

- Represente los k-mapas de ambas salidas.
- Diseñe E con multiplexores de 4 canales.
- Diseñe NP con un decodificador y puertas. Reduzca en lo posible el número de entradas del decodificador.

Se tienen dos números de n bits A y B. Se desea saber si la diferencia entre ambos es menor o igual a 3. Diseñe un circuito que tenga como entradas dichos números y con una salida que nos indique la condición mencionada. Utilice como entradas subsistemas combinatoriales y puertas.

1. Diseñe una ALU cuya descripción aparece en el siguiente código verilog.

```
module alu(  
input signed [WIDTH-1:0] a, // primer operando  
input signed [WIDTH-1:0] b, // segundo operando  
input [1:0] op, // entradas de selección de operación  
input cin, // acarreo de entrada  
output signed [WIDTH-1:0] f, // salida  
output ov, // salida de desbordamiento (overflow)  
output cout // carry de salida en operaciones aritméticas  
);  
parameter WIDTH = 3;  
reg f, ov;  
always @*  
begin  
/* Nos aseguramos que a cout y ov siempre se les asigne un valor */  
ov = 0;  
cout = 0;  
if (op[1] == 0)  
begin :  
reg signed [WIDTH:0] s;  
case (op[0])  
1'b0: s = a + b+cin;  
1'b1: s = a + (~b) + cin;  
endcase  
  
ov = (s[WIDTH] == s[WIDTH-1])? 0: 1;  
  
f = s[WIDTH-1:0];  
cout = s[WIDTH];  
end
```

```
else
begin
case (op[0])
1'b0: f = a & b; // AND
1'b1: f = a | b; // OR
endcase
end

end // always
endmodule // alu
```

El diseño deberá realizarse de acuerdo a los siguientes pasos.

- a) Módulo para un bit que realiza las operaciones aritméticas.
- b) Módulo para un bit que realiza las operaciones lógicas.
- c) Módulo para un bit completo uniendo los módulos aritmético y lógico de los apartados (b) y (c).
- d) ALU utilizando los módulos diseñados en el apartado (c).