

Circuitos Electrónicos Digitales
Primera Prueba. Noviembre 2023.

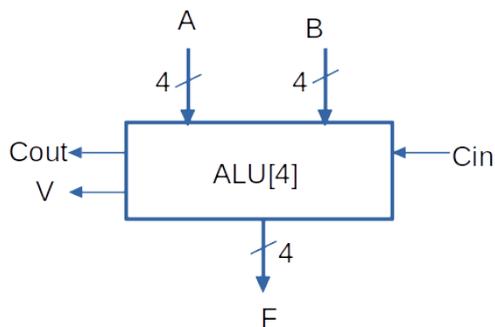
Apellidos y Nombre: _____

1. Un sistema de transmisión de mensajes de 4 bits ($m_3m_2m_1m_0$) contiene un circuito que tiene como entrada dicho mensaje y genera tres bits que se añaden al mismo dando información sobre él para distintos propósitos, los bits añadidos se denominan A, B y C. A es un bit de paridad impar, B indica si el número es primo y C indica si el número está en los intervalos [2,5] o [9,15].

- a) Dibuje el diagrama de bloques del sistema.
- b) Diseñe A con multiplexores de 4 canales.
- c) Diseñe B con decodificares con salidas activas en bajo y puertas NAND.
- d) Diseñe C sólo con puertas NAND.

4 puntos

2. Sea la ALU de 4bits de la figura que dispone de flags de desbordamiento (V) y salida de acarreo (Cout).



La tabla de operación es la siguiente

S2S1S0	F	S2S1S0	F
000	$A+B+Cin$	100	A nor B
001	$A+\bar{B}+Cin$	101	A nand B
010	$\bar{A}+B+Cin$	110	A xor B
011	B	111	\bar{B}

- a) Diseñe una etapa típica de la ALU e indique cómo se obtendrían los flags.
- b) Indique los valores de las variables de selección de la operación y de Cin que hay que poner para realizar las siguientes operaciones: $A+B$; $A-B$; $B-A$.
- c) Complete la tabla mostrada:

S2S1S0 Cin	A	B	F en binario	F en base 10	V	Cout	Resultado correcto?
0000	0010	0101					
0011	1100	1010					
0000	1001	1101					
0101	0111	0100					
110x	0000	1010					
100x	1001	1101					

5 puntos

3. Dibuje el diagrama del circuito que corresponde a la siguiente descripción en verilog y ponga su tabla de funcionamiento.

```
module desconocido(  
input [7:0] in,output reg [2:0] out, output reg e);  
always @(in) begin  
e = 0;  
casex (in)  
8'b1xxxxxxx: out = 3'h7;  
8'b01xxxxxx: out = 3'h6;  
8'b001xxxxx: out = 3'h5;  
8'b0001xxxx: out = 3'h4;  
8'b00001xxx: out = 3'h3;  
8'b000001xx: out = 3'h2;  
8'b0000001x: out = 3'h1;  
8'b00000001: out = 3'h0;  
default: begin  
out = 3'h0;  
e = 1;  
end  
endcase  
end  
endmodule
```

1 punto