
Unidad 10. Memorias semiconductoras (en construcción)

Circuitos Electrónicos Digitales
E.T.S.I. Informática
Universidad de Sevilla

Jorge Juan <jjchico@dte.us.es> 2010-2020

Esta obra esta sujeta a la Licencia Reconocimiento-CompartirIgual 4.0 Internacional de Creative Commons. Para ver una copia de esta licencia, visite <http://creativecommons.org/licenses/by-sa/4.0/> o envíe una carta Creative Commons, PO Box 1866, Mountain View, CA 94042, USA.

Contenidos

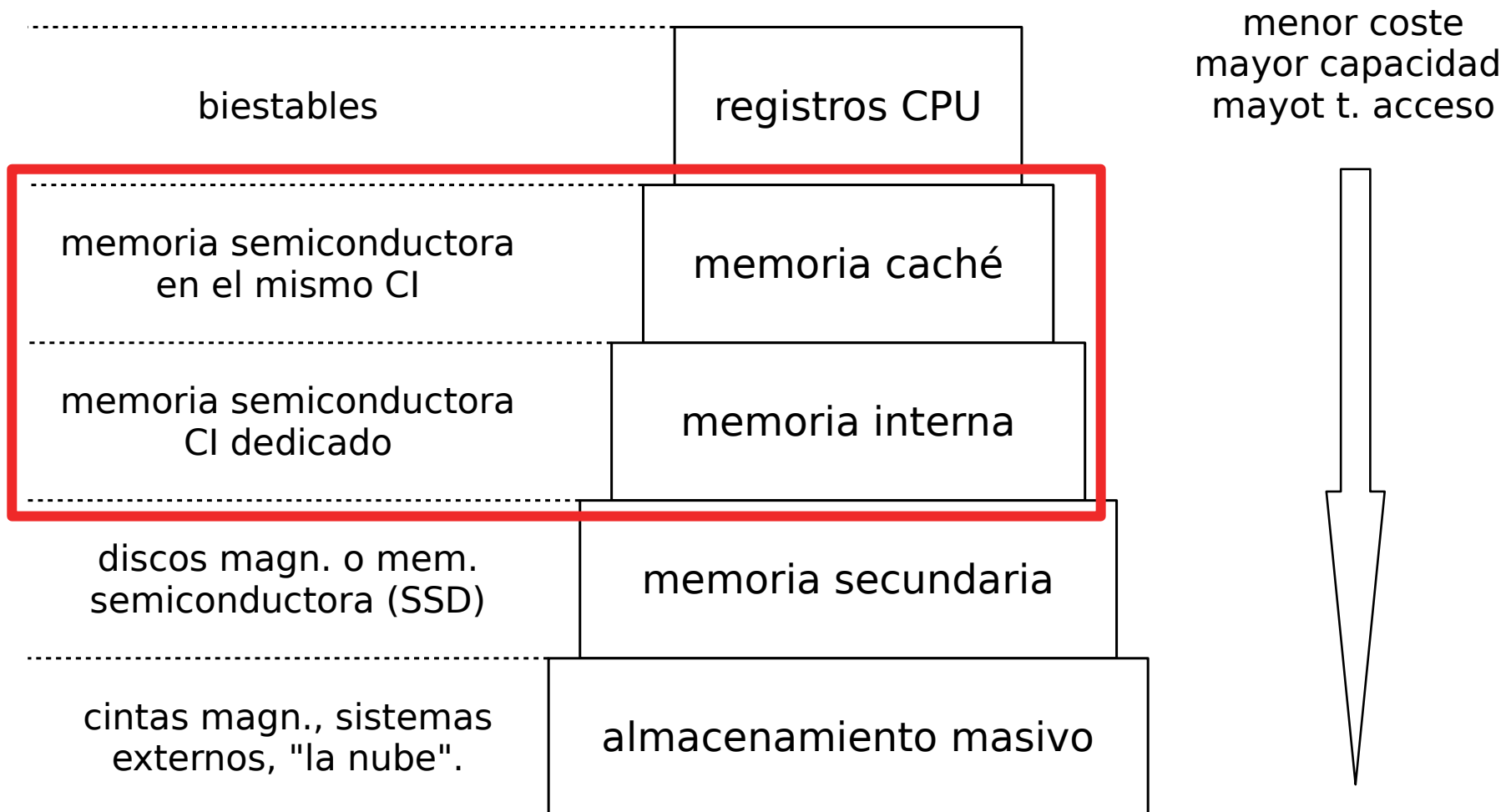
- Dispositivos de memoria.
- Clasificación de la memoria.
- Memoria semiconductora.
- Memorias no volátiles (ROM, etc.).
- Memoria de acceso aleatorio (RAM).
- Expansión de la memoria.
- Memorias especiales.

Bibliografía

- Lecturas recomendadas
 - LaMeres, capítulo 10
 - Memoria semiconductora.
 - curso-verilo.v, unidad 8
 - Ejemplos de diseño de memorias

Dispositivos de memoria. Jerarquía

- No hay un solo tipo de memoria que cumpla todos los requisitos: combinación de diversas tecnologías.

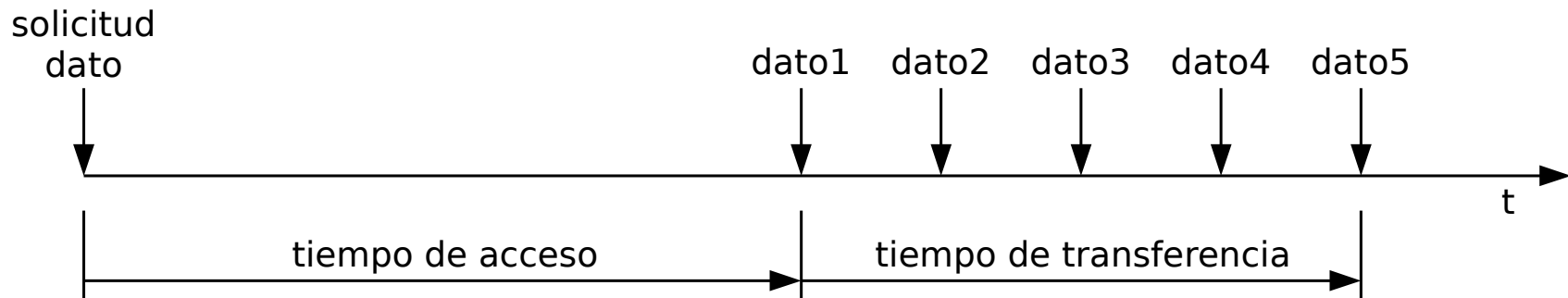


Clasificación de la memoria

- Conservación de la información
 - No volátil: conserva la información sin suministro de energía.
 - Volátil: la información se borra al interrumpirse el suministro de energía.
- Tipo de acceso
 - Aleatorio: se puede acceder a cualquier dato almacenado con la misma eficacia.
 - Secuencial: hay que recorrer el medio para acceder a un determinado dato.
- Tecnología de fabricación y operación
 - Semiconductores/estado sólido: circuitos electrónicos.
 - Magnética: magnetización de materiales ferromagnéticos y detección del campo.
 - Óptica: reflexión o alteración de haces de luz (laser).
 - Etc.

Parámetros temporales

- Tiempo de acceso (latencia): tiempo desde la solicitud hasta la obtención del dato.
- Tasa de datos: número de datos transferidos por unidad de tiempo
 - $\text{tasa datos} = \text{total de datos} / \text{tiempo de transferencia}$



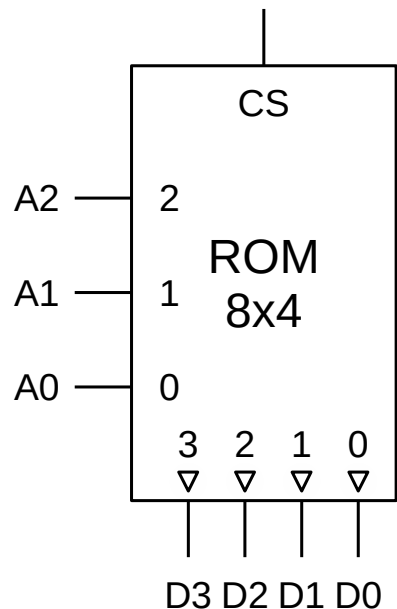
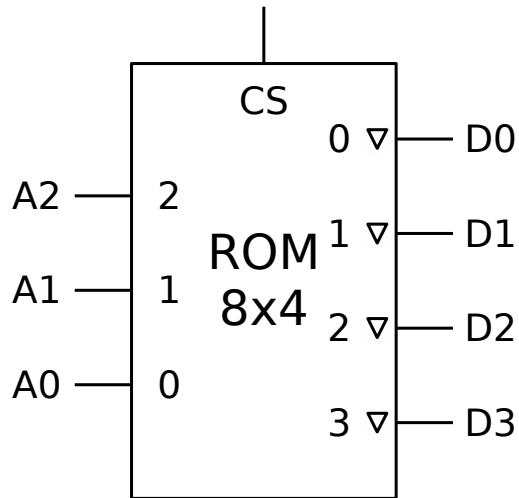
Memoria semiconductor

- Memorias empleadas como memoria principal del computador
 - Memorias de solo lectura o de lectura preferente.
 - No volátiles
 - Sólo lectura o lectura preferente: lectura aleatoria por palabras.
 - Escritura/borrado: por bloques. Con limitaciones.
 - Utilidad: almacenamiento de datos y/o programas permanentes. Ej: datos estáticos, programas de inicio, etc.
 - Memorias de lectura/escritura de acceso aleatorio.
 - Lectura y escritura por palabras y eficiente.
 - Volátiles.
 - Utilidad: almacenamiento de datos y programas en tiempo de ejecución.
- Memorias empleadas como memoria secundaria
 - Memoria Flash
 - No volátil, lectura y escritura eficientes por bloques.

Memoria ROM

- ROM: Read-Only Memory
- Matriz con direcciones asociadas a filas y datos asociados a columnas.
- El dato suministrado por la memoria depende de la configuración de las intersecciones de la matriz
- La configuración (el contenido) de la memoria se decide al fabricar la memoria.
- Una vez fabricada, la memoria sólo puede “leerse” y es no volátil.

Dispositivos ROM

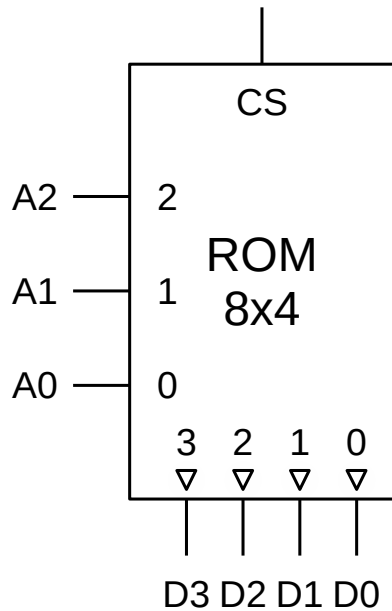


CS	A2	A1	A0	d3	d2	d1	d0
0	x	x	x	z	z	z	z
1	0	0	0	1	0	0	0
1	0	0	1	0	1	0	0
1	0	1	0	1	0	1	0
1	0	1	1	0	1	0	1
1	1	0	0	1	0	1	1
1	1	0	1	0	0	0	0
1	1	1	0	1	1	1	0
1	1	1	1	0	0	1	1

A	D
0	8
1	4
2	A
3	5
4	B
5	0
6	E
7	3

CS: Chip Select (selector de chip)
z = HI = High Impedance (alta impedancia)

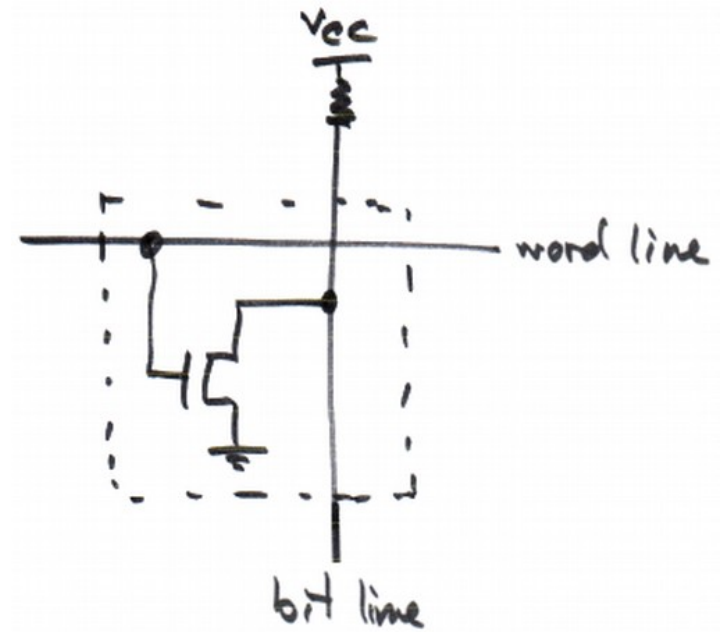
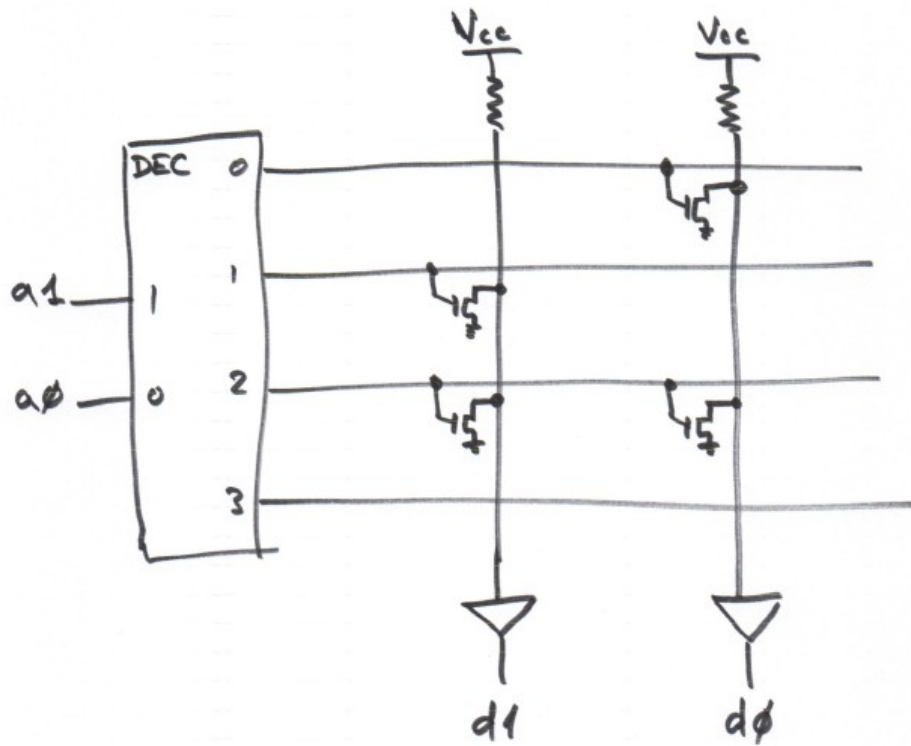
ROM. Descripción en Verilog



A	D
0	8
1	4
2	A
3	5
4	B
5	0
6	E
7	3

```
module rom8x4(  
    input cs,  
    input [2:0] a,  
    output reg [3:0] d  
);  
  
    always @(cs, a)  
        if (cs)  
            case (a)  
                0:      d = 'h8;  
                1:      d = 'h4;  
                2:      d = 'hA;  
                3:      d = 'h5;  
                4:      d = 'hB;  
                5:      d = 'h0;  
                6:      d = 'hE;  
                default: d = 'h3;  
            endcase  
        else  
            d = 'hz;  
    endmodule // rom8x4
```

ROM. Estructura interna. Ej: ROM 4x2



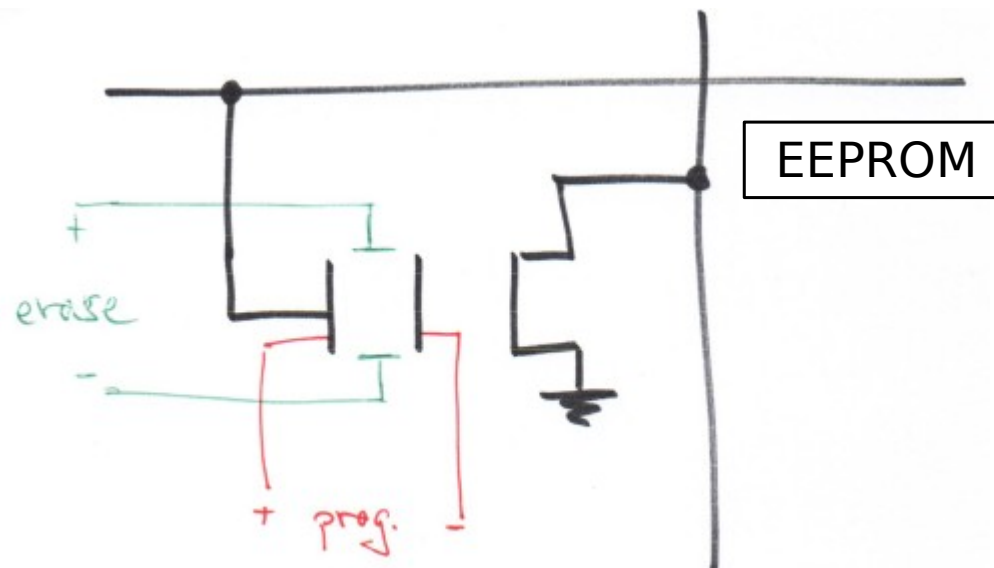
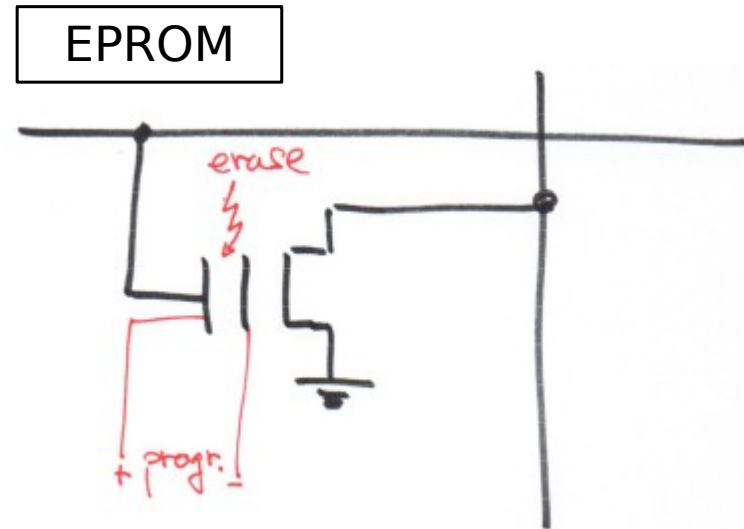
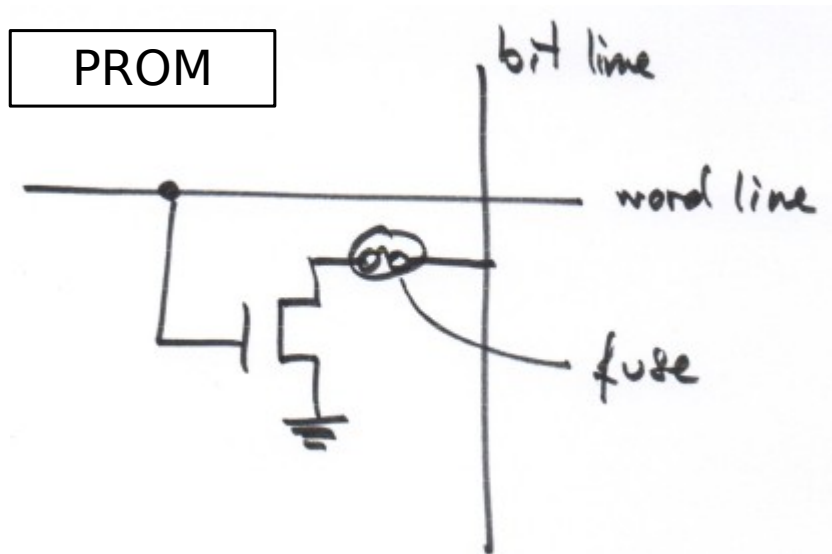
a_1	a_0	d_1	d_0
0	0	1	0
0	1	0	1
1	0	0	0
1	1	1	1

A	[A]
0	2
1	1
2	0
3	3

ROM programable y borrable

- PROM: ROM programable
 - Programable una vez tras la fabricación mediante fusibles o anti-fusibles.
 - Hay que sustituir el componente para cambiar la programación.
- EPROM: ROM programable y borrable
 - Borrable mediante luz ultravioleta.
 - Programable eléctricamente.
 - Hay que desmontar el componente para volverlo a programar.
- EEPROM: ROM programable y borrable eléctricamente
 - Borrable y programable eléctricamente.
 - Se puede re-programar in-situ sin desmontar el componente.

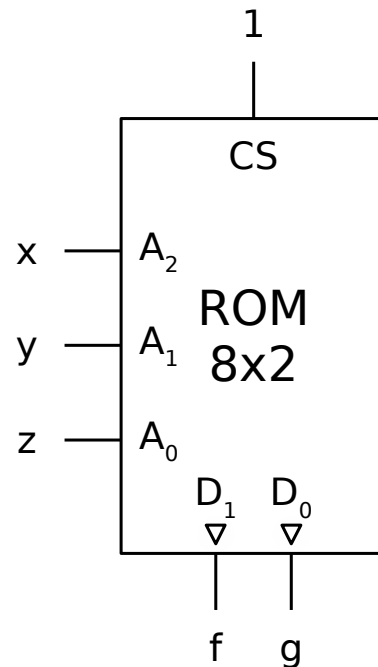
PROM, EPROM y EEPROM



Diseño lógico con ROM

- Ejemplo: implementar las funciones con una ROM 8x2
 - $f(x,y,z) = \Sigma(1,3,5,7)$, $g(x,y,z) = \Sigma(0,2,4,5)$

A_2	A_1	A_0	D_1	D_0
x	y	z	f	g
0	0	0	0	1
0	0	1	1	0
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	1
1	1	0	0	0
1	1	1	1	0



A	D
0	1
1	2
2	1
3	2
4	1
5	3
6	0
7	2

Memoria RAM

- Dispositivos de memoria.
- Clasificación de la memoria.
- Memoria semiconductora.
- Memorias no volátiles (ROM, etc.).
- **Memoria de acceso aleatorio (RAM).**
- Expansión de la memoria.
- Memorias especiales.

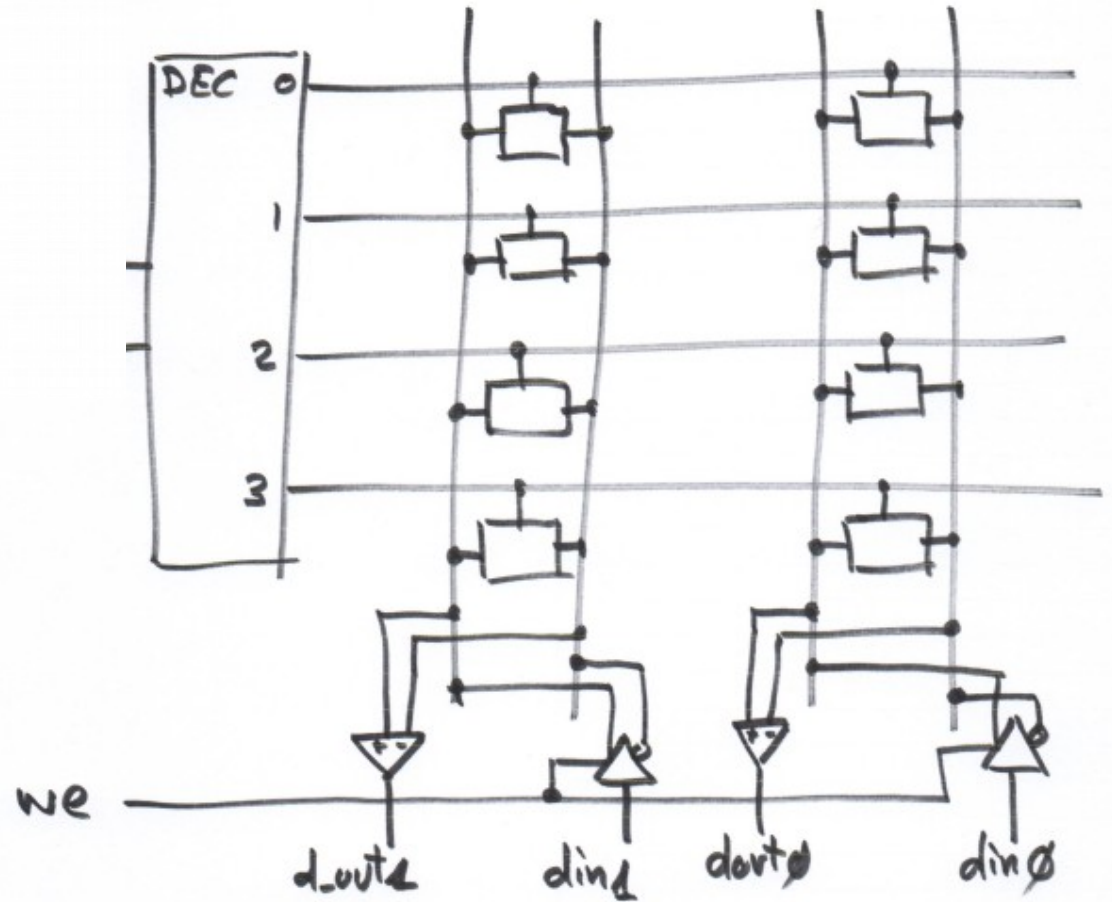
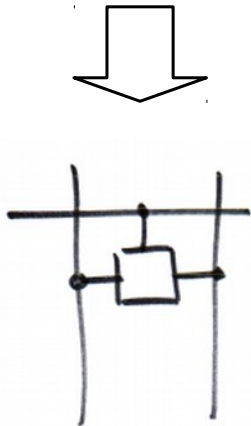
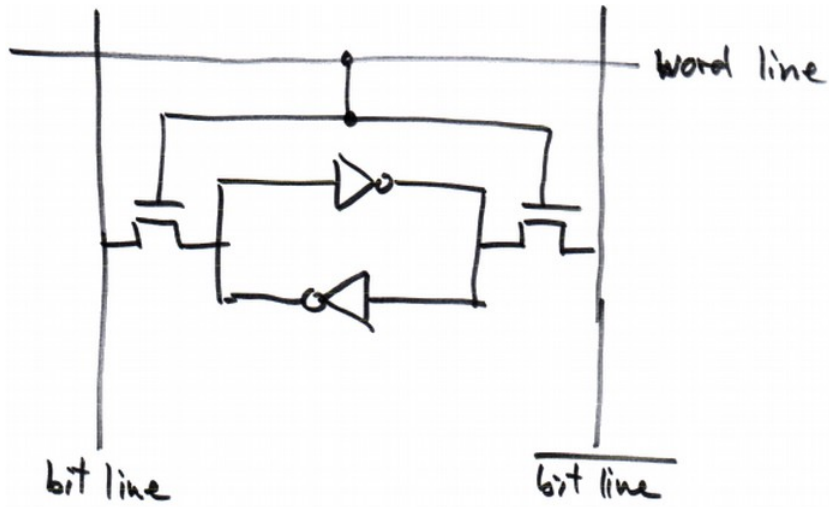
Memoria RAM

- RAM: Random Access Memory
- Lectura y escritura a la misma velocidad
- Prácticamente infinitas lecturas y escrituras
- Señales de control para elegir operación (lectura o escritura)

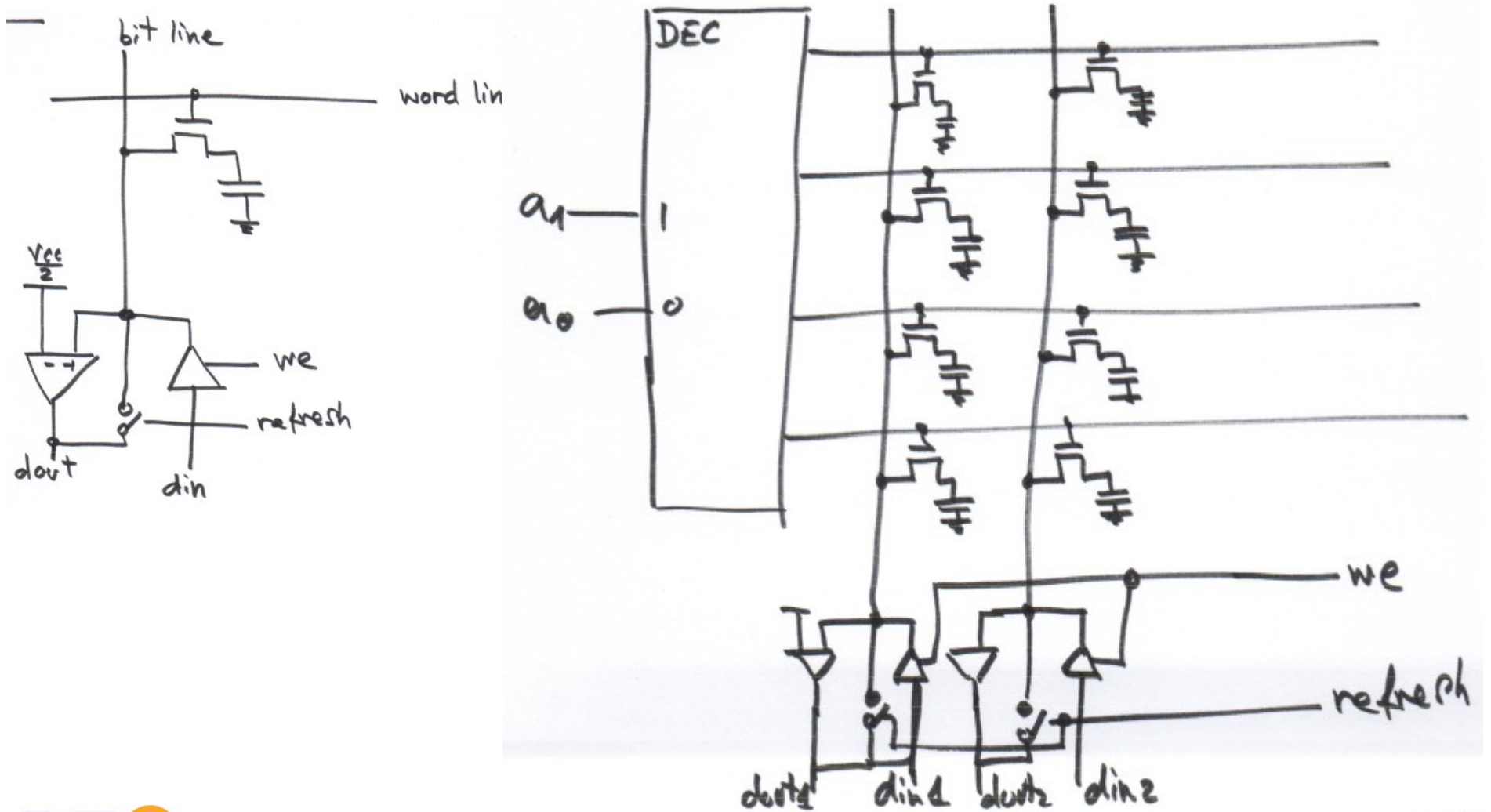
RAM. Clasificación básica

- Tipo de buses:
 - Buses de lectura y escritura separados.
 - Ej: dentro de chips/FPGA
 - Bus único de lectura/escritura (en chips de memoria)
- Tipo de sincronismo
 - Asíncronas
 - La lectura/escritura ocurre tan pronto se activan las señales de control.
 - Síncronas:
 - La lectura/escritura ocurre cuando se produce un flanco activo de la señal de reloj.
- Tipo de celda de memoria:
 - Estáticas: cada celda de memoria es un biestable.
 - Dinámicas: cada celda está formada por un condensador y un transistor que actúa como interruptor.

RAM estática



RAM dinámica



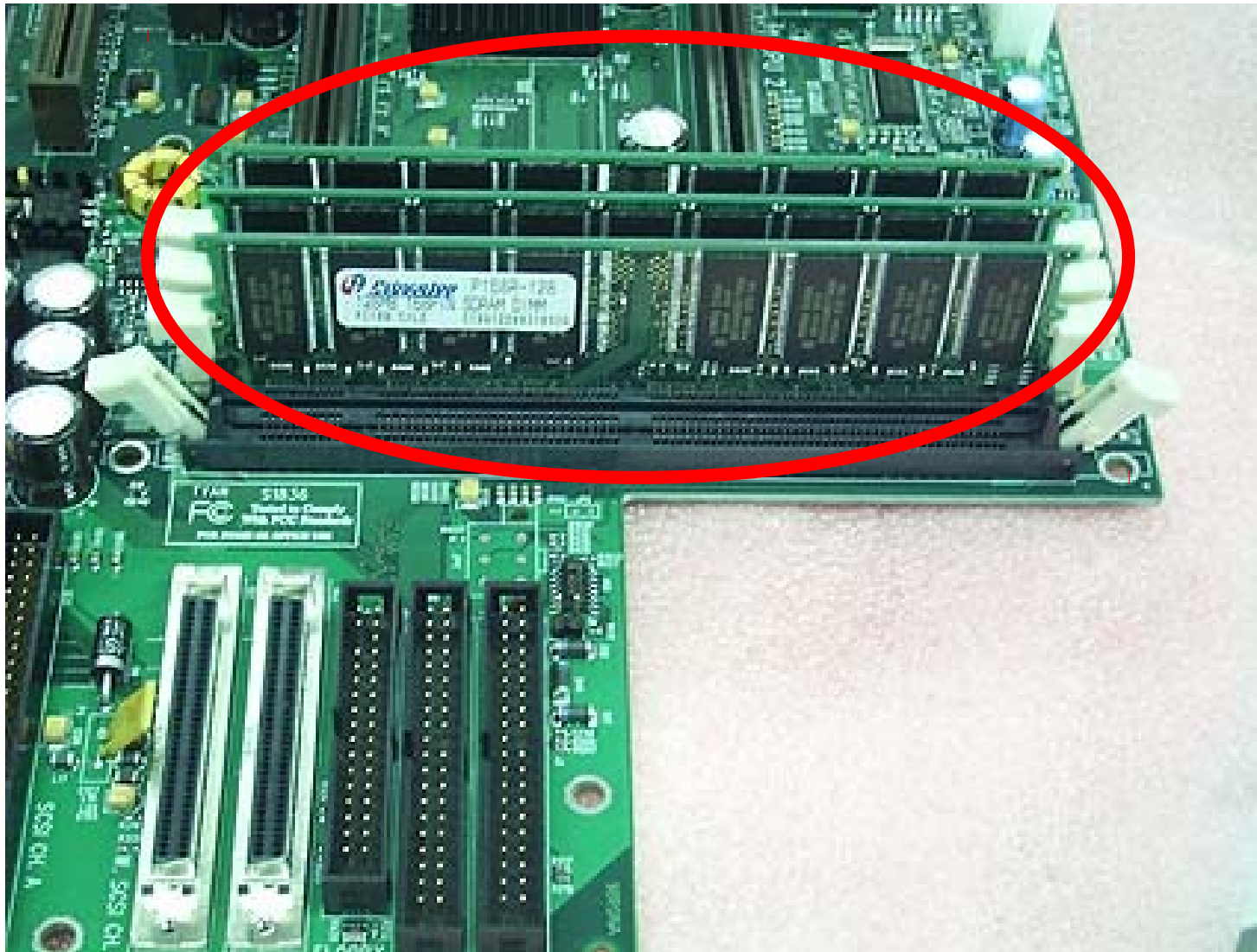
RAM estática vs. dinámica

- Estática
 - más rápida
 - más fácil de usar (no necesita refresco)
 - más cara (más componentes = más área)
 - puede ser asíncrona o síncrona
- Dinámica
 - más lenta
 - más difícil de usar (señales de control adicional para operaciones de refresco)
 - más barata (menos componentes = menos área)
 - siempre síncrona

Simulación RAM estática

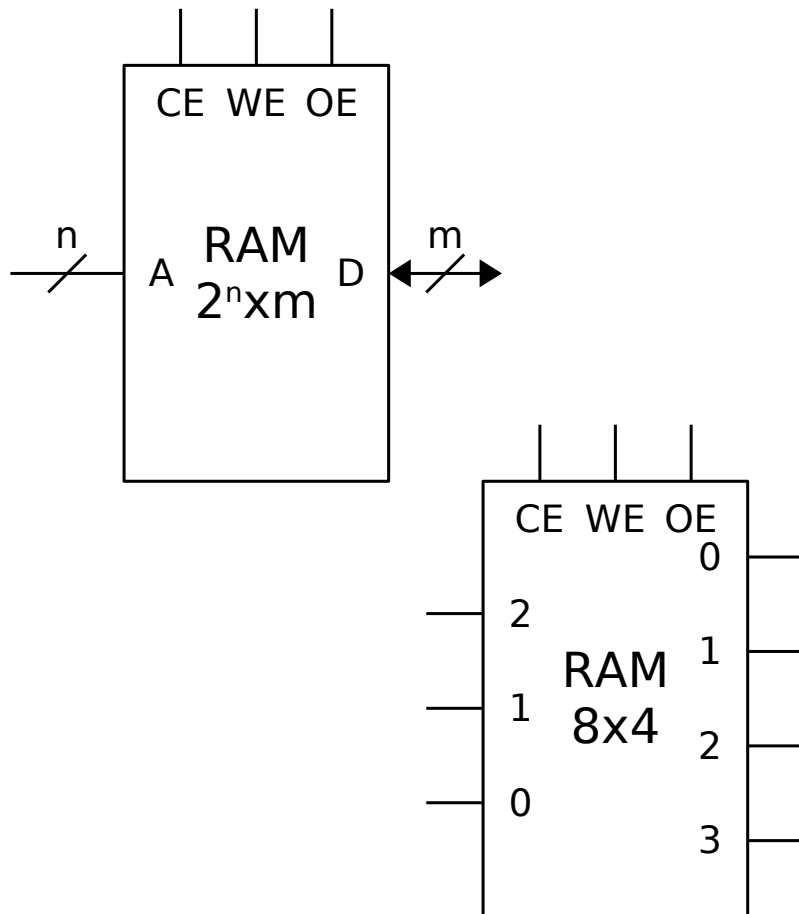
Simulación RAM dinámica

RAM. Módulos de memoria



RAM. Ejemplo 1

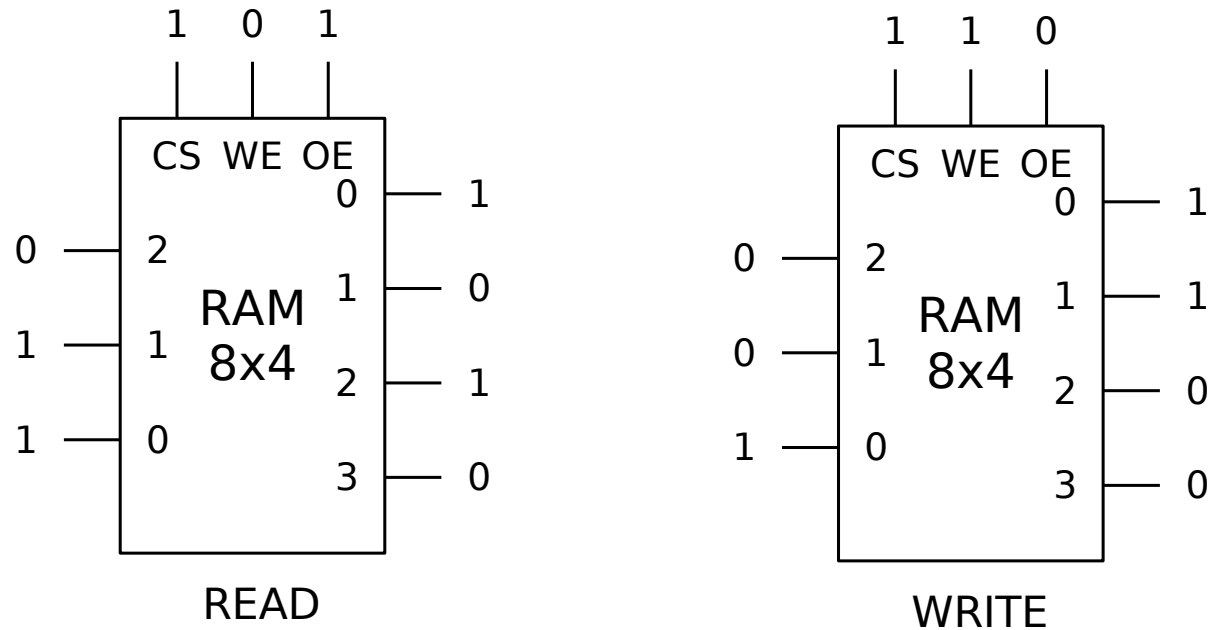
RAM asíncrona, bus de datos de entrada/salida



- Señales:
 - A: bus de direcciones
 - D: bus de datos
 - CE (chip enable)
 - WE (write enable)
 - OE (output enable)
- Configuración tradicional de chips de RAM estática:
 - Bus entrada/salida: ahorra pines en el chip
 - CE y OE: facilita la expansión de la memoria con varios chips

See example: <http://www.cypress.com/?docID=31956>

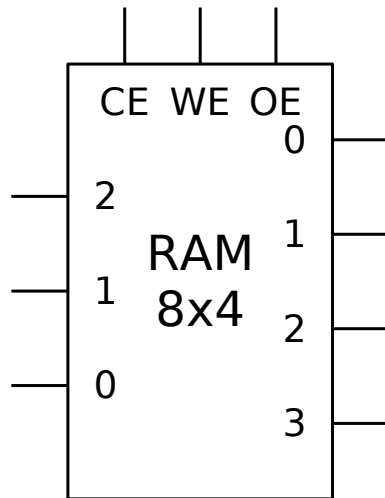
RAM. Ejemplo 1. Operación



A2	A1	A0	D3	D2	D1	D0
0	0	0	1	0	0	0
0	0	1	0	0	1	1
0	1	0	1	0	1	0
0	1	1	0	1	0	1
1	0	0	1	0	1	1
1	0	1	0	0	0	0
1	1	0	1	1	1	0
1	1	1	0	0	1	1

RAM. Ejemplo 1

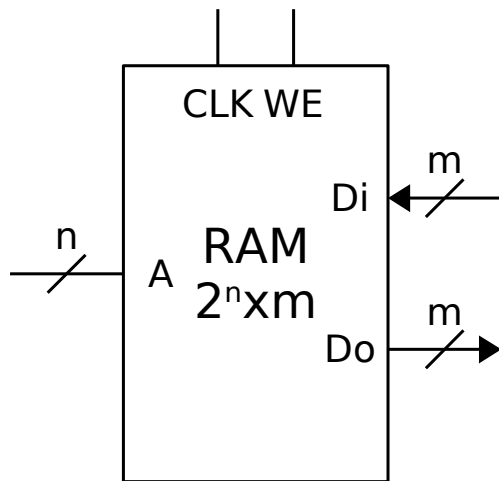
Descripción Verilog



```
module ram8x4 (  
    input ce,  
    input we,  
    input oe,  
    input [2:0] a,  
    inout [3:0] d  
);  
  
    reg [3:0] ram [0:7];  
  
    always @*  
        if (ce && we)  
            ram[a] = d;  
        if (ce && oe)  
            d = ram[a];  
        else  
            d = 4'bzzzz;  
  
endmodule // ram8x4
```


RAM. Ejemplo 2

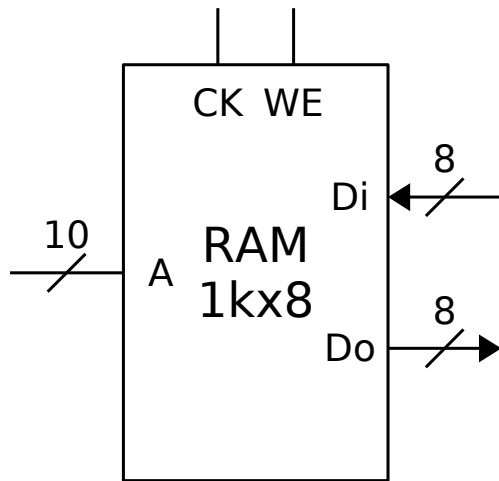
RAM con lectura y escrituras síncronas. Buses de entrada y salida independientes



- Señales:
 - A: bus de direcciones
 - Di: bus de datos de entrada
 - Do: bus de datos de salida
 - CLK: reloj
 - WE (write enable)
- Configuración típica de RAM en chips actuales (ej. FPGA)
 - El contenido y la salida sólo cambian en los flancos activos de reloj
 - La operación síncrona es más rápida y previsible
 - La entrada/salida independiente hace más fácil el control y uso.

RAM. Ejemplo 2

Descripción Verilog



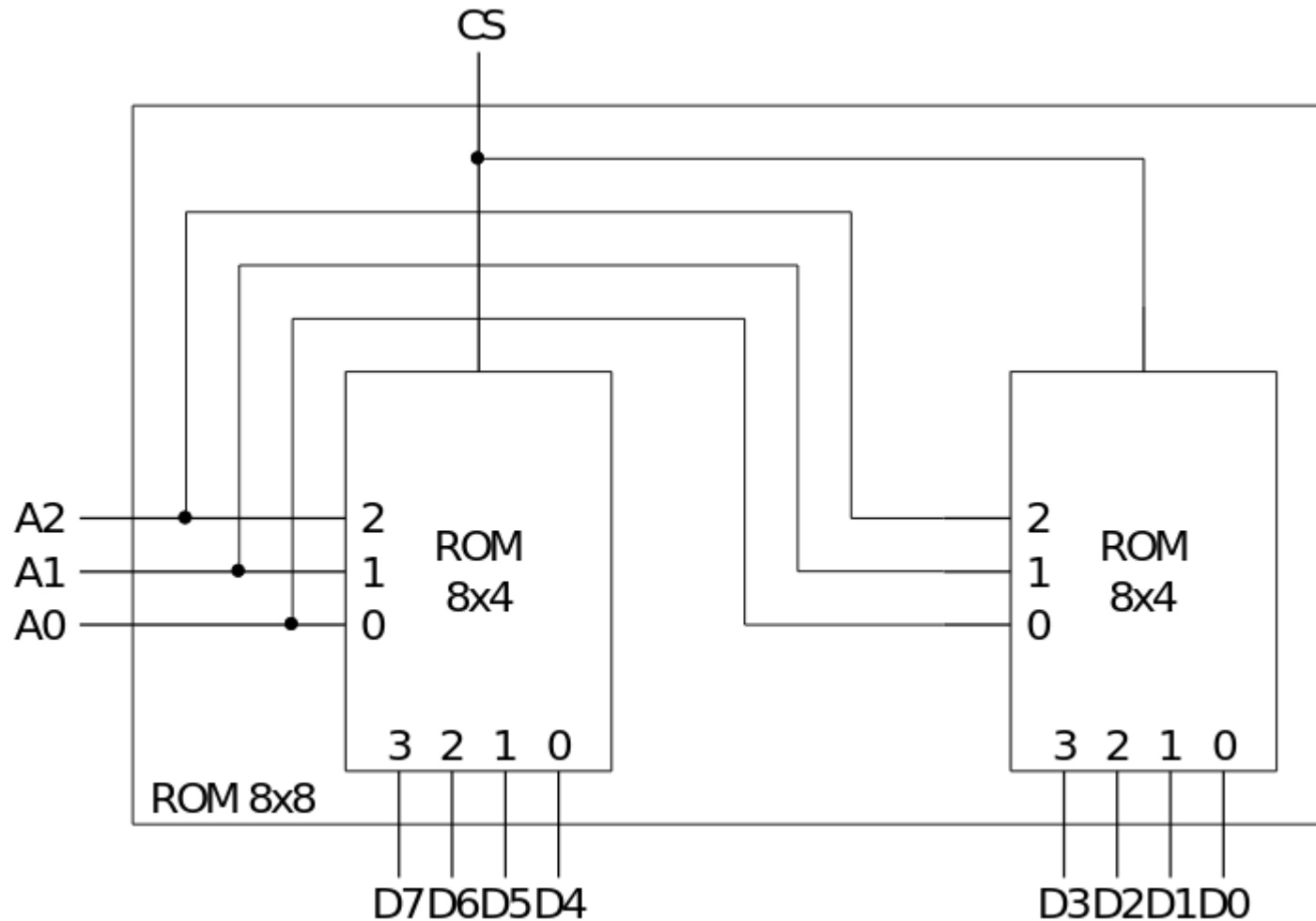
```
module ram_1kx8 (  
    input ck,  
    input we,  
    input [9:0] a,  
    input [7:0] di,  
    output [7:0] do  
);  
  
    reg [7:0] ram [0:1023];  
    reg [9:0] reg_a;  
  
    always @(posedge ck)  
        if (we) begin  
            ram[a] <= di;  
            reg_a <= a;  
        end  
  
    assign do = ram[reg_a];  
  
endmodule // ram_1kx8
```

Expansión de la memoria

- Dispositivos de memoria.
- Clasificación de la memoria.
- Memoria semiconductora.
- Memorias no volátiles (ROM, etc.).
- Memoria de acceso aleatorio (RAM).
- **Expansión de la memoria.**
- Memorias especiales.

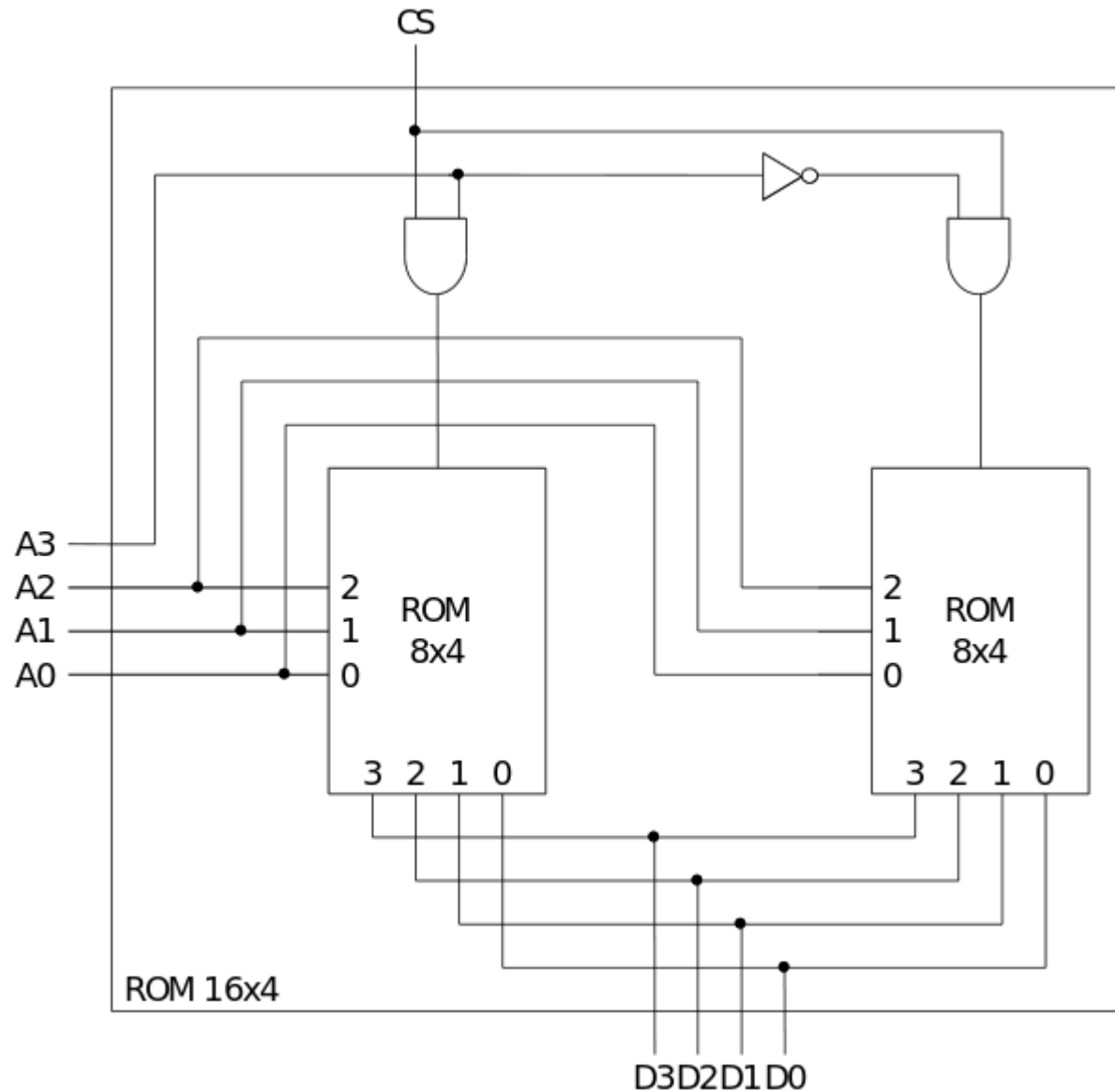
ROM. Expansión de la anchura de la palabra

ROM 8x8 a partir de ROM 8x4

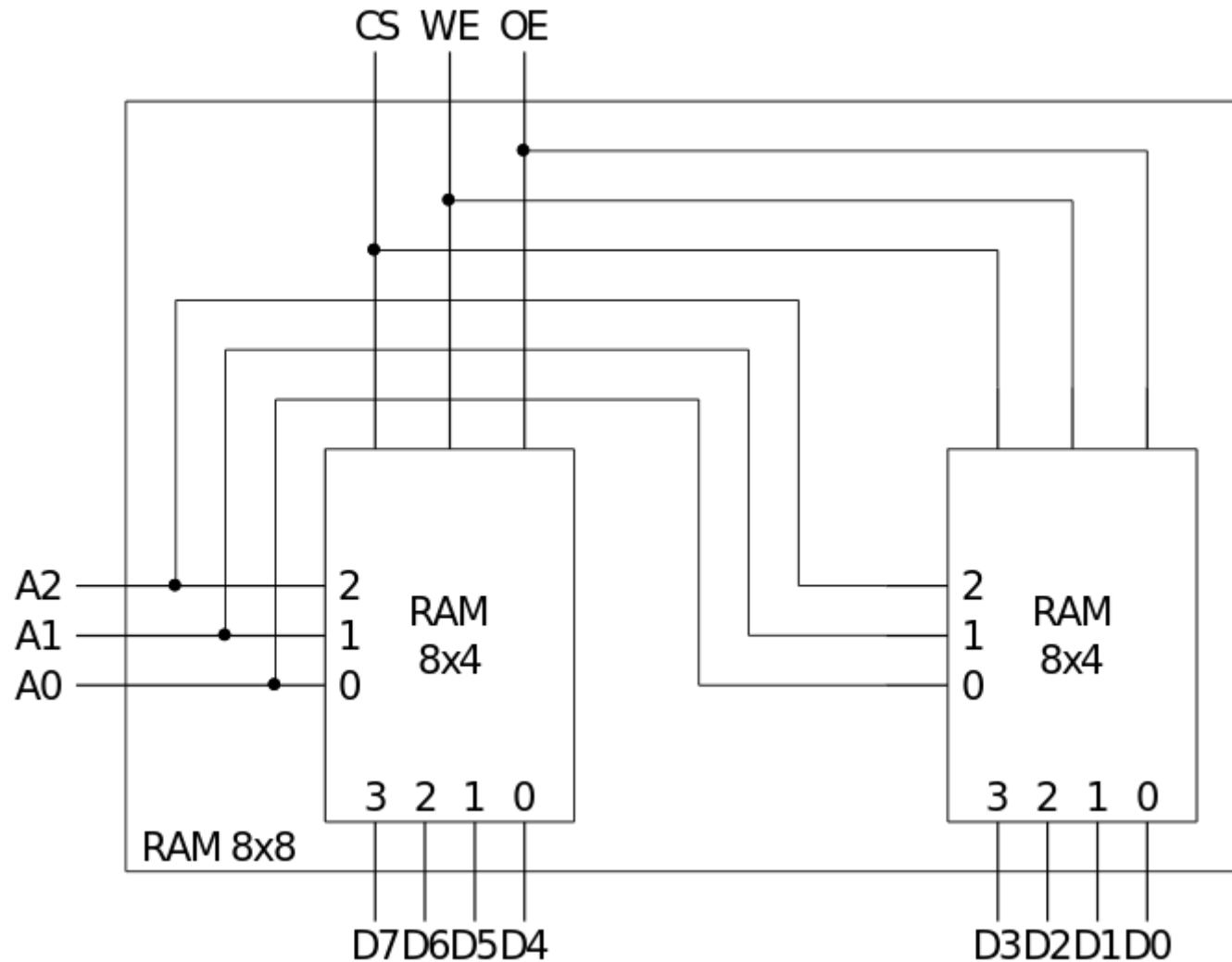


ROM. Expansión del espacio de direccionamiento

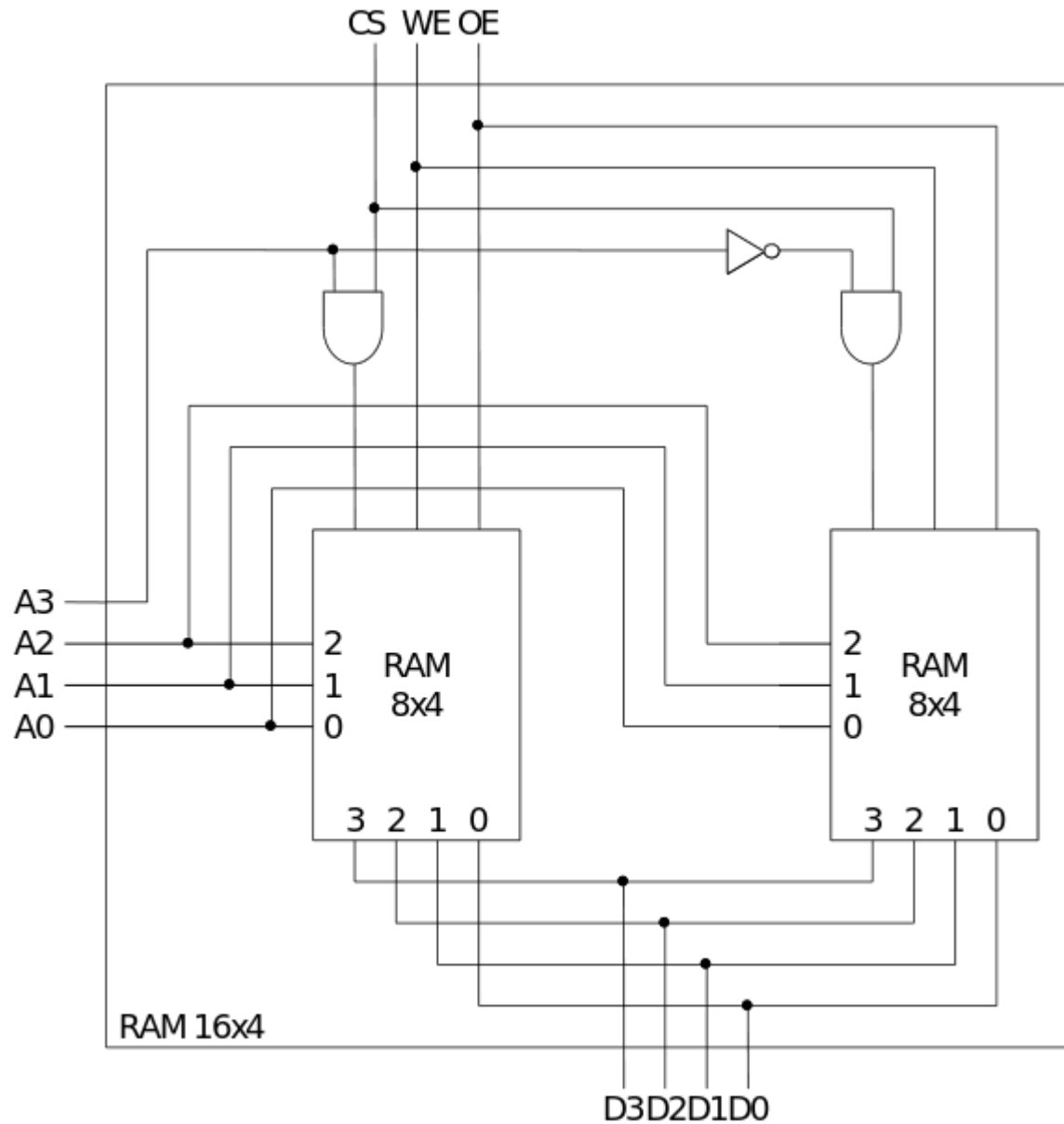
ROM 16x4 a partir de ROM 8x4



RAM asíncrona. Expansión de la anchura de la palabra



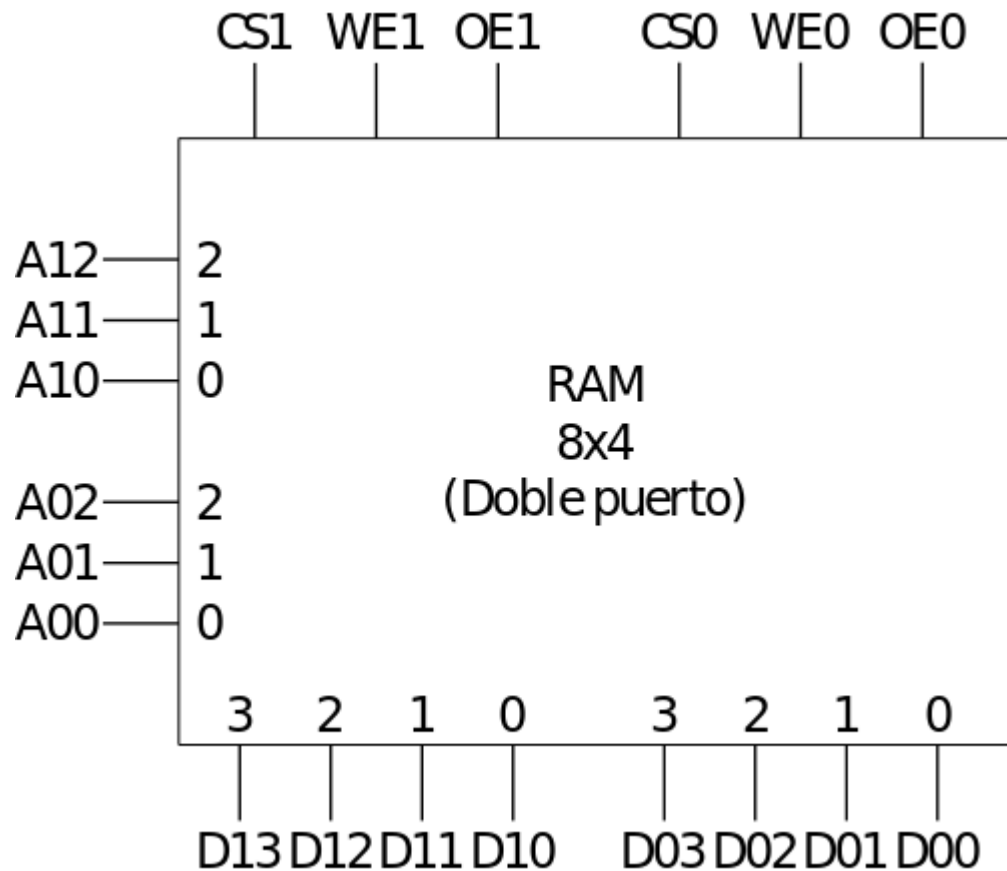
RAM asíncrona. Expansión del espacio de direccionamiento



Memorias especiales

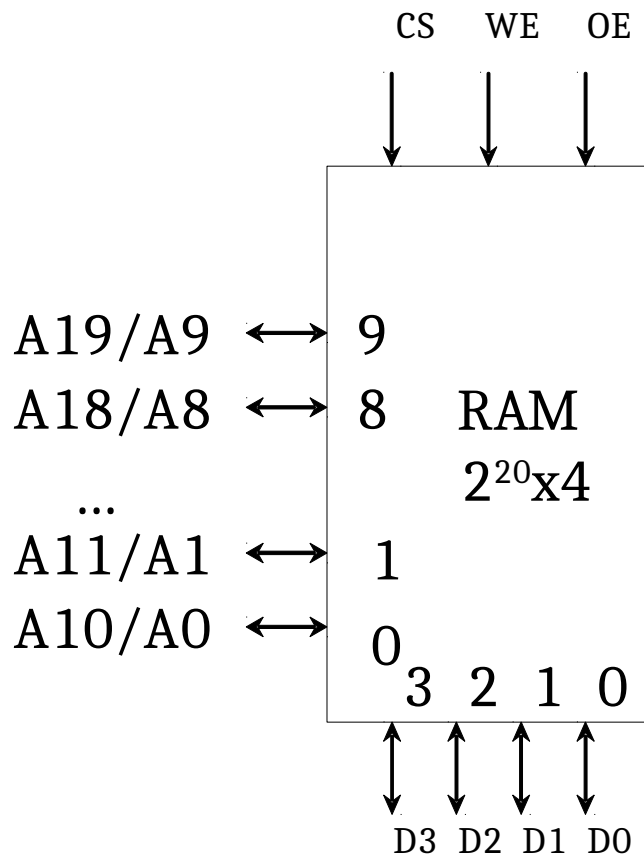
- Dispositivos de memoria.
- Clasificación de la memoria.
- Memoria semiconductora.
- Memorias no volátiles (ROM, etc.).
- Memoria de acceso aleatorio (RAM).
- Expansión de la memoria.
- **Memorias especiales.**

Memorias de doble puerto



- Dos puertos (buses) de direcciones y datos independientes
- Pueden hacer simultáneamente:
 - 2 lecturas
 - 2 escrituras
 - 1 lectura + 1 escritura
- Comunes en los primeros adaptadores gráficos

Multiplexado de buses



- Las mismas líneas se emplean para el bus de datos y direcciones.
- Objetivo: ahorrar líneas de conexión.
- Inconveniente: operación más lenta (a veces)
- Típicamente combinada con operación de tipo “ráfaga”.

RAM no volátil (NVRAM)

- RAM que mantiene su contenido incluso sin alimentación principal.
- Objetivo:
 - Seguridad de datos en caso de fallo de la alimentación principal
 - Re-activación rápida del sistema.
- Estrategias posibles:
 - SRAM + batería de litio (Ej: configuración BIOS en ordenadores).
 - SRAM + batería principal (Ej: videoconsolas)
 - RAM + EEPROM: un pulso de “retención” hace que el contenido de la RAM se vuelque en memoria EEPROM (Ej: primeras PDA).