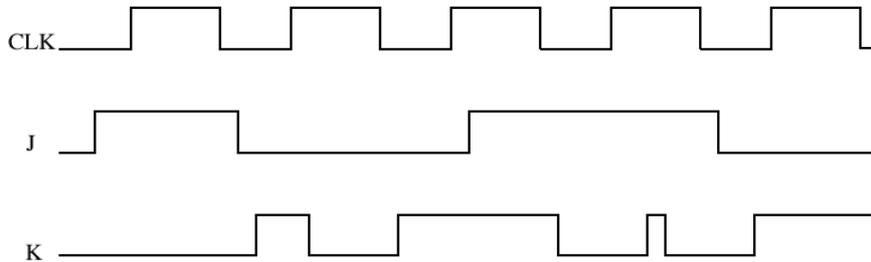
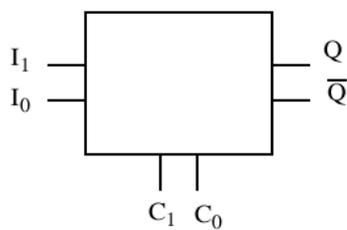


CED – Problemas – Tema 7 – Circuitos secuenciales

1.- Para las secuencias de entrada de la figura, encuentre la forma de onda de salida para el caso de un biestable JK disparado por flanco negativo. Ídem para el caso de ser disparado por flanco positivo.

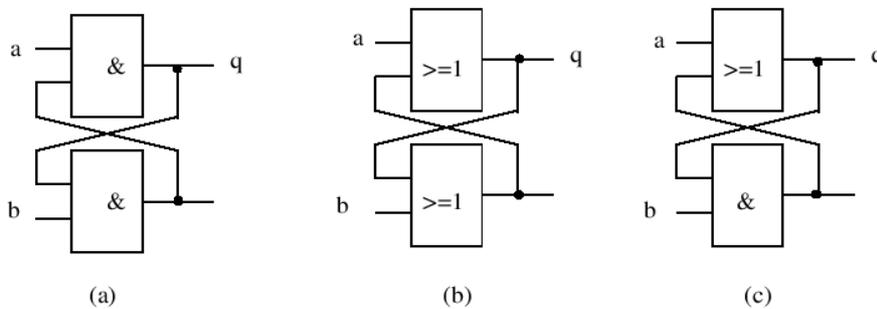


2.- Se pretende construir un circuito como el de la figura, el cual podrá actuar como SR, D, T o JK dependiendo del valor de C_1 y C_0 (ver tabla). Diseñelo utilizando como único elemento de memoria un biestable tipo T.

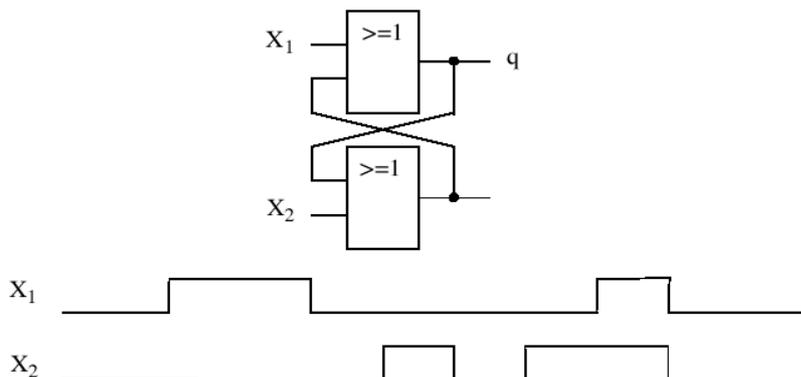


| C_1 | C_0 | I_1 | I_0 |
|-------|-------|-------|-------|
| 0 | 0 | R | S |
| 0 | 1 | D | - |
| 1 | 0 | T | - |
| 1 | 1 | J | K |

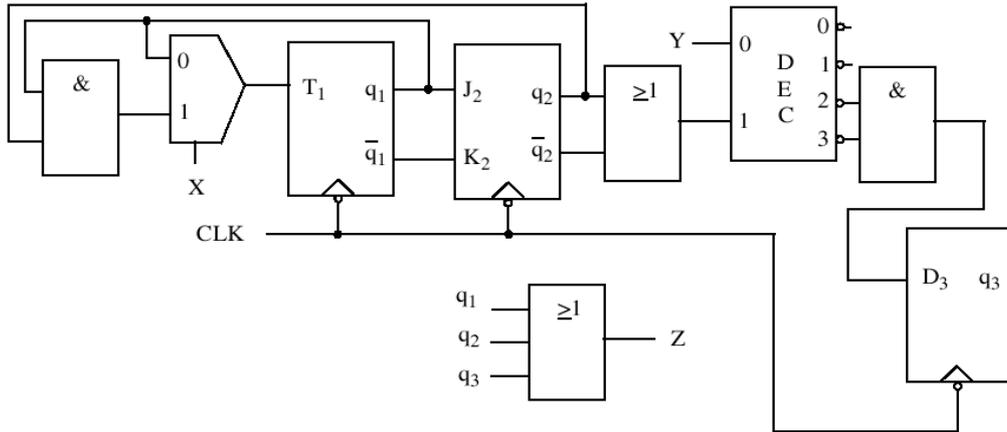
3.- Para cada uno de los circuitos de la figura, justifique razonadamente si es válido como biestable para realizar cualquier circuito secuencial:



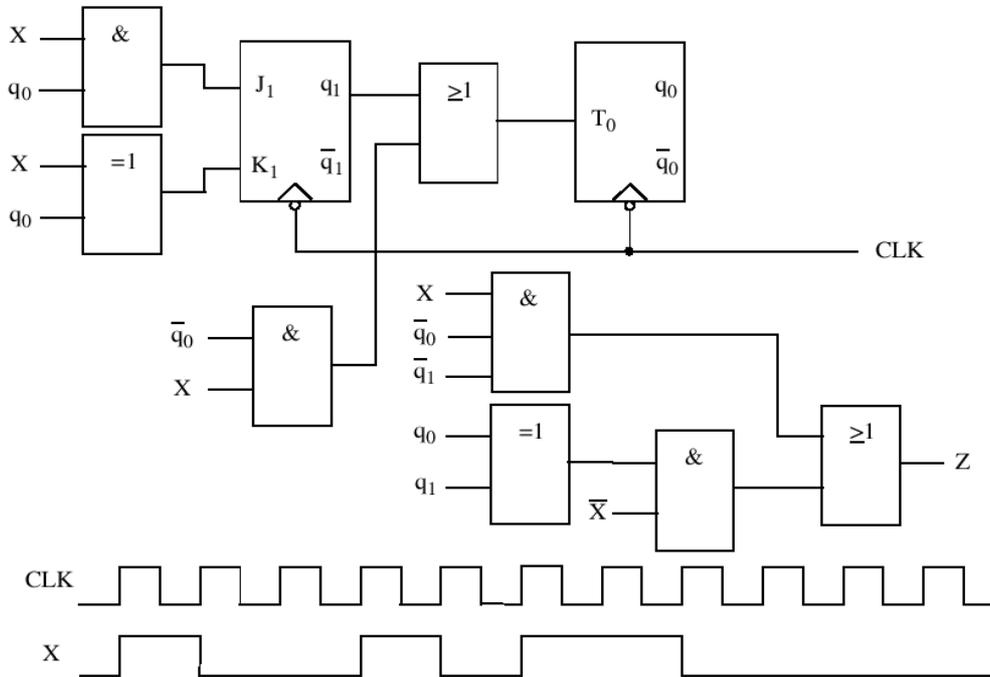
4.- Determine las formas de onda de las salidas del circuito de la figura para la secuencia de entrada que se muestra, suponiendo que las puertas tienen un retraso D . La salida inicial es $q_1q_2 = 10$.



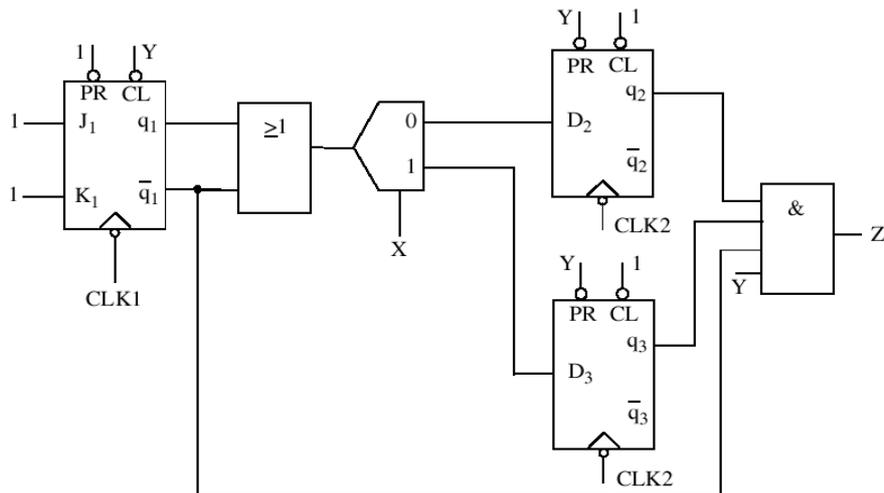
5.- Analice el circuito de la figura:

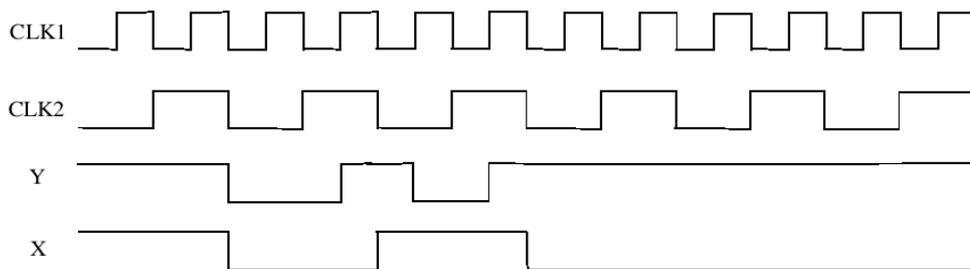


6.- Para el circuito secuencial de la figura, obtenga la forma de onda de la salida Z correspondiente a la forma de onda X mostrada también en la figura. Comience en el estado inicial q₁q₀ = 00.

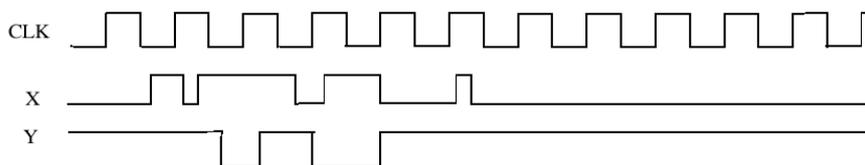
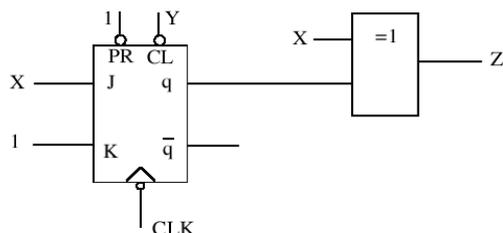


7.- Para el circuito de la figura, dibuje la forma de onda de la salida para las secuencias que se muestran. Supongamos que el sistema parte del estado q₁q₂q₃ = 000.

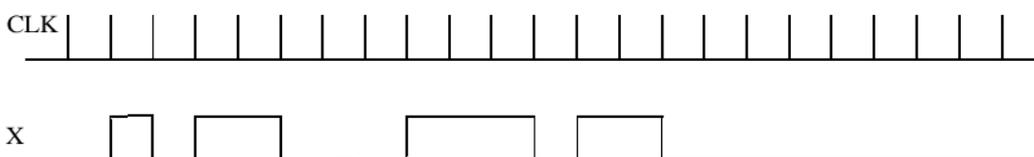
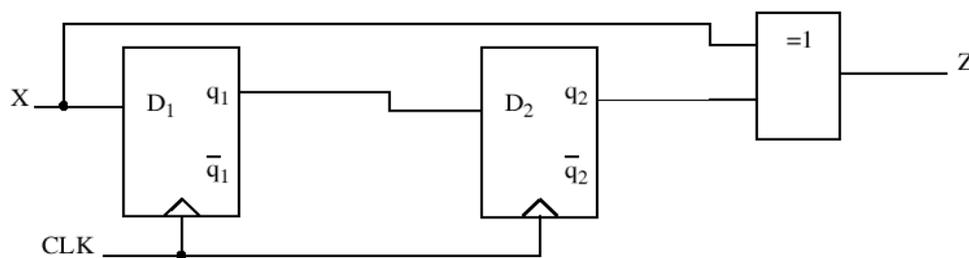




8.- Para el circuito y la secuencia de entrada de la figura, determine la forma de onda de salida. El estado inicial es desconocido. El biestable es disparado por flanco. Justifique las transiciones producidas en la salida.



9.- Analice el circuito de la figura y muestre la secuencia de salida para la secuencia de entrada dada. ¿Qué ocurriría si los biestables fueran disparados por nivel alto?



10.- Construya la tabla de estados para una máquina de Mealy con una entrada X y una salida Z, que detecte la llegada de tres ceros o tres unos consecutivos, dando una salida Z = 1 coincidiendo con la aparición del tercer bit.

11.- Obtenga el diagrama de estados de un circuito con dos entradas, X e Y, que dé salida Z = 1 cuando en los 4 últimos ciclos de reloj, las entradas hayan sido: 11, 01, 01, 11.

12.- Muestre la tabla de estados (lo más reducida posible) de una máquina secuencial síncrona con una entrada X y una salida Z que opera de la siguiente forma: cuando se detecta la llegada de 110 (primero un 1, después un 1 y después un 0), Z se pone a 1, manteniendo este valor hasta detectar la secuencia 010, en cuyo caso Z pasa a tomar valor 0, manteniendo este valor hasta que llegue una nueva secuencia 110.

13.- Un circuito secuencial tiene una entrada X y una salida Z. Por X se transmiten pulsos positivos de 1, 2 ó 3 ciclos de duración. De un pulso al siguiente, X permanece a 0 un mínimo de 10 ciclos. La salida Z se pondrá a 1 tras terminar el pulso de entrada y permanecerá a 1 durante 3 ciclos si el pulso de X duró 1 ciclo, durante 2 ciclos si X duró 2 ciclos y durante 1 ciclo si X duró 3 ciclos. En otros casos Z será cero. Obtenga la tabla de estados/salida (lo más reducida posible) según el modelo de máquina de Mealy.

14.- Sobre una única línea X, se envía una información sincronizada con una señal de reloj CK. Se ha convenido que la información sea correcta siempre que no haya 2 o más unos consecutivos o bien 4 o más ceros consecutivos. Diseñe un circuito cuya salida sea 1 si se detecta un error en la transmisión y que permanezca a ese valor en tanto dure el error.

15.- Diseñe un chequeador de paridad para caracteres de 4 bits. El circuito recibirá, partiendo de un estado inicial, 4 bits en serie por una línea de entrada X. Coincidiendo con el cuarto bit, la salida del circuito será 1 si y solo si el número total de unos recibidos ha sido par. Tras la recepción del cuarto bit, el circuito volverá a aceptar en la entrada un nuevo carácter de 4 bits. Utilice en el diseño biestables D.

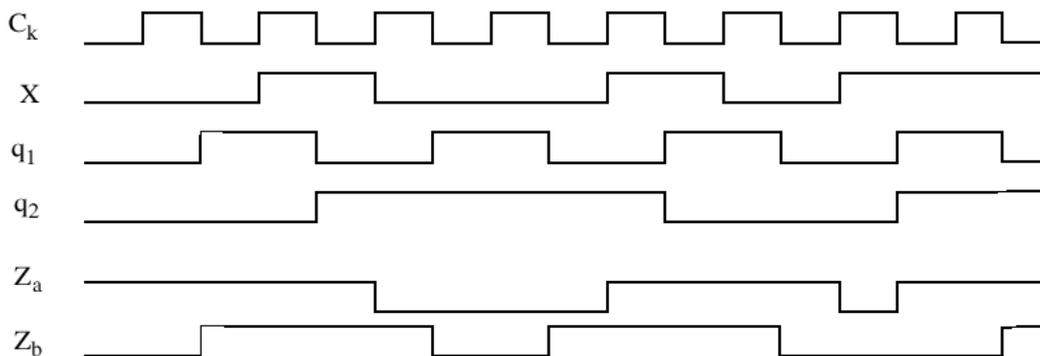
16.- Diseñe un circuito secuencial síncrono que reciba una entrada X y produzca una salida $Z = 1$, después de que haya recibido las secuencias de entrada 001 ó 100. Comience el diseño por un estado de *reset*.

17.- Por una línea de entrada X se reciben, sincronizados con una señal de reloj, grupos de 4 bits. Diseñe un circuito secuencial síncrono (de una entrada y una salida) que genere en su salida el complemento a 2 del número de entrada. Ejemplo:

$$X = 0\ 1\ 0\ 0$$

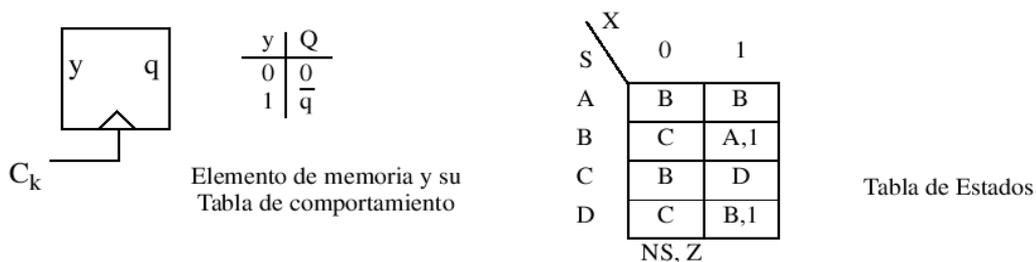
$$Z = 0\ 1\ 1\ 1$$

18.- En un osciloscopio se observa el siguiente comportamiento:



Realice el circuito con biestables T y puertas NAND.

19.- Para el dispositivo de memoria que se muestra a continuación:



a) Obtenga su tabla de excitación.

- b) Razone si es posible implementar cualquier máquina de estados utilizando este tipo de dispositivo como elemento de memoria.
- c) Con dos de estos elementos de memoria y las puertas necesarias, realice un circuito que implemente la tabla de estados. Elija una asignación de estados adecuada, sin consideraciones de costes.