

## Circuitos Electrónicos Digitales - TI

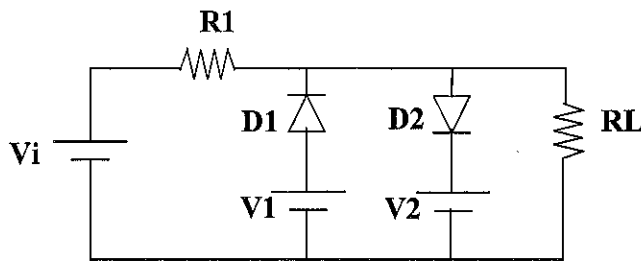
Prueba 1

Curso 2012/2013

ALUMNO: \_\_\_\_\_

1. Para el circuito de la figura, y suponiendo diodos ideales, obtenga la intensidad que circula por cada rama y la tensión en cada nodo, para los siguientes casos: (a)  $V_i = 10V$ , (b)  $V_i = 1V$  y (c)  $V_i = -10V$ .

Datos:  $R_1 = 750\Omega$ ,  $V_1 = -1V$ ,  $V_2 = 1V$ ,  $R_L = 250\Omega$ . (3 puntos)



2. Diseñe un circuito de 4 entradas y 4 salidas. Se trata de un convertidor de código. La palabra de entrada se recibe en código binario y la de salida debe proporcionarse en código Gray. Las salidas han de nombrarse:  $z_3, z_2, z_1$  y  $z_0$ , siendo  $z_3$  el bit más significativo y  $z_0$  el menos significativo. Se pide:

(a) la realización de  $z_2$  mediante decodificador con salidas activas en bajo y NAND

(b) la realización de  $z_1$  mediante el circuito mínimo en dos niveles NOR considerando doble rail

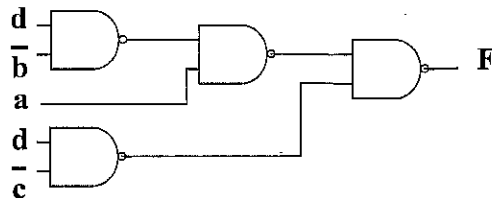
(c) la realización de  $z_0$  mediante MUX 8:1 considerando doble rail

(3 puntos)

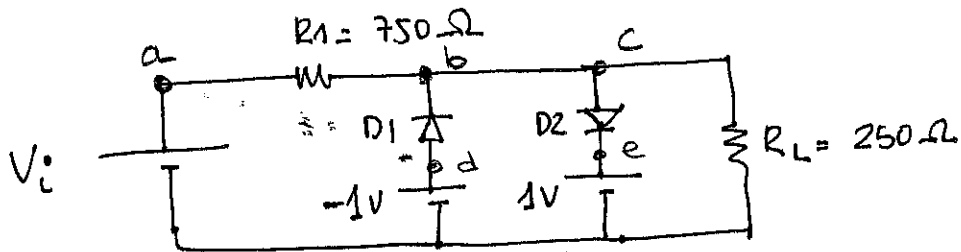
3. Diseñe un circuito aritmético cuyas entradas de datos sean dos números con signo A y B de n bits, y cuya salida sea un número F de n bits. La salida, F, ha de mostrar la suma de A con el valor absoluto de B, es decir,  $F = A + |B|$ . Todos los datos son expresados en notación complemento a dos. Puede usar módulos sumadores. (2 puntos)

4. Obtenga el cronograma correspondiente a la señal F cuando  $a=1, b=0, c=0$  y d es una señal cuadrada de periodo 50 ns. El retraso de las puertas es de 5 ns.

(2 puntos)



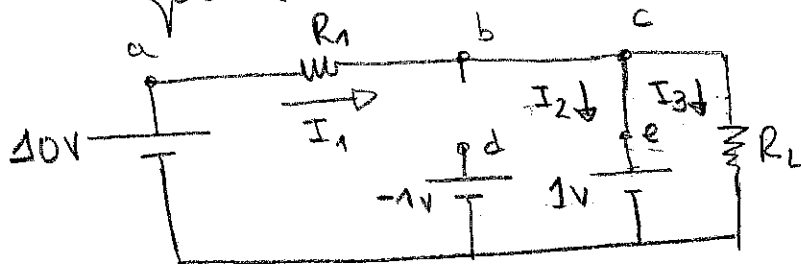
Problema 1



caso a  $V_i = 10V$

Si  $V_i = 10V$ , como  $V_d = -1V$ , es lógico suponer que D1 OFF, y como  $V_e = 1V$  razonablemente D2 estará ON.

Supongamos eso: D1 OFF, D2 ON, entonces el circuito queda



$$I_1 = I_2 + I_3 \quad V_a = 10V, \quad V_b = V_c = 1V, \quad V_d = -1V, \quad V_e = 1V$$

$$I_3 = \frac{V_c}{R_L} = \frac{1V}{250\Omega} = 0.004A$$

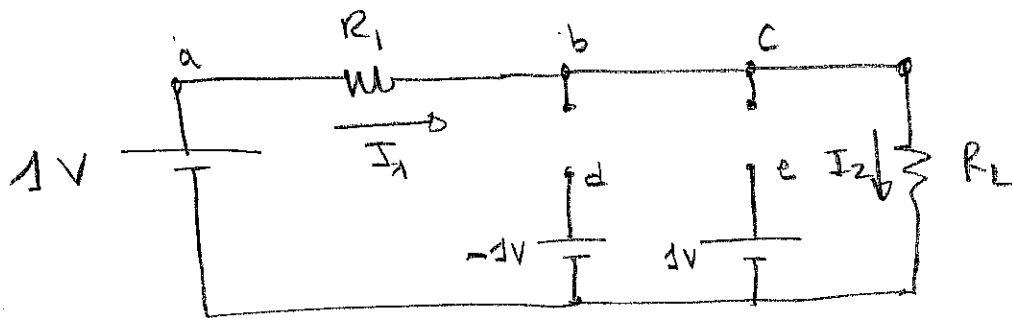
$$I_1 = \frac{V_a - V_b}{R_1} = \frac{9V}{750\Omega} = 0.012A$$

$$I_2 = I_1 - I_3 = 0.008A$$

Vemos que  $V_d = V_b < 0$  y  $V_c - V_e = 0 \Rightarrow \begin{cases} D1 \text{ OFF} \\ D2 \text{ ON} \end{cases}$

Caso b  $V_i = 1V$

Si  $V_i = 1V$ , D1 y D2 estarán OFF ya que  $V_d$  es negativa y  $V_e$  vale también  $1V$  (como  $V_i$  ahora) por tanto, suponemos D1 OFF, D2 OFF, entonces,



$$I_1 = I_2 = \frac{V_a}{R_1 + R_L} = \frac{1V}{250 + 750 \Omega} = \frac{1V}{1000 \Omega} = 0.001A$$

$$V_a = 1V, V_b = V_c = I_2 \cdot R_L = 0.001 \cdot 250 = 0.25V$$

$$V_d = -1V \quad V_e = 1V$$

comprobamos que efectivamente  $V_d - V_b < 0$  y

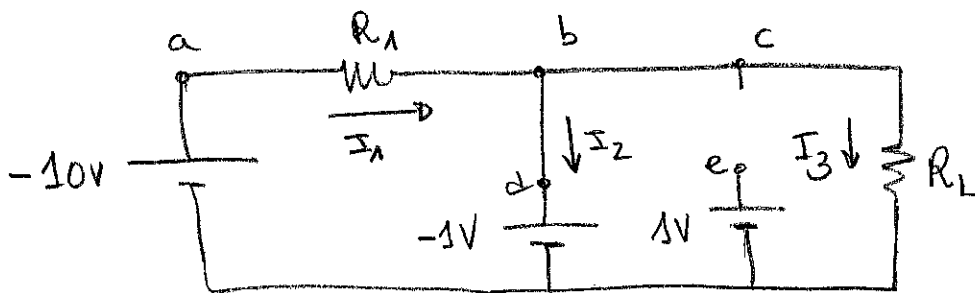
$V_c - V_e < 0$ , por tanto, era correcto: D1 y D2 OFF

Caso c  $V_i = -10V$

22/03/17 11:00

Si  $V_i = -10V$ , es de suponer que  $V_b < V_d$  y que por tanto D1 estará ON, por el contrario, como  $V_c$  probablemente será negativa  $\Rightarrow$  D2 OFF.

Suponemos entonces esto: D1 ON, D2 OFF, entonces



$$V_a = -10V, \quad V_b = V_d = V_c = -1V, \quad V_e = 1V$$

$$I_1 = I_2 + I_3$$

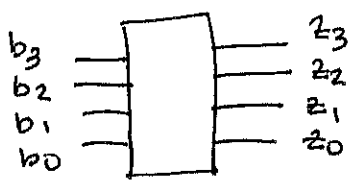
$$I_1 = \frac{V_a - V_b}{R_1} = \frac{-10 - (-1)V}{750\Omega} = \frac{-9V}{750\Omega} = -0.012A$$

$$I_3 = \frac{V_c}{R_L} = \frac{-1V}{250\Omega} = -0.004A$$

$$I_2 = I_1 - I_3 = -0.012A - (-0.004A) = -0.008A$$

Como  $V_c - V_e \leq 0$  y  $V_b - V_d = 0$ , efectivamente  $\begin{matrix} \text{D1 ON} \\ \text{D2 OFF} \end{matrix}$

# Problema 2

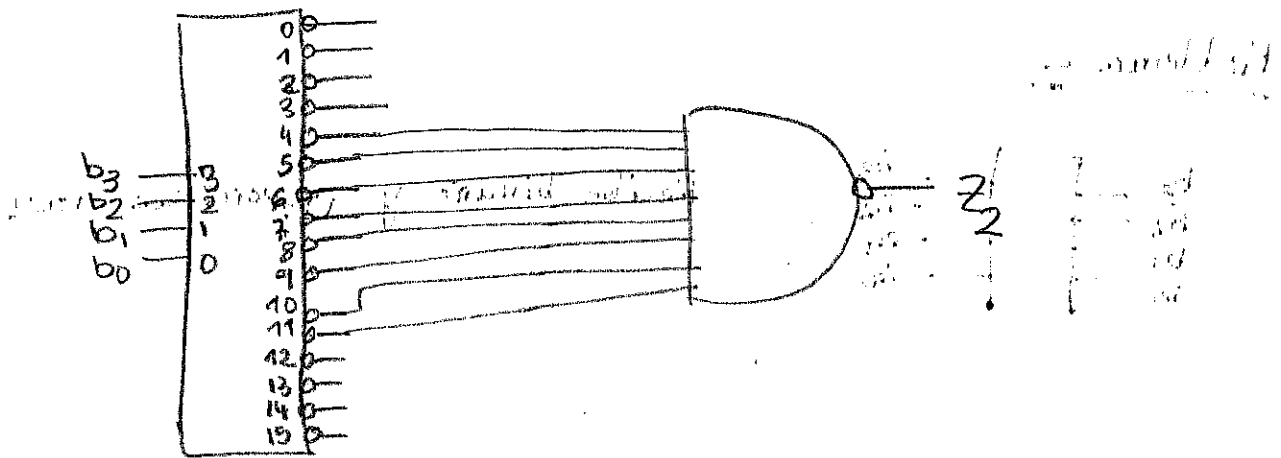


Recibe binario y proporciona Gray

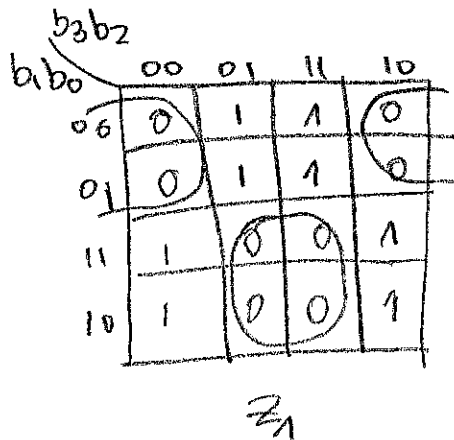
La tabla de verdad es:

$b_3$	$b_2$	$b_1$	$b_0$	$z_3$	$z_2$	$z_1$	$z_0$
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	0	0

(a) En un decodificador con salidas activas en bajo disponemos de los maxtérminos, como tenemos puertas NAND, en vez de AND, debemos conectar los maxtérminos de la función complementaria para obtener lo que deseamos:



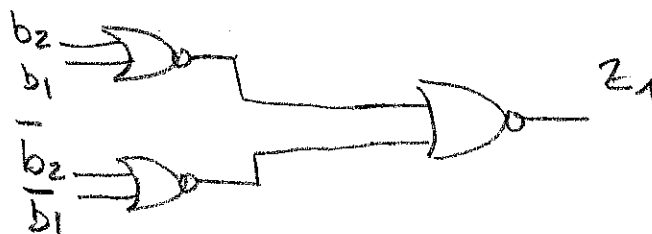
(b) Dibujamos el k-mapa de  $Z_1$



Para hacer el circuito en 2 niveles NOR, minimizamos con las implicadas ya que queremos un producto de sumas.

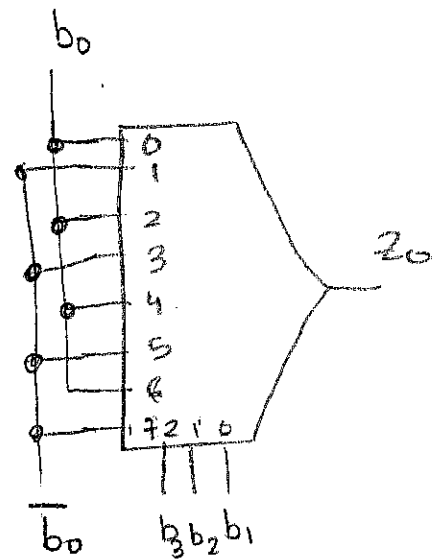
$$Z_1 = (b_2 + b_1)(\bar{b}_2 + \bar{b}_1)$$

El circuito es:



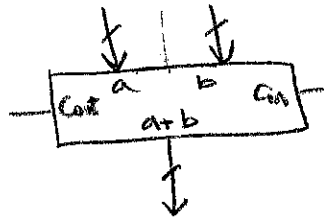
(c) para  $z_0$ , consideraré que en las entradas de selección del MUX 8:1, se conectan  $b_3, b_2$  y  $b_1$ , y con ayuda de la tabla de verdad, determinaré qué conectar a cada entrada de datos del MUX.

	$b_3$	$b_2$	$b_1$	$b_0$	$z_3$	$z_2$	$z_1$	$z_0$	
0	0	0	0	0	0	0	0	0	$b_0$
	0	0	0	1	0	0	0	1	$\bar{b}_0$
1	0	0	1	0	0	0	1	1	$\bar{b}_0$
	0	0	1	1	0	0	1	0	$b_0$
2	0	1	0	0	0	1	1	0	$b_0$
	0	1	0	1	0	1	1	1	$\bar{b}_0$
3	0	1	1	0	0	1	0	1	$\bar{b}_0$
	0	1	1	1	0	1	0	0	$b_0$
4	1	0	0	0	1	1	0	0	$b_0$
	1	0	0	1	1	1	0	1	$\bar{b}_0$
5	1	0	1	0	1	1	1	1	$\bar{b}_0$
	1	0	1	1	1	1	1	0	$b_0$
6	1	1	0	0	1	0	1	0	$b_0$
	1	1	0	1	1	0	1	1	$\bar{b}_0$
7	1	1	1	0	1	0	0	1	$\bar{b}_0$
	1	1	1	1	1	0	0	0	$b_0$



### Problema 3

Como tenemos que hacer una suma usará un sumador paralelo de  $n$  bits:



dos operaciones a realizar son 2 posibles:

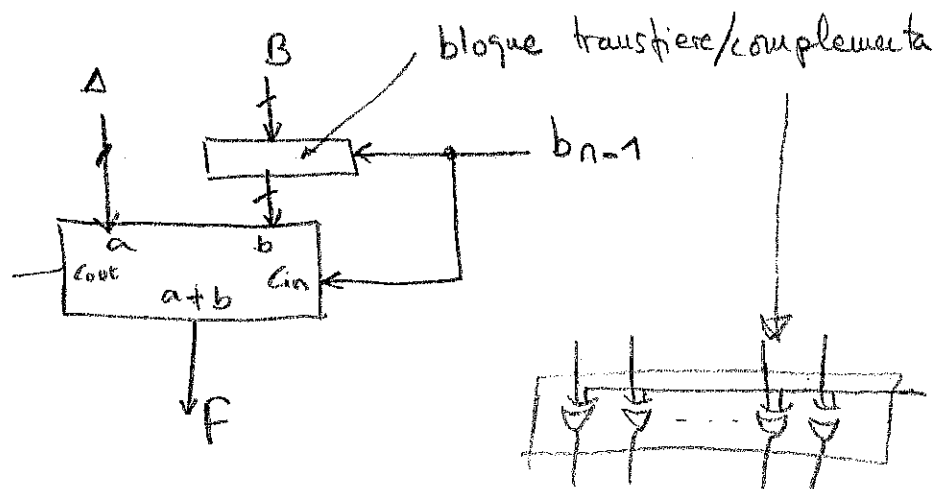
$A + B$ , si  $B$  es positivo

$A - B$ , si  $B$  es negativo

El bit de signo  $b_{n-1}$  es el que nos indica cuando hay que hacer cada cosa, por tanto:

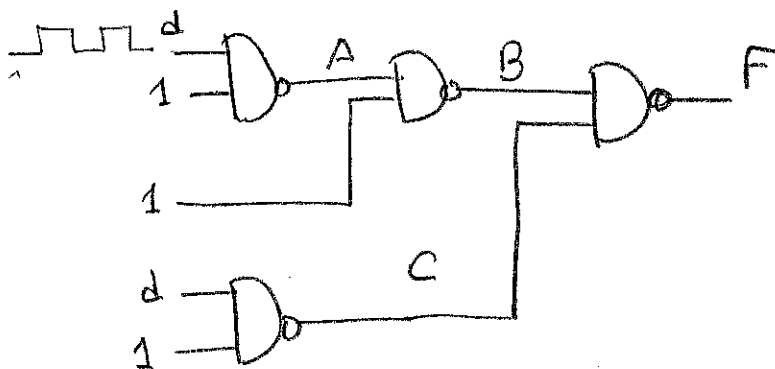
$b_{n-1}$	F
0	$A + B$
1	$A - B$

Bastará usar un sumador restador donde  $b_{n-1}$  es la señal de selección de operación:





# Problema 4



Obtenemos los  
cronogramas de  
A, B y C y después  
el de F:

