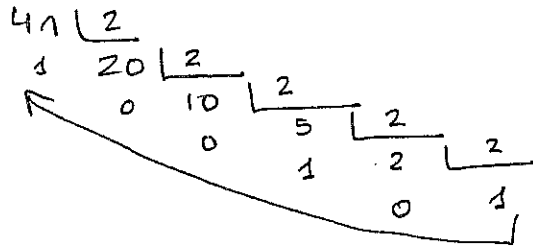


1. (a)

- Expresa  $41,6_{10}$  en base 2 con 4 cifras decimales



$$41 = 101001$$

$$\begin{aligned} 0,6 \times 2 &= 1,2 \\ 0,2 \times 2 &= 0,4 \\ 0,4 \times 2 &= 0,8 \\ 0,8 \times 2 &= 1,6 \end{aligned}$$

$$0,6 = 0,1001$$

$$41,6_{10} = 101001,1001_2$$

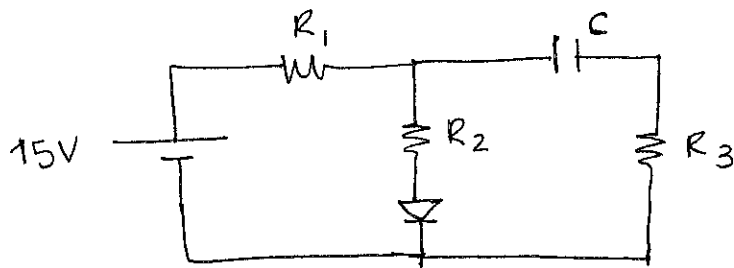
- Expresa  $+41,6$  y  $-41,6$  en c.a.2 con 8 bits para la parte entera y 3 para la parte fraccionaria

$$+41,6 \rightarrow \boxed{00101001 \mid 101}$$

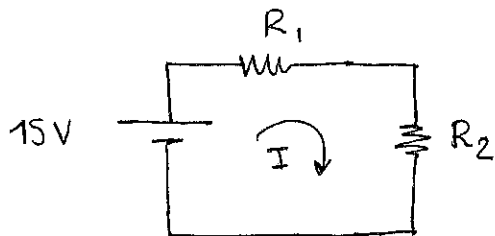
↑  
bit de signo

↑  
se ha redondeado:  
 $0,1001 \rightarrow 0,101$

1 (b) Obtener intensidades, tensiones y cargas en el circuito. Régimen estacionario.



En régimen estacionario, el condensador se habrá cargado y no pasará intensidad por él. El circuito equivalente será:



donde hemos supuesto que el diodo conduce

Aplicando la ley de Kirchhoff de tensiones:

$$15 \text{ V} = V_{R_1} + V_{R_2}$$

como  $V_{R_1} = I \cdot R_1$  y  $V_{R_2} = I \cdot R_2$  tendremos:

$$15 \text{ V} = I \cdot R_1 + I \cdot R_2 \Rightarrow I = \frac{15 \text{ V}}{R_1 + R_2}$$

Sustituyendo los valores de  $R_1$  y  $R_2$ :

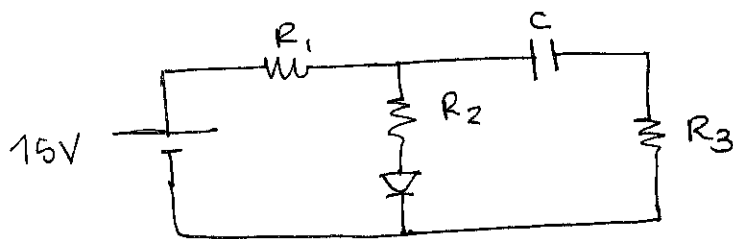
$$I = \frac{15 \text{ V}}{1 \text{ k}\Omega + 10 \text{ k}\Omega} = \frac{15 \text{ V}}{11 \text{ k}\Omega} = 1,36 \text{ mA}$$

$$\text{con lo que } V_{R_1} = I \cdot R_1 = 1,36 \text{ V}$$

$$V_{R_2} = I \cdot R_2 = 13,5 \text{ V}$$

$V_{\text{diodo}} \geq 0$  por lo tanto conduce

Ahora podemos calcular la carga en el condensador, para ello recordemos el circuito inicial:



Dado que la intensidad por el condensador es nula, también lo es la intensidad que pasa por  $R_3$ , por tanto,  $V_{R_3} = 0V$ .

Si aplicamos la ley de Kirchhoff de tensiones:

$$15V = V_{R_1} + V_C + V_{R_3}$$

$$15V = 1,36V + V_C + 0V$$

de donde,  $V_C = 15 - 1,36 = 13,64V$

y la carga del condensador:  $Q = C \cdot V_C$

$$Q = 10nF \cdot 13,64V = 136,4 \times 10^{-9} \text{ culombios}$$

## Problema 2

(a) mapa de Karnaugh

$z_3 z_2 z_1 z_0$  se obtiene del producto de  $a_1 a_0$  con  $b_1 b_0$  expresado en base 2, por ejemplo:

$$\begin{matrix} a_1 a_0 = 01 \\ b_1 b_0 = 11 \end{matrix} \left\{ \rightarrow z_3 z_2 z_1 z_0 = 0011 \quad (1 \times 3 = 3) \right.$$

$$\begin{matrix} a_1 a_0 = 11 \\ b_1 b_0 = 10 \end{matrix} \left\{ \rightarrow z_3 z_2 z_1 z_0 = 0110 \quad (3 \times 2 = 6) \right.$$

por tanto, podremos obtener el mapa:

$a_1 a_0$	00	01	11	10
$b_1 b_0$	00	0000	0000	0000
01	0000	0001	0011	0010
11	0000	0011	1001	0110
10	0000	0010	0110	0100
		$z_3 z_2 z_1 z_0$		

Para obtener  $z_1$  como producto de maxtérminos, nos fijamos en sus ceros:  $z_1 = \prod (0, 1, 2, 3, 4, 5, 8, 10, 12, 15)$

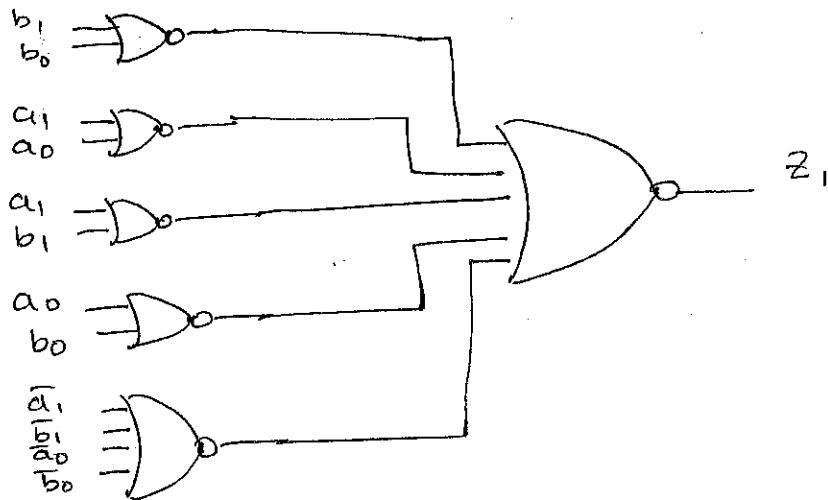
$a_1 a_0$	00	01	11	10
$b_1 b_0$	00	0	0	0
01	0	0	1	1
11	0	1	0	1
10	0	1	1	0
		$z_1$		

Sacamos aparte el mapa de  $z_1$  para obtener la expresión mínima como prod. de sumas

Todas las implicadas son esenciales:

$$z_1 = (b_1 + b_0)(a_1 + a_0)(a_1 + b_1)(a_0 + b_0)(\bar{a}_1 + \bar{b}_1 + \bar{a}_0 + \bar{b}_0)$$

Obtener el circuito en dos niveles NOR es posible si consideramos doble rail, además es inmediato pues dos niveles NOR equivalen a tener OR/AND, es decir prod. de sumas. Por tanto, usamos la expresión ya obtenida.

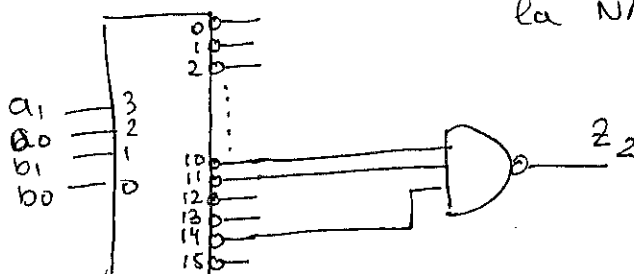


(b)  $Z_2$  mediante decodif. con salidas en bajo y NAND sacamos del mapa general la parte correspondiente a  $Z_2$ :

$a_1 a_0$	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	0	0	0	1
10	0	0	1	1

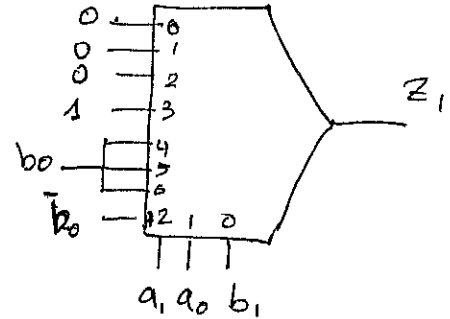
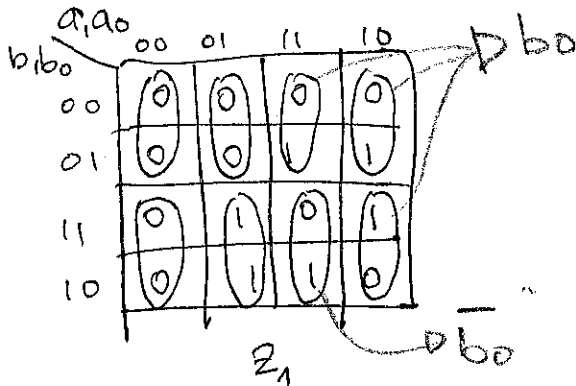
$Z_2$

Con un dec. con salidas activas en bajo, dispondremos de todos los maxtérminos, sin embargo no tenemos una AND para multiplicarlos sino una NAND. Por ello, debemos de tomar los maxtérminos de  $\bar{Z}_2$ , de esta forma la NAND nos da  $Z_2$ .



- realización de  $z_1$  con MUX 8:1 y doble saíl.

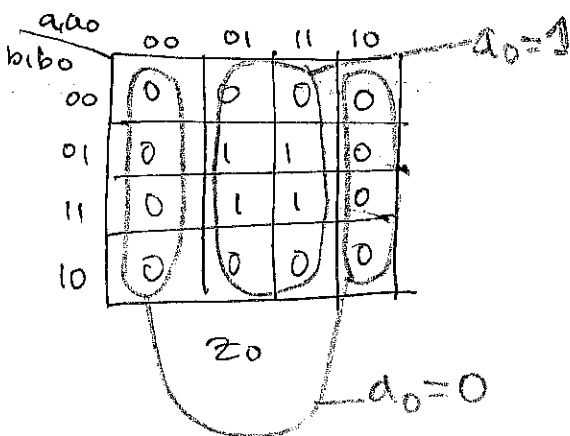
sacamos el mapa de  $z_1$ :



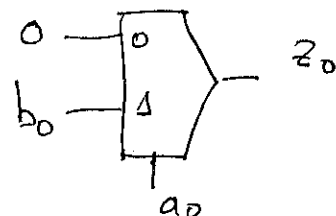
señalamos en el mapa el valor de  $z_1$  para las 8 combinaciones de  $a_1, a_0, b_1 \rightarrow 000, 001, 010, \dots, 110, 111$  y observamos que  $z_1$  es 0 para  $a_1, a_0, b_1 = 000, 001$  y  $010$   
 $z_1$  es 1 para  $a_1, a_0, b_1 = 011$   
 $z_1$  es  $b_0$  para  $a_1, a_0, b_1 = 100, 101, 110$   
 y  $z_1$  es  $\bar{b}_0$  para  $a_1, a_0, b_1 = 111$

- realización de  $z_0$  con MUX 2:1

sacamos el mapa de  $z_0$ :



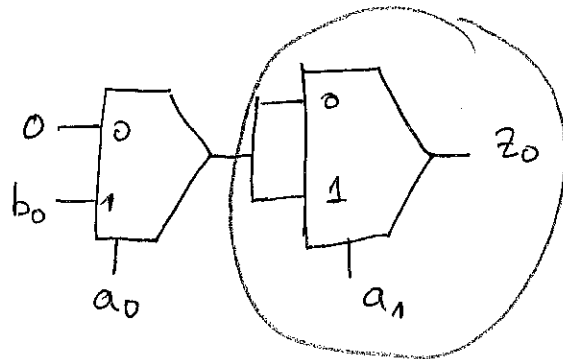
hay 2 opciones de mínimo coste, a' comenzamos por  $a_0$ :



si por el contrario comenzamos por  $a_1$ :

$a_1 b_0$	00	01	11	10
00	0	0	0	0
01	0	1	1	0
11	0	1	1	0
10	0	0	0	0

$a_1 = 0$        $z_0$        $a_1 = 1$



dado que las funciones resultantes para  $a_1 = 0$  y para  $a_1 = 1$  son idénticas, el mux de  $a_1$  puede eliminarse

(c) la descripción Verilog es correcta, y no es estructural dado que no se declara ni utiliza ninguna puerta ni otro módulo, y no aparecen conexiones o cables.

