

**ALUMNO:** \_\_\_\_\_

- 1. Diseñe un circuito de 4 entradas y 2 salidas  $Z_0$  y  $Z_1$  que realice las siguientes funciones:**  
 $Z_0$  vale 1 cuando tres o más entradas sean 1  
 $Z_1$  vale 1 cuando haya el mismo número de unos que de ceros  
 Para  $Z_0$  dispone de un decodificador con salidas activas en alto y puertas NOR.  
 Para  $Z_1$  dispone de un MUX 8:1 y doble rail.

- 2. Realice la etapa típica de una unidad aritmético-lógica con la siguiente tabla de operación**

$S_1S_0$	F	
	Cin = 0	Cin = 1
0 0	$\overline{A B}$	
0 1	$\overline{B}$	
1 0	$A + B$	$A + B + 1$
1 1	$A + \overline{B}$	$A - B$

- 3. Determine a qué circuito corresponde la siguiente descripción verilog y si se trata de una descripción funcional, procedimental o estructural**

```

module incognita(
input x,
input y,
input cin,
output z,
output cout
);
assign z = x ^ y ^ cin;
assign cout = x & y | x & cin | y & cin;
endmodule
    
```

## Circuitos Electrónicos Digitales - TI

Prueba 2

Curso 2010/2011

ALUMNO: \_\_\_\_\_

1. Diseñe un circuito de 4 entradas y 2 salidas  $Z_1$  y  $Z_2$  que realice las siguientes funciones:

$Z_1$  vale 1 cuando haya el mismo número de unos que de ceros

$Z_2$  vale 0 cuando dos o más entradas sean 1.

Para  $Z_1$  dispone de un decodificador con salidas activas en bajo y puertas NAND.

Para  $Z_2$  dispone de multiplexores de 2 entradas de selección y raíl simple.

2. Realice la etapa típica de una unidad aritmético-lógica con la siguiente tabla de operación

$S_1S_0$	F	
	Cin = 0	Cin = 1
0 0	$\overline{A + B}$	
0 1	$\overline{A}$	
1 0	$A + \overline{B}$	$A - B$
1 1	$A$	$A + 1$

3. Determine a qué circuito corresponde la siguiente descripción verilog y si se trata de una descripción funcional, procedimental o estructural

```
module incognita(  
input x,  
input y,  
output z,  
output cout  
);  
assign z = x ^ y ;  
assign cout = x & y ;  
endmodule
```