

ALUMNO: \_\_\_\_\_

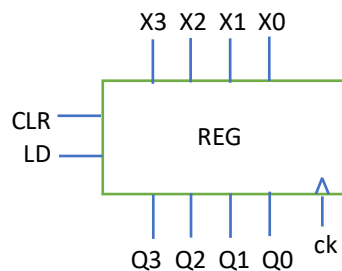
- Obtenga el diagrama y la tabla de estados (los dos) de un detector de secuencia. El circuito posee dos entradas (x,y) y una salida (z). La salida z indicará poniéndose a 1 si en los últimos 4 ciclos de reloj ha recibido la secuencia xy: 00, 01, 00, 10.

Se piden dos diseños:

- Como máquina de Mealy
- Como máquina de Moore

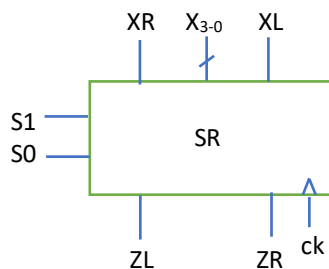
(3 puntos)

- Se dispone de un registro (REG) de 4 bits con entrada paralelo y salida paralelo cuya descripción se muestra:



CLR	LD	operación	tipo
0	x	$REG \leftarrow 0$	sinc.
1	0	$REG \leftarrow X$	sinc.
1	1	$REG \leftarrow REG$	sinc.

- Obtenga su etapa típica
- Construya a partir del registro dado un registro (SR) de 4 bits con la siguiente descripción:



S1	S0	operación	tipo
0	0	$SR \leftarrow SR$	sinc.
0	1	$SR \leftarrow SHR(SR, XR)$	sinc.
1	0	$SR \leftarrow SHL(SR, XL)$	sinc.
1	1	$SR \leftarrow X$	sinc.

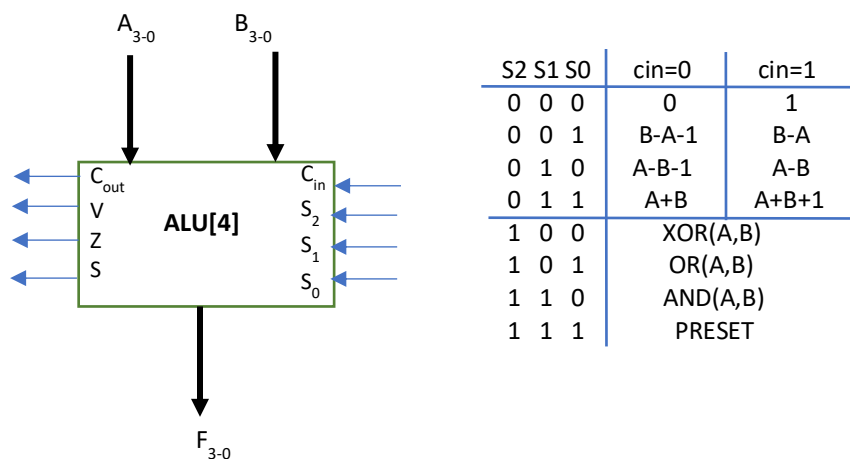
(3 puntos)

3. En el proceso de diseño de un circuito secuencial síncrono se ha obtenido la siguiente tabla de transición/salida. Obtenga la tabla de excitación/salida correspondiente suponiendo que solo disponemos de biestables tipo T.

		X	
		0	1
q1q2	00	10,10	11,00
	01	11,01	10,11
	11	01,00	01,10
	10	00,11	01,11
		Q1Q2,Z1Z2	

(1 punto)

4. Considere la ALU de 4 bits de la figura:



- Diseñe la etapa básica de la ALU.
- Obtenga la expresión lógica de las funciones V, Z y S.

(3 puntos)