

ALUMNO: _____

- Obtenga el diagrama y la tabla de estados (los dos) de un detector de secuencia. El circuito posee dos entradas (x,y) y una salida (z). La salida z indicará poniéndose a 1 si en los últimos 4 ciclos de reloj ha recibido la secuencia xy: 00, 01, 00, 10.

Se piden dos diseños:

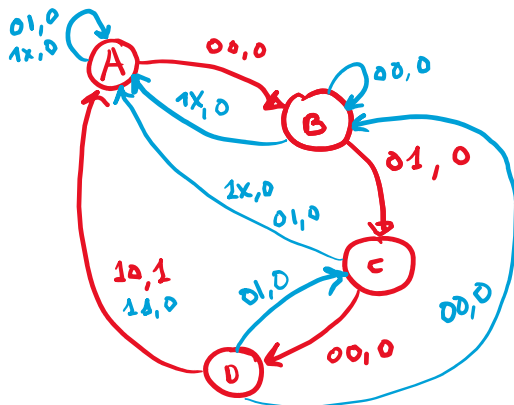
- Como máquina de Mealy
- Como máquina de Moore

(3 puntos)

Secuencia de prueba:

x 0 0 0 1 0 0 0 1 0 1 1 0 0 0 1 0 ...
 y 0 0 1 0 0 1 0 0 0 0 1 0 0 1 0 0 0 ...
 Mealy: z 0 0 0 0 0 0 0 1 0 0 0 0 0 0 1 0 ...
 Moore: z 0 0 0 0 0 0 0 0 0 1 0 0 0 0 0 0 1 ...

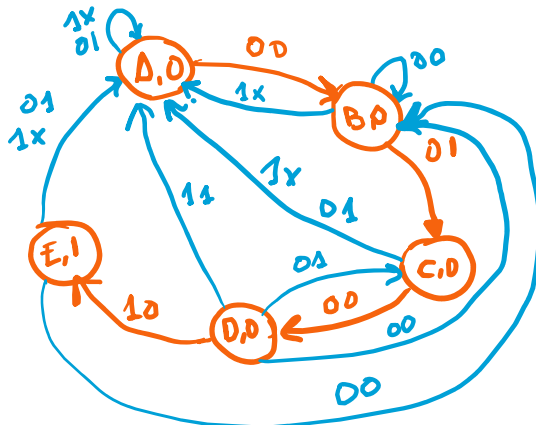
a. Diseño como máquina de Mealy



X \ S	00	01	11	10
A	B,0	A,0	A,0	A,0
B	B,0	C,1	A,0	A,0
C	D,0	A,0	A,0	A,0
D	B,0	C,0	A,0	A,1

NS,Z

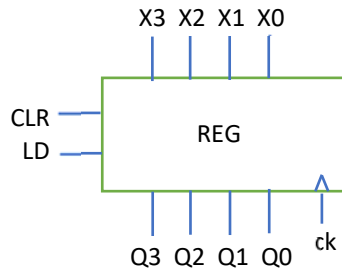
b. Diseño como máquina de Moore



X \ S	00	01	11	10	z
A	B	A	A	A	0
B	B	C	A	A	0
C	D	A	A	A	0
D	B	C	A	E	0
E	B	A	A	A	1

NS

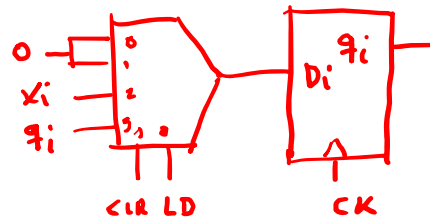
2. Se dispone de un registro (REG) de 4 bits con entrada paralelo y salida paralelo cuya descripción se muestra:



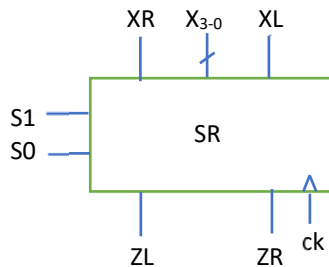
CLR LD	operación	tipo
0 x	REG ← 0	sinc.
1 0	REG ← X	sinc.
1 1	REG ← REG	sinc.

- a. Obtenga su etapa típica

CLR LD	$D_i =$
0 x	0
1 0	X_i
1 1	q_i



- b. Construya a partir del registro dado un registro (SR) de 4 bits con la siguiente descripción:



S1 S0	operación	tipo
0 0	SR ← SR	sinc.
0 1	SR ← SHR (SR, XR)	sinc.
1 0	SR ← SHL (SR, XL)	sinc.
1 1	SR ← X	sinc.

(3 puntos)

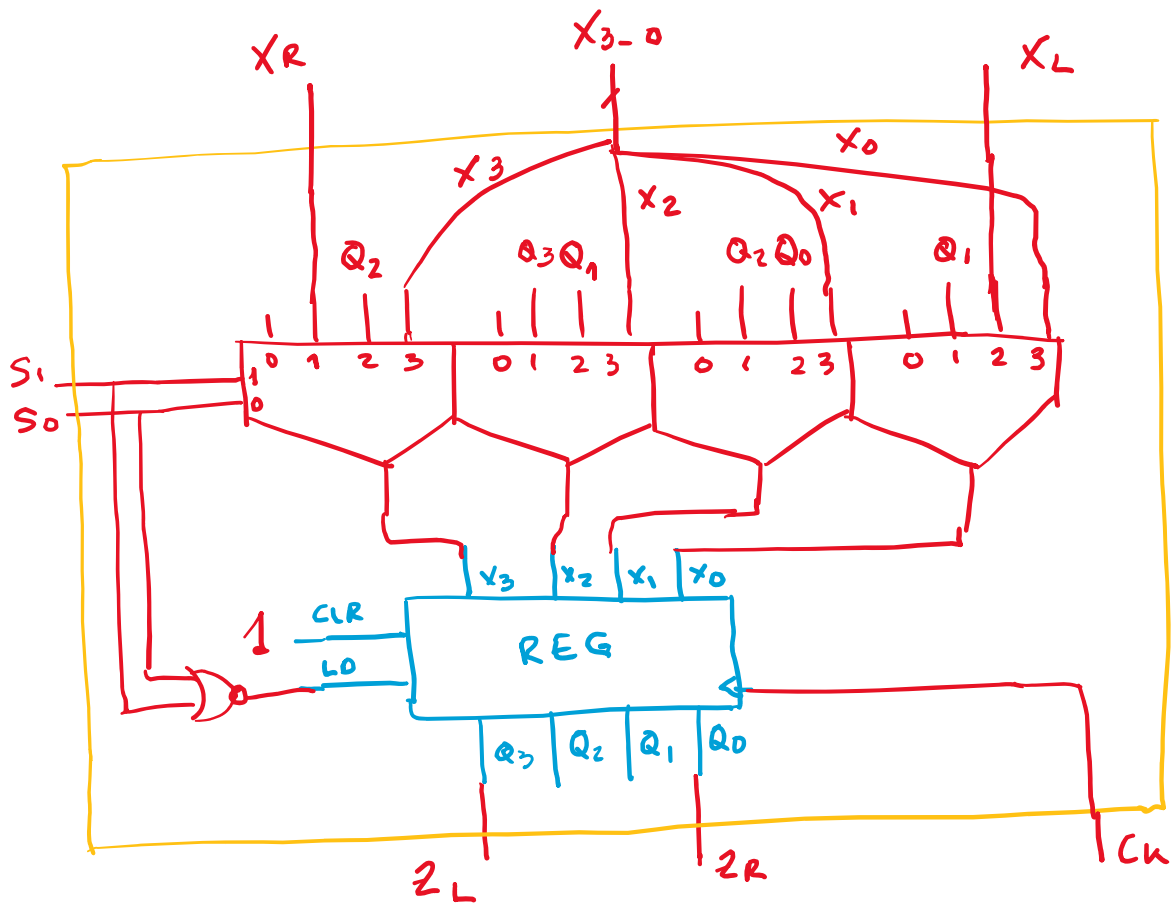
Solución 1. (ver otra al final)

CLR LD	S1 S0	operación	entradas X_i
1 1	0 0	SR ← SR	no importa
1 0	0 1	SR ← SHR (SR, XR)	$X_3 = X_R, X_2 = q_3, X_1 = q_2, X_0 = q_1$
1 0	1 0	SR ← SHL (SR, XL)	$X_3 = q_2, X_2 = q_1, X_1 = q_0, X_0 = X_L$
1 0	1 1	SR ← X	iguales que en REG



$CLR = 1$
 $LD = \overline{S_1} \cdot \overline{S_0} = \overline{S_1 + S_0}$

$Z_L = Q_3$
 $Z_R = Q_0$



3. En el proceso de diseño de un circuito secuencial síncrono se ha obtenido la siguiente tabla de transición/salida. Obtenga la tabla de excitación/salida correspondiente suponiendo que solo disponemos de biestables tipo T.

		X	
		0	1
q1q2	00	10,10	11,00
	01	11,01	10,11
11	01,00	01,10	
10	00,11	01,11	

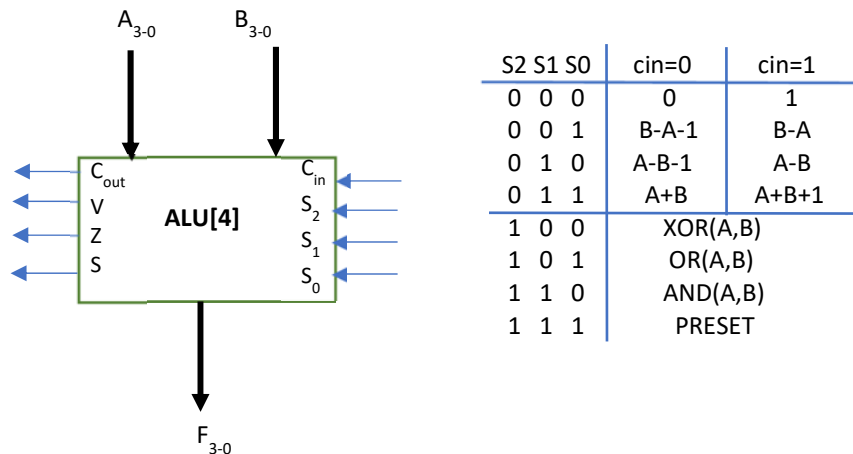
Q1Q2,Z1Z2

(1 punto)

		X	
		0	1
q1q2	00	10,10	11,00
	01	10,01	11,11
11	10,00	10,10	
10	10,11	11,11	

T1T2,Z1Z2

4. Considere la ALU de 4 bits de la figura:



a. Diseñe la etapa básica de la ALU.

teniendo en cuenta que $B - A = B + (-A) = B + (-1) \cdot A = B + (-1) \cdot (A) + 1 = B + \bar{A} + 1$
 y que $A - B = A + (-B) = \dots = A + \bar{B} + 1$

en la unidad aritmética ($S_2 = 0$) tendremos:

para $S_1 S_0 = 00$



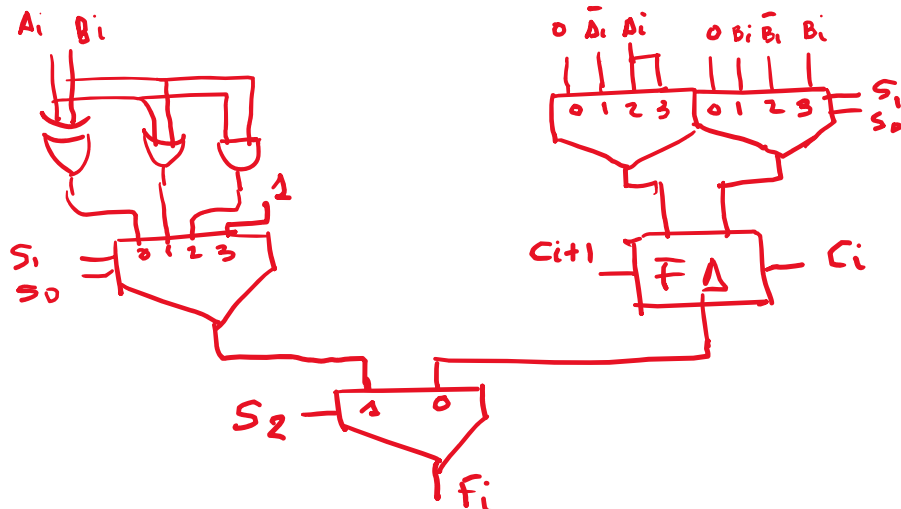
para $S_1 S_0 = 01$



para $S_1 S_0 = 10$



para $S_1 S_0 = 11$



b. Obtenga la expresión lógica de las funciones V, Z y S.

(3 puntos)

$$V = C_3 \oplus C_{out}$$

$$Z = \overline{F_3 + F_2 + F_1 + F_0}$$

$$S = F_3$$

Solución 2 al problema 2b.

CLR LD	S1 S0	operación
1 0	0 0	$SR \leftarrow SR$
1 0	0 1	$SR \leftarrow SHR(SR, XR)$
1 0	1 0	$SR \leftarrow SHL(SR, XL)$
1 0	1 1	$SR \leftarrow X$

entradas X_i

$$\begin{aligned}
 X_3 &= Q_3 & X_2 &= Q_2 & X_1 &= Q_1 & X_0 &= Q_0 \\
 X_3 &= X_R & X_2 &= Q_3 & X_1 &= Q_2 & X_0 &= Q_1 \\
 X_3 &= Q_2 & X_2 &= Q_1 & X_1 &= Q_0 & X_0 &= X_L
 \end{aligned}$$

iguales que en REG

↑
 Usamos siempre la carga en paralelo de REG \Rightarrow CLR = 1
 LD = 0
 también para la inhibición

$$\begin{aligned}
 Z_L &= Q_3 \\
 Z_R &= Q_0
 \end{aligned}$$

