

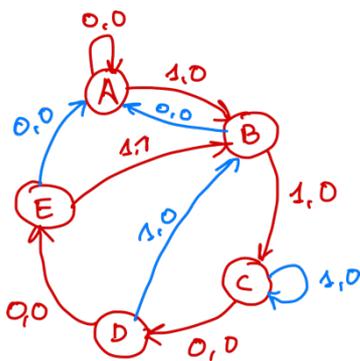
ALUMNO: _____

Ejercicio 1. (2 puntos)

Se desea diseñar un circuito secuencial síncrono con una entrada X y una salida Z. Este circuito debe ser capaz de detectar la secuencia 11001. Un ejemplo de funcionamiento sería el siguiente:

X: 0001110110011001010...
 Z: 000000000010001000...

Obtenga su diagrama y su tabla de estados. Indique también si se trata de una máquina de Moore o de Mealy justificando su respuesta.



S	X	
	0	1
A	A,0	B,0
B	A,0	C,0
C	D,0	C,0
D	E,0	B,0
E	A,0	B,1

NS,Z

Se trata de una máquina de Mealy pues en la secuencia de ejemplo podemos ver que la salida se pone a 1 a la vez que la entrada se pone a 1, por tanto, Z depende funcionalmente de X.

Ejercicio 2. (1.5 puntos)

A partir de la tabla de estados/salida que se muestra, obtenga la tabla de transición/salida codificando los estados como se propone. Después, obtenga la tabla de excitación/salida utilizando para ello biestables JK.

estado	código
A	00
B	01
C	10
D	11

S	X	
	0	1
A	A,0	B,0
B	C,0	B,0
C	D,0	B,0
D	A,0	A,1

NS,Z

Tabla de transición/salida:

q1q0	X	
	0	1
00	00,0	01,0
01	10,0	01,0
10	11,0	01,0
11	00,0	00,1

Q1Q0,Z

Tabla de excitación/salida:

con biestables JK

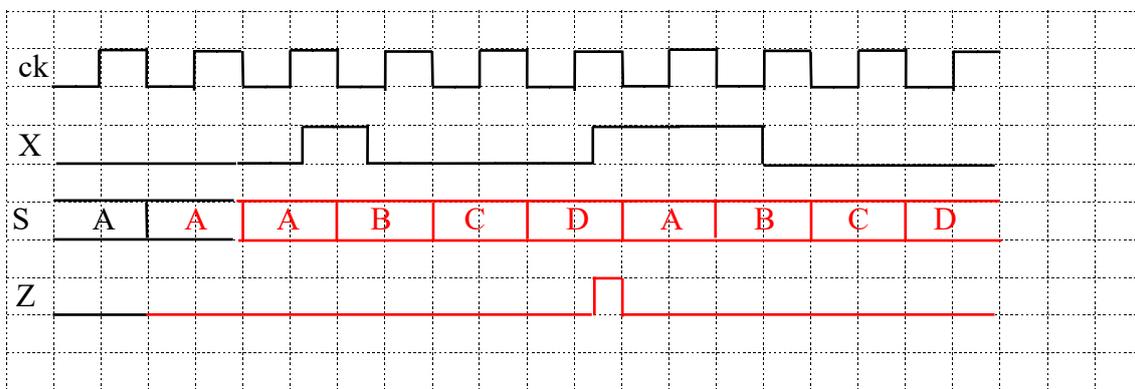
q → Q	JK
0 → 0	0x
0 → 1	1x
1 → 0	x1
1 → 1	x0

S	X	
	0	1
00	0x,0x,0	0x,1x,0
01	1x,x1,0	0x,x0,0
10	x0,1x,0	x1,1x,0
11	x1,x1,0	x1,x1,1

NS,Z

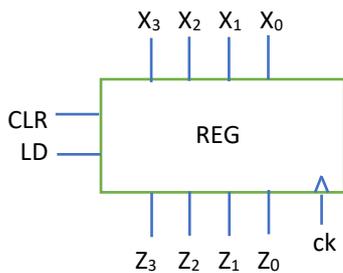
Ejercicio 3. (1.5 puntos)

A partir de la tabla de estados/salida del problema anterior, complete el siguiente diagrama temporal.



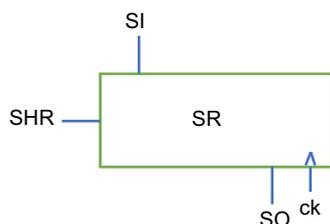
Ejercicio 4. (1.5 puntos)

Se dispone de un registro (REG) de 4 bits con entrada y salida paralelo cuya descripción se muestra:



CLR LD	operación	tipo
1 x	REG ← 0	sinc.
0 1	REG ← X	sinc.
0 0	REG ← REG	sinc.

Construya a partir del registro dado un registro de desplazamiento a la derecha (SR) de 4 bits con la siguiente descripción:



SHR	operación	tipo
0	REG ← REG	sinc.
1	REG ← SHR(REG,SI)	sinc.

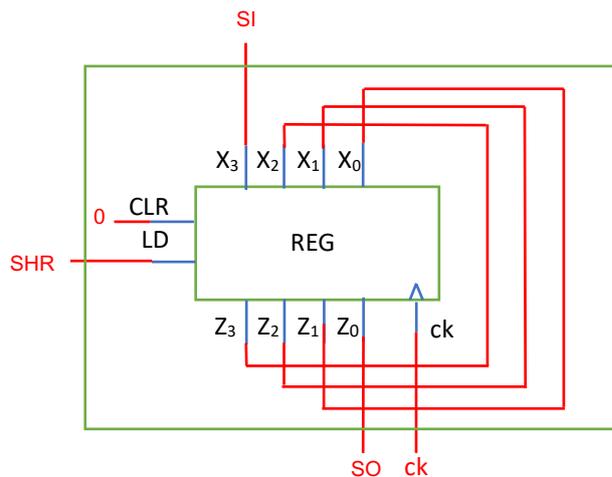
SHR	op.	CLR	LD
0	$REG \leftarrow REG$	0	0
1	$REG \leftarrow SHR(REG, SI)$	0	1

Para hacer el desplazamiento usamos la carga en paralelo de REG.

De la tabla vemos que CLR = 0 y LD = SHR.

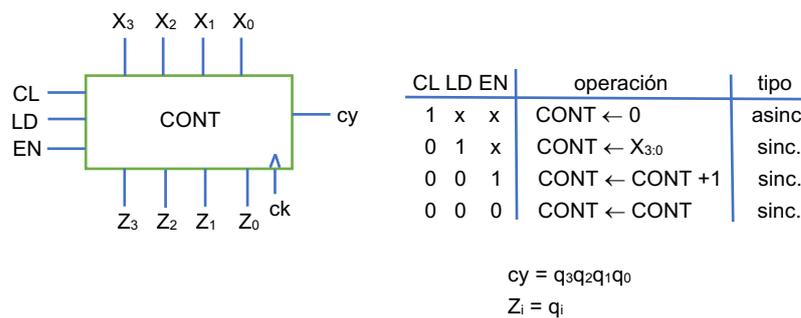
Además necesitamos hacer que: $X_3=SI$, $X_2 = Z_3$, $X_1 = Z_2$, $X_0 = Z_1$ y $SO = Z_0$

El circuito quedará:

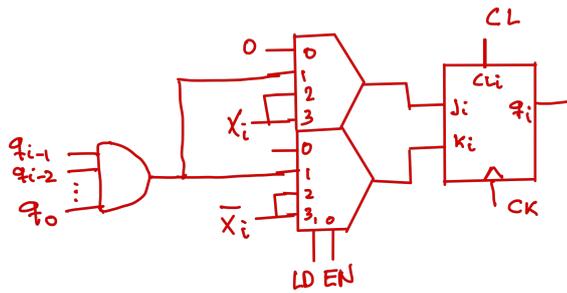


Ejercicio 5. (1.5 puntos)

Obtenga la etapa básica de un contador de 4 bits con señal de puesta a 0 asíncrona (CL) y que dispone de las operaciones síncronas de carga y cuenta ascendente. En la figura se muestra el contador y su tabla de operación.



CL	LD	EN	operación	tipo	etapa típica	etapa inicial
1	x	x	$CONT \leftarrow 0$	asinc.	$CL_i = CL$	$CL_0 = CL$
0	1	x	$CONT \leftarrow X_{3:0}$	sinc.	$J_i = X_i, K_i = \bar{X}_i$	$J_0 = X_0, K_0 = \bar{X}_0$
0	0	1	$CONT \leftarrow CONT + 1$	sinc.	$J_i = K_i = q_{i-1}q_{i-2} \dots q_0$	$J_0 = K_0 = 1$
0	0	0	$CONT \leftarrow CONT$	sinc.	$J_i = K_i = 0$	$J_0 = K_0 = 0$

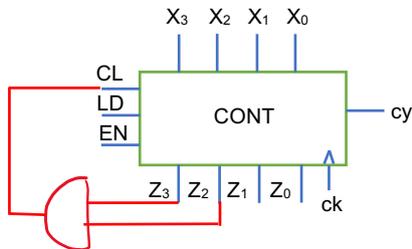


Ejercicio 6. (1 punto)

A partir del contador del ejercicio anterior (y las puertas que necesite), obtenga un contador de módulo 12

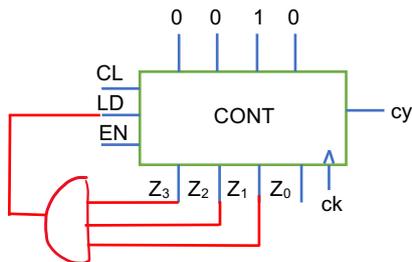
(a) que cuente de 0 a 11

Como la puesta a 0 es asíncrona, detectaremos el 12 para activarla. Como 12 es 1100 en binario, haremos $CL = q_3 \cdot q_2$



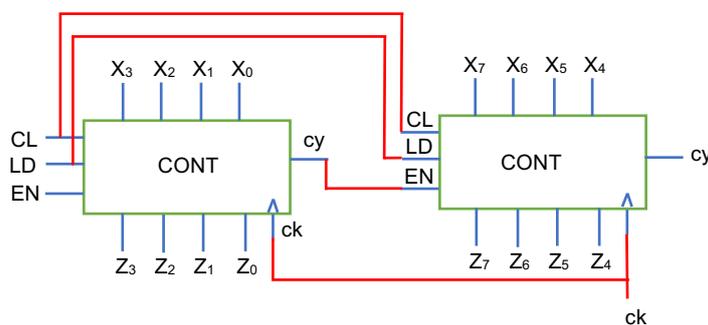
(b) que cuente de 2 a 14

En este caso detectaremos el 14 para activar la carga y escribir un 2 en el registro, como 14 es 1110 en binario, haremos $LD = q_3 \cdot q_2 \cdot q_1$



Ejercicio 7. (1 punto)

A partir de contadores como el del ejercicio 5 y sin usar puertas obtenga un contador módulo 256.



Ejercicio 8. (1 punto extra)

A partir de contadores como el del ejercicio 5 y sin usar puertas obtenga un contador módulo 128.

En este caso la solución es la misma que la del ejercicio 7. Simplemente hay que tomar las salidas $Z_{6:0}$ y descartar Z_7