

APELLIDOS Y NOMBRE: _____

ESTRUCTURA DE COMPUTADORES



Problema 1.- Se desea diseñar un sistema digital que permita calcular la parte entera del valor medio de todos los bytes sin signo almacenados en una memoria RAM de 64x8. Dicho resultado se mostrará sobre el bus de salida Dout, durante un ciclo de reloj. Siga los siguientes pasos:

- 1) Unidad de datos. Parte de la unidad de datos del Sistema Digital está dibujada en la figura 1. (5 puntos)
 1. Añadiendo los elementos que necesite, complete la unidad de datos del sistema. No olvide representar claramente las señales de control de cada uno de los nuevos componentes. (2 puntos)
 2. Describa a nivel RT la RAM y el registro AC (Tablas 1 y 2). (1 punto)
 3. Dibuje la unidad de datos como un bloque que muestre las entradas y salidas de la misma. (0.5 puntos)
 4. Complete la descripción Verilog la unidad de datos suponiendo que ya dispone de las descripciones Verilog de todos sus componentes (Plantilla adjunta). (1.5 puntos)
- 2) Unidad de control (5 puntos)
 1. Obtenga la carta ASM de la unidad de control. (3 puntos)
 2. Dibuje la unidad de control como un bloque que muestre claramente cuáles son las entradas y salidas de la misma. (0.5 puntos)
 3. Complete la plantilla Verilog de la unidad de control. (1.5 puntos)

Problema 2.- A la estructura del computador CS2010 se le desea añadir las instrucciones DUPlicar y MITad y cuya sintaxis se muestra a continuación:

DUP Rd
MIT Rd

En concreto, la instrucción DUP Rd realiza la siguiente operación $Rd \leftarrow 2 \times Rd$, mientras que MIT Rd, la operación $Rd \leftarrow Rd / 2$.

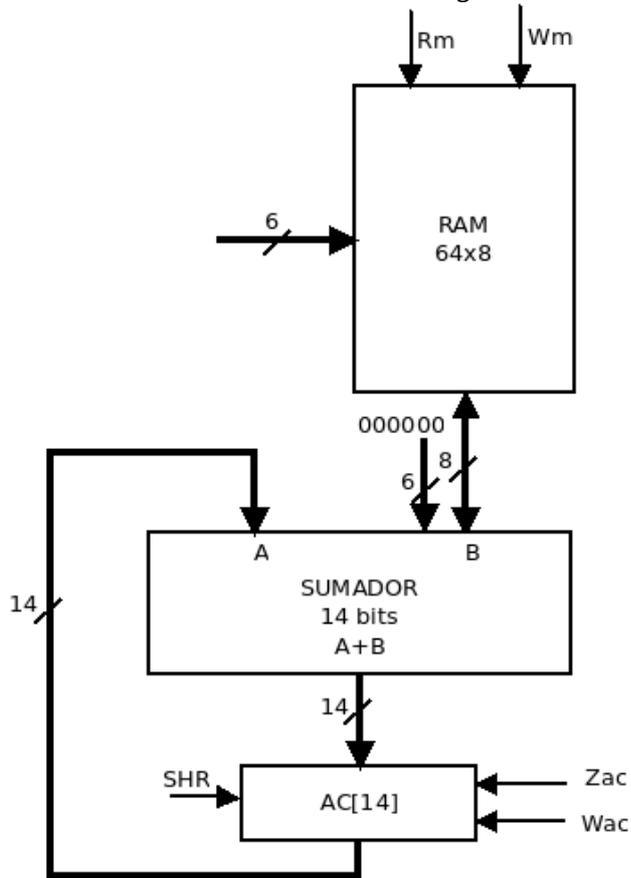
Se pide:

- 1) Asigne un formato de instrucción a DUP y MIT. Invente uno diferente a los existentes si fuese necesario (utilice el material permitido). (1 punto)
- 2) Asigne códigos de operación a estas nuevas instrucciones (utilice el material permitido). (1 punto)
- 3) Describa y dibuje los cambios estructurales que se deben realizar en el CS2010 para poder implementar estas nuevas instrucciones (figura 2). (3 puntos)
- 4) Obtenga la secuencia de micro-operaciones para cada una de ellas (5 puntos)

APELLIDOS Y NOMBRE: _____

Figura 1

1.1)



1.2)

R_m	W_m		W_{ac}	Z_{ac}	SHR		

Tablas 1 y 2

APELLIDOS Y NOMBRE: _____

```
module unidad_datos ( input clk,                               //Complete lista entradas y salidas
```

```
);  
    //A continuación declare los cables y buses necesarios para interconectar los componentes
```

```
    //Declare las instancias de los módulos de la unidad de datos
```

```
endmodule
```

```
//Aquí vienen las descripciones de los módulos. Añada los que necesite para completar la unidad de  
//datos siguiendo una estructura similar a la que se muestra a continuación con los módulos  
//existentes.
```

```
module memoria (input r, w, input [5:0] dir, inout [7:0] data);
```

```
    .....  
endmodule
```

```
module acumulador (input clk, w, z, input [13:0] in, output [13:0] out);
```

```
    ....  
endmodule
```

```
module sumador (input [13:0] a, [13:0] b, output reg [13:0] out);
```

```
    ....  
endmodule
```

APELLIDOS Y NOMBRE: _____

```
module unidad_control (input clk, reset,                                // Complete con el resto
                      output reg                                       // de entradas y salidas

);
parameter S0 =                ,

                      SF =                ;// Complete la lista de estados

reg [  :0] current_state, next_state; // Complete la declaración de variables de estado
always @ ( posedge clk, posedge reset )
begin
    if (                )                // Complete el "if"
    else                // Complete el "else"
    end
always @ (*)
begin

                // Inicialice aquí las salidas
    case (current_state)
    S0:

    endcase
end
endmodule
```

APELLIDOS Y NOMBRE: _____

Indique los cambios estructurales sobre el propio dibujo.

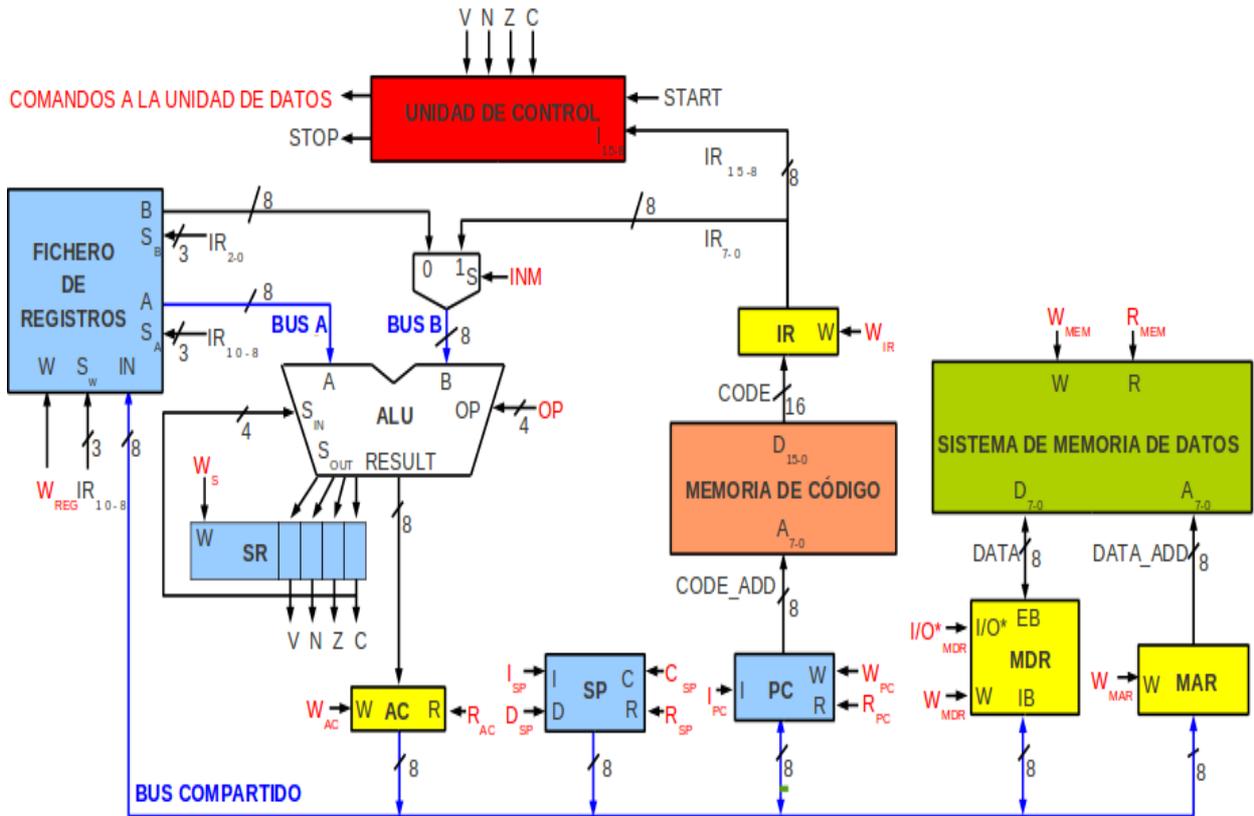


Figura 2

Justifique aquí los cambios realizados.