

Primer apellido
Segundo apellido
Nombre

--	--	--	--

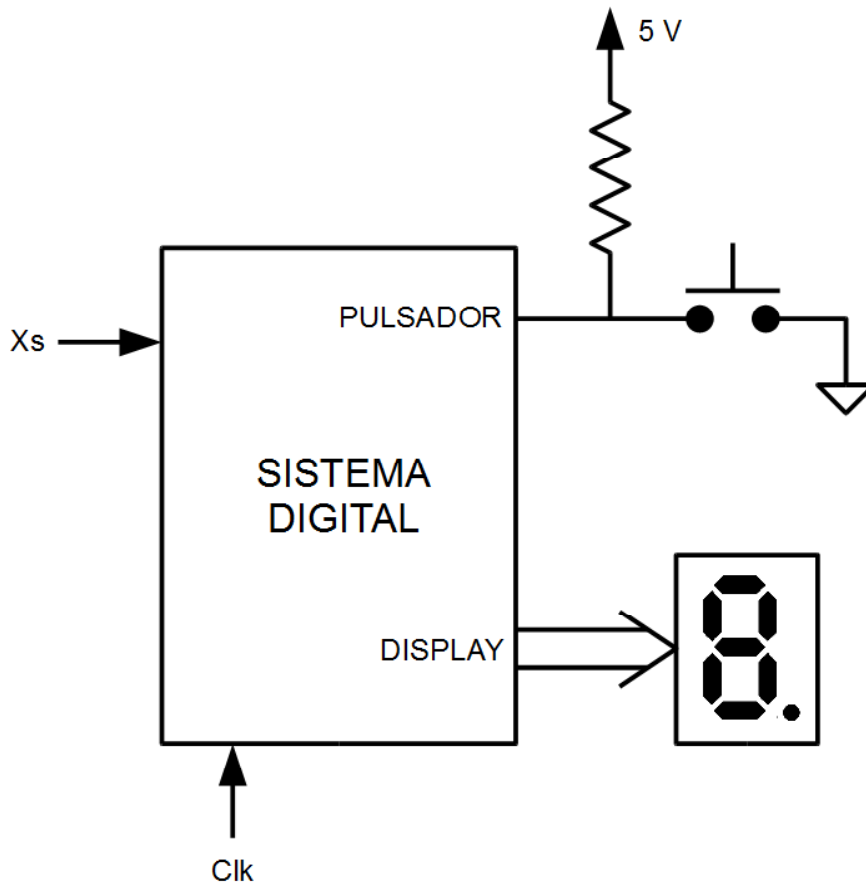
Estructura de Computadores

1^{er} curso del Grado en Ingeniería Informática - Tecnologías Informáticas
Examen final del 15 de septiembre de 2011

PROBLEMA 1

Se desea desarrollar un sistema digital (S. D.) como el de la figura que se muestra en esta página, que sea capaz de contar el número de veces que se presiona un pulsador mecánico conectado a la entrada PULSADOR. Para mostrar el número de pulsaciones, el S. D. dispone de un display de 7 segmentos conectado al bus de salida DISPLAY. Si el número de pulsaciones es mayor que 9, en el display se debe mostrar la letra U. Los códigos del display de 7 segmentos se encuentran almacenados en una ROM de 16 x 8. Para evitar el efecto de los rebotes del pulsador, el S. D. deberá, siempre, preguntar el estado del pulsador cada 250 ms. Considere un período de 1 ms para la señal de reloj del S. D.

- Diseñe la unidad de datos del S. D. describiendo adecuadamente sus componentes.
- Describa la carta ASM de la Unidad de Control.
- Describa la Unidad de Datos en Verilog. (No es necesario describir el funcionamiento de cada módulo pero, al menos, tendrá que definir las entradas y salidas de los mismos.)



PROBLEMA 2

Diseñar un sistema de control de acceso de un aparcamiento de 50 plazas basado en un microcontrolador ATmega328 trabajando con un reloj de 1 MHz. Dicho sistema de control dispone de los siguientes componentes:

- Sensores que detectan la presencia de un coche tanto en la puerta de entrada al aparcamiento como en la puerta de salida, conectados a los pines 0 y 1 del puerto B.
- Señales para la apertura de las barreras de entrada y de salida, que han de generarse en los pines 2 y 3 del puerto B. La barrera estará abierta mientras que la señal esté activa y permanecerá cerrada si la señal está inactiva.
- Señal de activación de luz verde para indicar que hay plazas libres, que ha de generarse en el pin 4 del puerto B. La luz estará verde mientras la señal esté activa y se apagará si la señal está inactiva.
- Señal de activación de luz roja para indicar que no hay plazas libres, que ha de generarse en el pin 5 del puerto B. La luz estará roja mientras la señal esté activa y se apagará si la señal está inactiva.

El sistema debe comprobar cada dos segundos la presencia de coches en las puertas del aparcamiento, permitiéndolos entrar y salir actuando sobre las barreras, e informando con las luces del estado de ocupación del aparcamiento. Si el aparcamiento se llena, la puerta de entrada debe permanecer cerrada aunque haya un coche en la entrada.

Considere que, al arrancar el sistema por primera vez, el aparcamiento se encuentra completamente vacío.

PROBLEMA 3

Se desea diseñar un sistema de memoria para un procesador de 20 líneas en el bus de direcciones y 8 líneas en el bus de datos. En concreto, ha de colocarse un bloque de 128 KB de EPROM a partir de la dirección \$50000 y dos bloques de 64 KB de RAM a partir de las direcciones \$0 y \$20000 respectivamente.

Solo se dispone de chips de 64K x 8 tanto de RAM como de EPROM, todos ellos con señales de selección de chip activas en bajo.

- Proporcione el mapa de memoria, el circuito de decodificación y el esquema de la interconexión entre el procesador y la memoria.
- Calcule la dirección que ha de poner el procesador en el AB para acceder a la dirección \$1357 de cada uno de los chips de EPROM.
- Obtenga el chip seleccionado y la dirección accedida dentro del chip cuando el procesador pone en el AB la dirección \$5B0BA y también la dirección \$BA0BA.
- Indique qué espacio de memoria ha quedado sin ocupar.

NOTA: Los tres problemas tienen la misma puntuación.

ANEXO: Información ATmega328

Para cada instrucción se presenta la siguiente información:

Mnemónico	Operandos	Descripción	Rango	Operación	Banderines	Ciclos de reloj
-----------	-----------	-------------	-------	-----------	------------	-----------------

Instrucciones de transferencia de datos

MOV	Rd,Rr	Copiar registro	$d,r \in [0,31]$	$Rd \mathbf{B} Rr$	Ninguno	1
MOVW	Rd,Rr	Copiar registro W	$d,r \in [0,30]$	$Rd+1:Rd \mathbf{B} Rr+1:Rr$	Ninguno	1
LDI	Rd,k	Cargar dato inmediato	$d \in [16,31]$ $k \in [0,255]$	$Rd \mathbf{B} k$	Ninguno	1
LDS	Rd,k	Cargar dato desde la memoria	$d \in [0,31]$ $k < 64K$	$Rd \mathbf{B} (k)$	Ninguno	2
LD	Rd,X Rd,X+ Rd,-X Rd,Y Rd,Y+ Rd,-Y Rd,Z Rd,Z+ Rd,-Z	Carga el registro con un dato indirecto	$d \in [0,31]$	$Rd \mathbf{B} (X)$ $Rd \mathbf{B} (X); X \mathbf{B} X+1$ $X \mathbf{B} X-1; Rd \mathbf{B} (X)$ $Rd \mathbf{B} (Y)$ $Rd \mathbf{B} (Y); Y \mathbf{B} Y+1$ $Y \mathbf{B} Y-1; Rd \mathbf{B} (Y)$ $Rd \mathbf{B} (Z)$ $Rd \mathbf{B} (Z); Z \mathbf{B} Z+1$ $Z \mathbf{B} Z-1; Rd \mathbf{B} (Z)$	Ninguno	2
LDD	Rd,Y+q Rd,Z+q	Carga el registro con un dato indirecto con desplazamiento	$d \in [0,31]$ $q \in [0,63]$	$Rd \mathbf{B} (Y+q)$ $Rd \mathbf{B} (Z+q)$	Ninguno	2

STS	K, Rr	Almacenar dato en memoria	$r \in [0,31]$ $K \in [0,64k]$	$(K) \mathbf{B} Rr$	Ninguno	2
ST	X,Rr X+,Rr -X,Rr Y,Rr Y+,Rr -Y,Rr Z,Rr Z+,Rr -Z,Rr	Almacenar registro en memoria	$r \in [0,31]$	$(X) \mathbf{B} Rr$ $(X) \mathbf{B} Rr; X \mathbf{B} X+1$ $X \mathbf{B} X-1; (X) \mathbf{B} Rr$ $(Y) \mathbf{B} Rr$ $(Y) \mathbf{B} Rr; Y \mathbf{B} Y+1$ $Y \mathbf{B} Y-1; (Y) \mathbf{B} Rr$ $(Z) \mathbf{B} Rr$ $(Z) \mathbf{B} Rr; Z \mathbf{B} Z+1$ $Z \mathbf{B} Z-1; (Z) \mathbf{B} Rr$	Ninguno	2
STD	Y+q,Rr Z+q,Rr	Almacenar registro en memoria con indirecto con desplazamiento	$r \in [0,31]$	$(Y+q) \mathbf{B} Rr$ $(Z+q) \mathbf{B} Rr$	Ninguno	2
LPM	Rd,Z Rd,Z+	Carga memoria de programa		$R0 \mathbf{B} (Z)$ $Rd \mathbf{B} (Z)$ $Rd \mathbf{B} (Z); Z \mathbf{B} Z+1$	Ninguno	3
SPM		Almacenar en memoria de programa		$(Z) \mathbf{B} R1:R0$	Ninguno	-

IN	Rd,P	Entrada del puerto	$d \in [0,31]$ $P \in [0,63]$	$Rd \mathbf{B} P$	Ninguno	1
OUT	P,Rr	Salida hacia el puerto	$r \in [0,31]$ $P \in [0,63]$	$P \mathbf{B} Rr$	Ninguno	1
PUSH	Rr	Empujar en pila	$r \in [0,31]$	$STACK \mathbf{B} Rr$	Ninguno	2
POP	Rd	Sacar de pila	$d \in [0,31]$	$Rd \mathbf{B} STACK$	Ninguno	2

Instrucciones aritmético-lógicas

ADD	Rd,Rr	Suma sin carry	$d,r \in [0,31]$	$Rd \mathbf{B} Rd+Rr$	Z,N,V,C,H	1
ADC	Rd,Rr	Suma con carry	$d,r \in [0,31]$	$Rd \mathbf{B} Rd+Rr+C$	Z,N,V,C,H	1
ADIW	Rd,K	Suma inmediato con palabra	$d \in [24,26,28,30]$ $K \in [0,63]$	$Rd+1:Rd \mathbf{B} Rd+1:Rd + K$	Z,N,V,C	2
SUB	Rd,Rr	Resta sin carry	$d,r \in [0,31]$	$Rd \mathbf{B} Rd-Rr$	Z,N,V,C,H	1
SUBI	Rd,K	Resta inmediato	$d \in [16,31]$ $K \in [0,255]$	$Rd \mathbf{B} Rd-K$	Z,N,V,C,H	1
SBC	Rd,Rr	Resta con carry	$d,r \in [0,31]$	$Rd \mathbf{B} Rd-Rr-C$	Z,N,V,C,H	1
SBCI	Rd,K	Resta inmediato con carry	$d \in [16,31]$ $K \in [0,255]$	$Rd \mathbf{B} Rd-K-C$	Z,N,V,C,H	1
SBIW	Rd,K	Resta inmediato con palabra	$d \in [24,26,28,30]$ $K \in [0,63]$	$Rd+1:Rd \mathbf{B} Rd+1:Rd - K$	Z,N,V,C	2
AND	Rd,Rr	And lógica	$d,r \in [0,31]$	$Rd \mathbf{B} Rd \mathbf{A} Rr$	Z,N,V	1
ANDI	Rd,K	And lógica con dato inmediato	$d \in [16,31]$ $K \in [0,255]$	$Rd \mathbf{B} Rd \mathbf{A} K$	Z,N,V	1
OR	Rd,Rr	Or lógica	$d,r \in [0,31]$	$Rd \mathbf{B} Rd \mathbf{V} Rr$	Z,N,V	1
ORI	Rd,K	Or lógica con dato inmediato	$d \in [16,31]$ $K \in [0,255]$	$Rd \mathbf{B} Rd \mathbf{V} K$	Z,N,V	1
EOR	Rd,Rr	Exclusive or	$d,r \in [0,31]$	$Rd \mathbf{B} Rd \mathbf{O} Rr$	Z,N,V	1
COM	Rd	Complemento a 1	$d,r \in [0,31]$	$Rd \mathbf{B} \$FF-Rd$	Z,N,V,C	1

NEG	Rd	Complemento a 2	d,r∈[0,31]	Rd $\bar{\mathbf{B}}$ S00-Rd	Z,N,V,C	1
INC	Rd	Incrementa	d,r∈[0,31]	Rd $\bar{\mathbf{B}}$ Rd+1	Z,N,V	1
DEC	Rd	Decrementa	d,r∈[0,31]	Rd $\bar{\mathbf{B}}$ Rd-1	Z,N,V	1

CLR	Rd	Poner a cero	d,r∈[0,31]	Rd $\bar{\mathbf{B}}$ 0	Z,N,V	1
SER	Rd	Poner todo a 1	d,r∈[0,31]	Rd $\bar{\mathbf{B}}$ FFF	Z,N,V	1
CP	Rd,Rr	Compara	d,r∈[0,31]	Rd-Rr	Z,N,V,C,H	1
CPC	Rd,Rr	Compara con carry	d,r∈[0,31]	Rd-Rr-C	Z,N,V,C,H	1
CPI	Rd,K	Compara inmediato	d∈[16,31] K∈[0,255]	Rd-K	Z,N,V,C,H	1
MUL	Rd,Rr	Multiplica sin signo	d,r∈[0,31]	R1:R0 $\bar{\mathbf{B}}$ Rd x Rr	Z,C	2
MULS	Rd,Rr	Multiplica con signo	d,r∈[0,31]	R1:R0 $\bar{\mathbf{B}}$ Rd x Rr	Z,C	2
MULSU	Rd,Rr	Multiplica signo con sin signo	d,r∈[0,31]	R1:R0 $\bar{\mathbf{B}}$ Rd x Rr (Rd signed Rr unsigned)	Z,C	2

Instrucciones de salto

RJMP	Etiqueta	Salto relativo	-2k< Etiqueta <2k	PC $\bar{\mathbf{B}}$ PC+ Etiqueta +1	Ninguno	2
JMP (1)	Etiqueta	Salto	0<Etiqueta<4M	PC $\bar{\mathbf{B}}$ Etiqueta	Ninguno	2
IJMP		Salto indirecto		PC $\bar{\mathbf{B}}$ (Z)	Ninguno	3
RCALL	Etiqueta	Llamada a subrutina relativa	-2k< Etiqueta <2k	STACK $\bar{\mathbf{B}}$ PC PC $\bar{\mathbf{B}}$ PC+ Etiqueta +1	Ninguno	3
CALL (1)	Etiqueta	Llamada a subrutina	0<Etiqueta<4M	STACK $\bar{\mathbf{B}}$ PC PC $\bar{\mathbf{B}}$ Etiqueta	Ninguno	3
ICALL		Llamada a subrutina indirecta		STACK $\bar{\mathbf{B}}$ PC PC $\bar{\mathbf{B}}$ (Z)	Ninguno	4
RET		Regreso de subrutina		PC $\bar{\mathbf{B}}$ STACK	Ninguno	4
RETI		Regreso de interrup.		PC $\bar{\mathbf{B}}$ STACK	I	4
CPSE	Rd,Rr	Compara, esquiva si iguales	d,r∈[0,31]	Si Rd=Rr PC $\bar{\mathbf{B}}$ PC+2 (ó 3)	Ninguno	01/02/03
SBRC	Rr,b	Esquiva si el bit está a cero	r∈[0,31] b∈[0,7]	Si (Rd(b)=0) PC $\bar{\mathbf{B}}$ PC+2 (ó 3)	Ninguno	01/02/03
SBRB	Rr,b	Esquiva si el bit está a uno	r∈[0,31] b∈[0,7]	Si (Rd(b)=1) PC $\bar{\mathbf{B}}$ PC+2 (ó 3)	Ninguno	01/02/03

SBIC	P,b	Esquiva si el bit del puerto está a 0	P∈[0,31] b∈[0,7]	Si (I/O(P,b)=0) PC $\bar{\mathbf{B}}$ PC+2 (ó 3)	Ninguno	1 ó 2 ó 3
SBIS	P,b	Esquiva si el bit del puerto está a 1	P∈[0,31] b∈[0,7]	Si (I/O(P,b)=1) PC $\bar{\mathbf{B}}$ PC+2 (ó 3)	Ninguno	1 ó 2 ó 3
BREQ	Etiqueta	Salta si iguales	Etiqueta ∈ [-64,63]	Si (Z=1) PC $\bar{\mathbf{B}}$ PC+ Etiqueta +1	Ninguno	1 ó 2
BRNE	Etiqueta	Salta si distintos	Etiqueta ∈ [-64,63]	Si (Z=0) PC $\bar{\mathbf{B}}$ PC+ Etiqueta +1	Ninguno	1 ó 2
BRCS	Etiqueta	Salta si C está a 1	Etiqueta ∈ [-64,63]	Si (C=1) PC $\bar{\mathbf{B}}$ PC+ Etiqueta +1	Ninguno	1 ó 2
BRCC	Etiqueta	Salta si C está a 0	Etiqueta ∈ [-64,63]	Si (C=0) PC $\bar{\mathbf{B}}$ PC+ Etiqueta +1	Ninguno	1 ó 2
BRSH	Etiqueta	Salta si igual o mayor	Etiqueta ∈ [-64,63]	Si (C=1) PC $\bar{\mathbf{B}}$ PC+ Etiqueta +1	Ninguno	1 ó 2

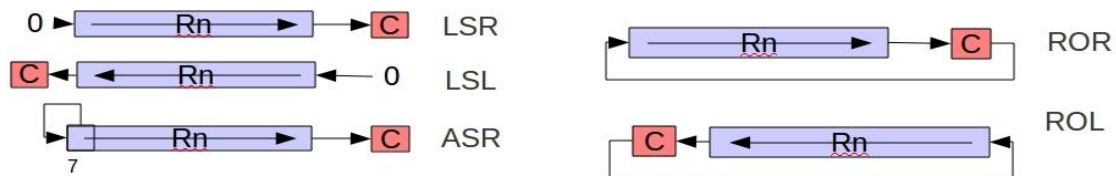
BRLO	Etiqueta	Salta si menor	Etiqueta ∈ [-64,63]	Si (C=0) PC $\bar{\mathbf{B}}$ PC+ Etiqueta +1	Ninguno	1 ó 2
BRMI	Etiqueta	Salta si negativo	Etiqueta ∈ [-64,63]	Si (N=1) PC $\bar{\mathbf{B}}$ PC+ Etiqueta +1	Ninguno	1 ó 2
BRPL	Etiqueta	Salta si positivo	Etiqueta ∈ [-64,63]	Si (N=0) PC $\bar{\mathbf{B}}$ PC+ Etiqueta +1	Ninguno	1 ó 2
BRHS	Etiqueta	Salta si H está a 1	Etiqueta ∈ [-64,63]	Si (H=1) PC $\bar{\mathbf{B}}$ PC+ Etiqueta +1	Ninguno	1 ó 2
BRHC	Etiqueta	Salta si H está a 0	Etiqueta ∈ [-64,63]	Si (H=0) PC $\bar{\mathbf{B}}$ PC+ Etiqueta +1	Ninguno	1 ó 2
BRTS	Etiqueta	Salta si T está a 1	Etiqueta ∈ [-64,63]	Si (T=1) PC $\bar{\mathbf{B}}$ PC+ Etiqueta +1	Ninguno	1 ó 2
BRTC	Etiqueta	Salta si T está a 0	Etiqueta ∈ [-64,63]	Si (T=0) PC $\bar{\mathbf{B}}$ PC+ Etiqueta +1	Ninguno	1 ó 2
BRVS	Etiqueta	Salta si V está a 1	Etiqueta ∈ [-64,63]	Si (V=1) PC $\bar{\mathbf{B}}$ PC+ Etiqueta +1	Ninguno	1 ó 2
BRVC	Etiqueta	Salta si V está a 0	Etiqueta ∈ [-64,63]	Si (V=0) PC $\bar{\mathbf{B}}$ PC+ Etiqueta +1	Ninguno	1 ó 2
BRIE	Etiqueta	Salta si I está a 1	Etiqueta ∈ [-64,63]	Si (I=1) PC $\bar{\mathbf{B}}$ PC+ Etiqueta +1	Ninguno	1 ó 2
BRID	Etiqueta	Salta si I está a 0	Etiqueta ∈ [-64,63]	Si (I=0) PC $\bar{\mathbf{B}}$ PC+ Etiqueta +1	Ninguno	1 ó 2

BRGE	Etiqueta	Salta si mayor o igual, (signo)	Etiqueta ∈ [-64,63]	Si (N \oplus V=0) PC $\bar{\mathbf{B}}$ PC+ Etiqueta +1	Ninguno	1 ó 2
BRLT	Etiqueta	Salta si menor (signo)	Etiqueta ∈ [-64,63]	Si (N \oplus V=1) PC $\bar{\mathbf{B}}$ PC+ Etiqueta +1	Ninguno	1 ó 2

Test (CP Rd,Rr)	Booleana	Mnemonico	Comentario
Rd ≥ Rr	$(N \oplus V) = 0$	BRGE	Signo
Rd < Rr	$(N \oplus V) = 1$	BRLT	Signo
Rd = Rr	Z = 1	BREQ	Signo/Sin signo
Rd ≠ Rr	Z = 0	BRNE	Signo/Sin signo
Rd ≥ Rr	C = 0	BRCC/BRSH	Sin signo
Rd < Rr	C = 1	BRCS/BRLO	Sin signo
Carry	C=1	BRCS	Simple
Sin carry	C=0	BRCC	Simple
Negativo	N=1	BRMI	Simple
Positivo	N=0	BRPL	Simple
Overflow	V=1	BRVS	Simple
Sin overflow	V=0	BRVC	Simple
Cero	Z=1	BREQ	Simple
No cero	Z=0	BRNE	Simple

Instrucciones de bit y de bit test

Instrucción	Rd	Descripción	d ∈ [0,31]	Operación	Flags	Coste
LSL	Rd	Desplazamiento a la izquierda	d ∈ [0,31]	$Rd(n+1) \ll Rd(n)$, $Rd(0) \ll C$, $C \ll Rd(7)$	Z,C,N,V,H	1
LSR	Rd	Desplazamiento a la derecha	d ∈ [0,31]	$Rd(n) \gg Rd(n+1)$, $Rd(7) \gg C$, $C \gg Rd(0)$	Z,C,N,V	1
ROL	Rd	Rotación a la izquierda	d ∈ [0,31]	$Rd(n+1) \ll Rd(n)$, $Rd(0) \ll C$, $C \ll Rd(7)$	Z,C,N,V,H	1
ROR	Rd	Rotación a la derecha	d ∈ [0,31]	$Rd(n) \gg Rd(n+1)$, $Rd(7) \gg C$, $C \gg Rd(0)$	Z,C,N,V	1
ASR	Rd	Desplazamiento aritmético a la derecha	d ∈ [0,31]	$Rd(n) \gg Rd(n+1)$, $Rd(7) \gg Rd(7)$, $C \gg Rd(0)$	Z,C,N,V	1



Instrucción	Operando	Descripción	Operando	Operación	Flags	Coste
SWAP	Rd	Intercambia nibbles	d ∈ [0,31]	$Rd(3..0) \leftrightarrow Rd(7..4)$	Ninguno	1
SBI	P,b	Poner a 1 el bit b del puerto IO	b ∈ [0,7] P ∈ [0,31]	$IO(P,b) \ll 1$	Ninguno	2
CBI	P,b	Poner a 0 el bit b del puerto IO	b ∈ [0,7] P ∈ [0,31]	$IO(P,b) \ll 0$	Ninguno	2
SEcc	(Ver Nota)	Poner a 1 el bit cc del registro de estado			cc	1
CLcc	(Ver Nota)	Poner a 0 el bit cc del registro de estado			cc	1

(Nota: En SEcc y CLcc, cc = C,N,T,Z,I,V,H,S)

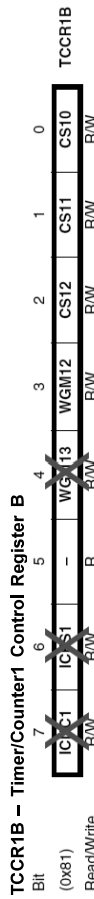
Instrucciones de control

Instrucción	Descripción	Flags	Coste
NOP	Nada	Ninguno	1
BREAK	Para depuración	Ninguno	N/A
WDR	Reinicia el temporizador del perro guardián	Ninguno	1
SLEEP	Dormir	Ninguno	1

Tabla de vectores de interrupción y de reset del ATmega328

Vector No.	Program Address	Source	Interrupt Definition
1	0x0000	RESET	External Pin, Power-on Reset, Brown-out Reset and Watchdog System Reset
2	0x0002	INT0	External Interrupt Request 0
3	0x0004	INT1	External Interrupt Request 1
4	0x0006	PCINT0	Pin Change Interrupt Request 0
5	0x0008	PCINT1	Pin Change Interrupt Request 1
6	0x000A	PCINT2	Pin Change Interrupt Request 2
7	0x000C	WDT Watchdog	Time-out Interrupt
8	0x000E	TIMER2 COMPA	Timer/Counter2 Output Compare A Match
9	0x0010	TIMER2 COMPB	Timer/Counter2 Output Compare B Match
10	0x0012	TIMER2 OVF	Timer/Counter2 Overflow
11	0x0014	TIMER1 CAPT	Timer/Counter1 Capture Event
12	0x0016	TIMER1 COMPA	Timer/Counter1 Output Compare A Match
13	0x0018	TIMER1 COMPB	Timer/Counter1 Output Compare B Match
14	0x001A	TIMER1 OVF	Timer/Counter1 Overflow
15	0x001C	TIMER0 COMPA	Timer/Counter0 Output Compare A Match
16	0x001E	TIMER0 COMPB	Timer/Counter0 Output Compare B Match
17	0x0020	TIMER0 OVF	Timer/Counter0 Overflow
18	0x0022	SPI, STC	SPI Serial Transfer Complete
19	0x0024	USART, RX	USART Rx Complete
20	0x0026	USART, UDRE	USART, Data Register Empty
21	0x0028	USART, TX	USART, Tx Complete
22	0x002A	ADC	ADC Conversion Complete
23	0x002C	EE READY	EEPROM Ready
24	0x002E	ANALOG COMP	Analog Comparator
25	0x0030	TWI	2-wire Serial Interface
26	0x0032	SPM READY	Store Program Memory Ready

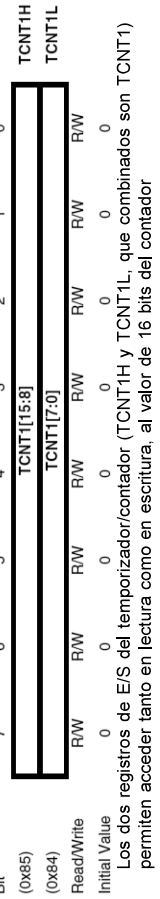
Nombre, estructura y funcionamiento de algunos registros de E/S



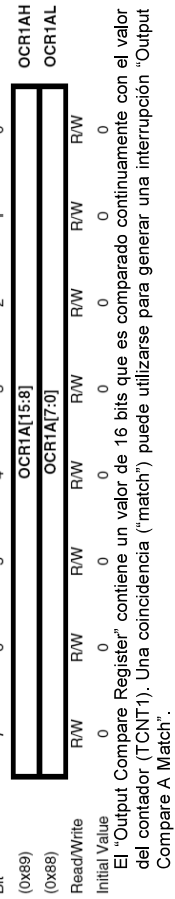
- **Bit 3 – WGM12: Waveform Generation Mode**
Este bit controla el modo de funcionamiento del temporizador/contador:
 - Modo "NORMAL" (modo contador) si WGM12 es 0
 - Modo "CLEAR TIMER ON COMPARE MATCH" (modo CTC) si WGM12 es 1.
- **Bit 2:0 – CS12:0: Clock Select**
Estos tres bits seleccionan la fuente de reloj utilizada por el temporizador/contador1, de acuerdo a la siguiente tabla.

CS12	CS11	CS10	Descripción
0	0	0	Temporizador/contador parado
0	0	1	Frecuencia clk/1
0	1	0	Frecuencia clk/8
0	1	1	Frecuencia clk/64
1	0	0	Frecuencia clk/256
1	0	1	Frecuencia clk/1024
1	1	0	Flanco de bajada de reloj externo en pin T1
1	1	1	Flanco de subida de reloj externo en pin T1

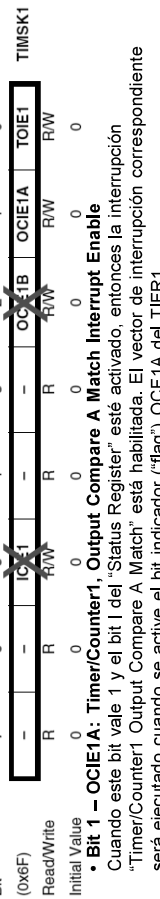
TCNT1H and TCNT1L – Timer/Counter1



OCR1AH and OCR1AL – Output Compare Register 1 A

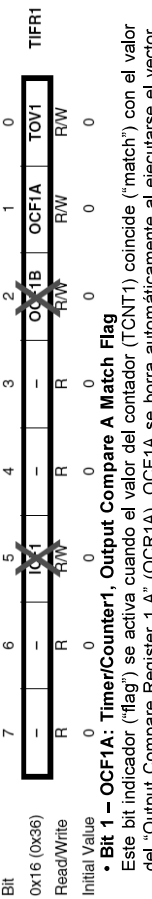


TIMSK1 – Timer/Counter1 Interrupt Mask Register



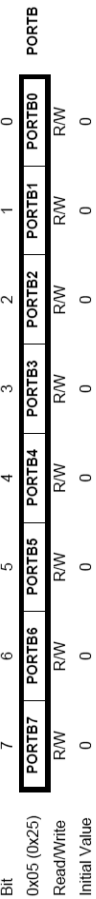
- **Bit 1 – OC1A: Timer/Counter1 Output Compare A Match Interrupt Enable**
Cuando este bit vale 1 y el bit 1 del "Status Register" está activado, entonces la interrupción "Timer/Counter1 Output Compare A Match" está habilitada. El vector de interrupción correspondiente será ejecutado cuando se active el bit indicador ("flag") OCF1A del TIFR1.
- **Bit 0 – TOIE1: Timer/Counter1, Overflow Interrupt Enable**
Cuando este bit vale 1 y el bit 1 del "Status Register" está activado, entonces la "Timer/Counter1 Overflow interrupt" está habilitada. El vector de interrupción correspondiente será ejecutado cuando se active el bit indicador ("flag") TOV1 del TIFR1.

TIFR1 – Timer/Counter1 Interrupt Flag Register

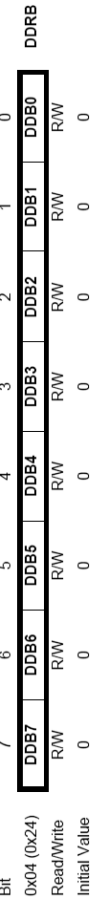


- **Bit 1 – OC1A: Timer/Counter1, Output Compare A Match Flag**
Este bit indicador ("flag") se activa cuando el valor del contador (TCNT1) coincide ("match") con el valor del "Output Compare Register 1 A" (OCR1A). OCF1A se borra automáticamente al ejecutarse el vector de interrupción "Timer/Counter1 Output Compare A Match". Alternativamente puede borrarse OCF1A escribiendo un 1 en su posición.
- **Bit 0 – TOV1: Timer/Counter1, Overflow Flag**
Este bit indicador ("flag") se activa cuando el valor del contador (TCNT1) desborda "overflows". TOV1 se borra automáticamente al ejecutarse el vector de interrupción "Timer/Counter1 Overflow". Alternativamente puede borrarse TOV1 escribiendo un 1 en su posición.

PORTB – Port B Data Register



DDRB – Port B Data Direction Register



PINB – Port B Input Pins Address



SREG – AVR Status Register

