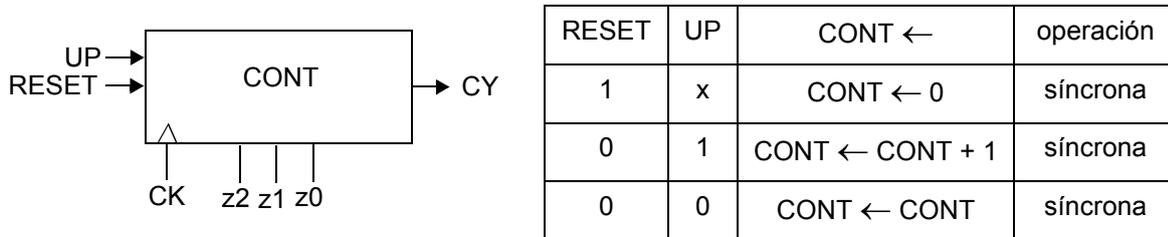


ALUMNO: _____

correo_electrónico: _____

Apartado 1:

Obtenga el código Verilog de un contador módulo 8 cuya tabla de operación y diagrama de bloques se muestra en la figura.



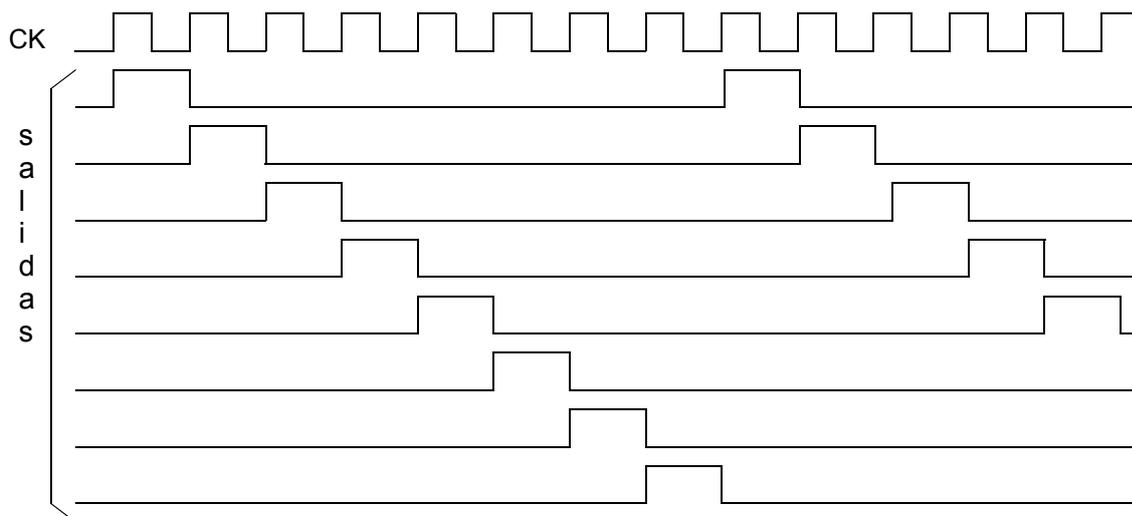
CY es la señal de carry

Apartado 2:

Obtenga el código Verilog de un decodificador 3 a 8 (DEC 3:8). Se trata de un circuito combinatorial de 3 entradas y 8 salidas que, para cada uno de los posibles valores de entrada solo pone una de sus salidas a valor 1 lógico, mientras el resto permanecen a valor 0.

Apartado 3:

Obtenga el código Verilog de un módulo formado por la interconexión de los circuitos obtenidos en los apartados 1 y 2. Lo que se pretende es conectar las salidas z2, z1 y z0 del contador con la entrada del decodificador de modo que el comportamiento temporal del sistema responda al siguiente esquema:



Apartado 4:

Obtenga el código Verilog del *testbench* necesario para poder comprobar mediante simulación si el comportamiento del sistema diseñado responde al diagrama temporal de la figura anterior.