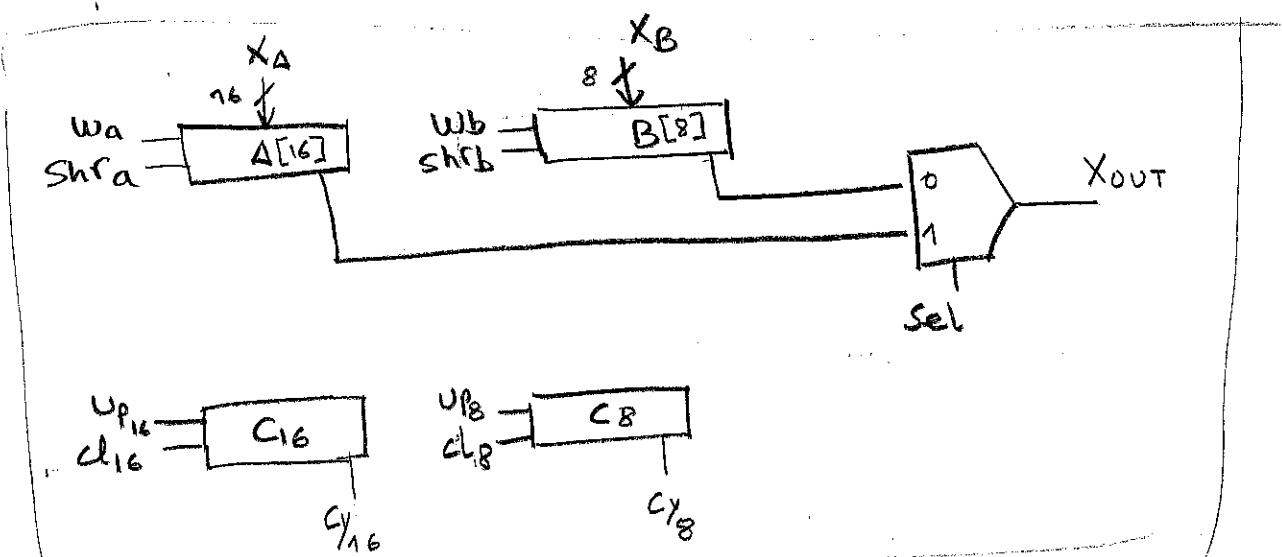


Problema 1

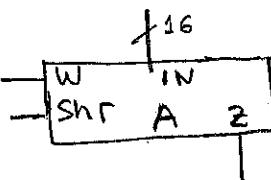
## UNIDAD DE DATOS



La unidad de datos propuesta consta de dos registros, A y B, de 16 bits y 8 bits respectivamente destinados a almacenar los datos que se reciben por las entradas  $X_A$  y  $X_B$ . Estos registros se piden en el enunciado. Son registros de entrada paralelo y salida serie. Las salidas se conectan a un MUX2:1 cuya salida es  $X_{OUT}$ . Esta es la salida del sistema por la que hay de enviar los datos en serie, el MUX permite seleccionar si se saca el dato almacenado en A o el almacenado en B. También hay dos contadores para contar los ciclos de reloj (8 o 16) que ha de durar la transmisión.

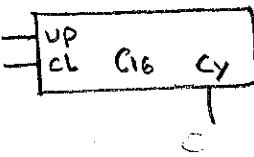
## DESCRIPCIÓN A NIVEL RT de LOS REGISTROS

Registro A (el registro B es igual pero de 8 bits)



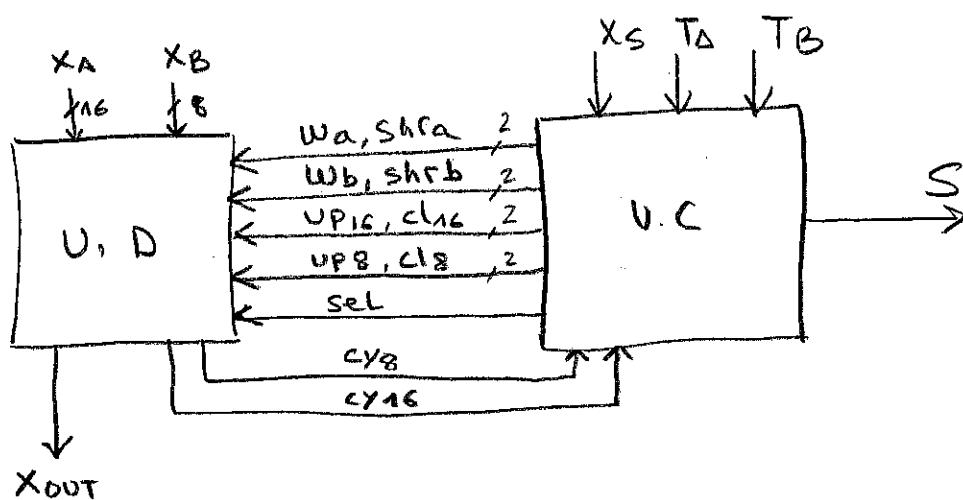
W Shr	A ←	Z =
0 0	A	A $\emptyset$
0 1	SHR(A, -)	A $\emptyset$
1 0	IN	A $\emptyset$
1 1	prob	prob

Contador C<sub>16</sub> (el contador C<sub>8</sub> es igual pero de 3 bits)

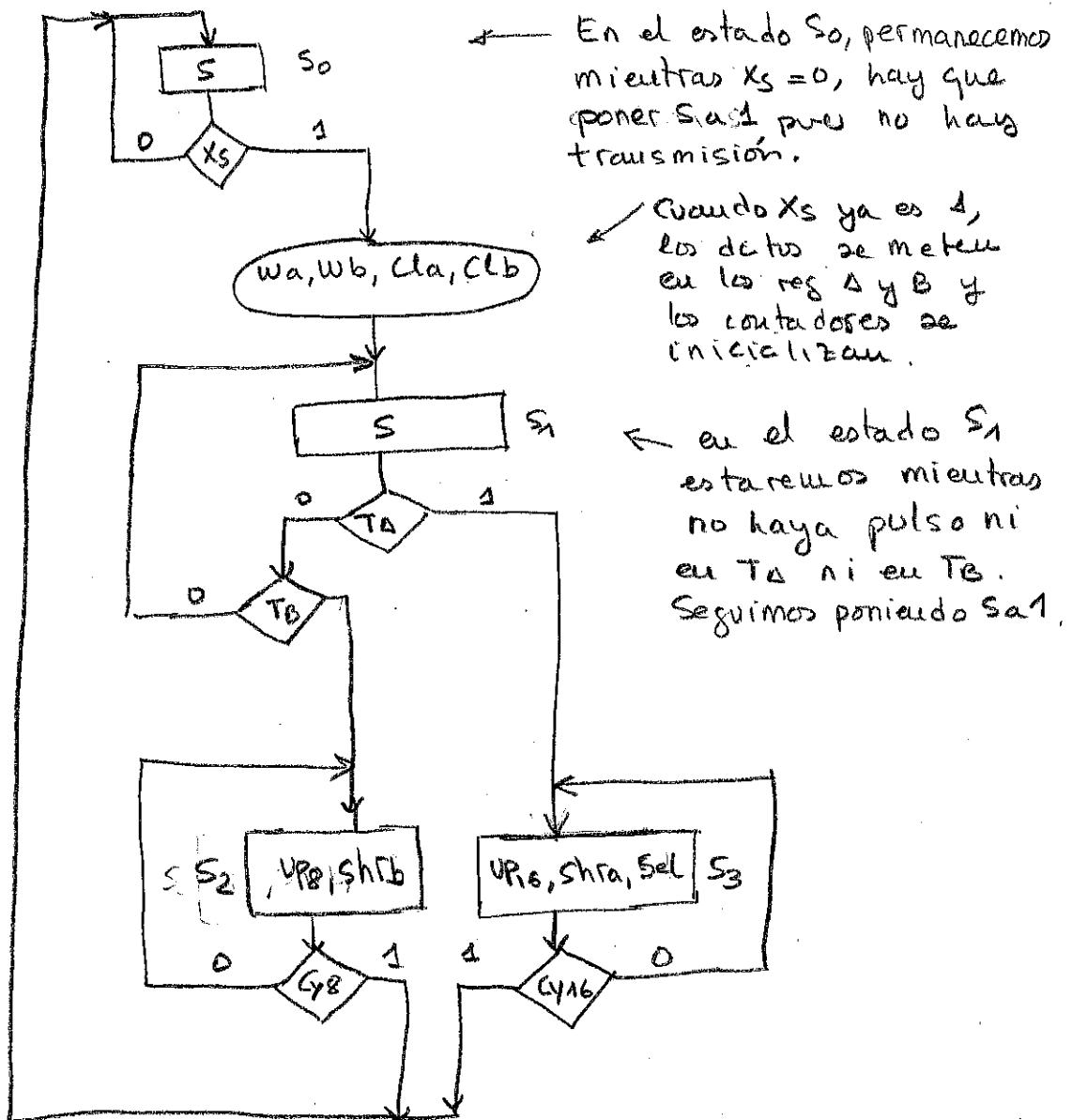


Up Cl	C <sub>16</sub> ←	C <sub>y</sub> =
0 0	C <sub>16</sub>	1 si [C <sub>16</sub> ] = 1111
0 1	0	"
1 0	C <sub>16</sub> + 1	"
1 1	prob	prob

## ORGANIZACIÓN DEL SISTEMA (U.D, U.C y conexiones)



# CARTA ASM de la U. Control



En el estado  $S_0$ , permanecemos mientras  $X_s = 0$ , hay que poner  $S_a1$  pues no hay transmisión.

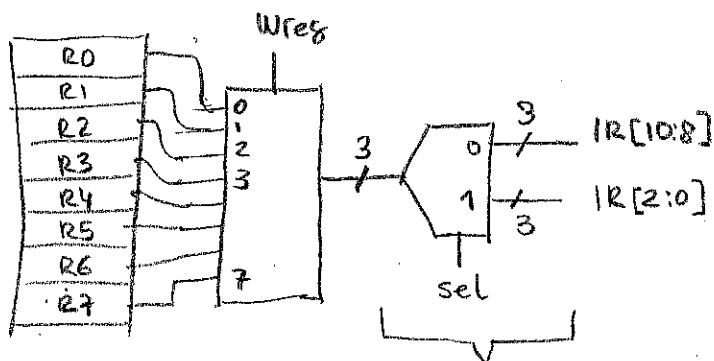
Cuando  $X_s$  ya es 1, los datos se meten en los reg A y B y los contadores se inicializan.

en el estado  $S_1$  estaremos mientras no haya pulsos ni en  $T_A$  ni en  $T_B$ . Seguimos poniendo  $S_a1$ .

Los estados  $S_3$  y  $S_2$ , son parecidos en ellos se entra si se activa  $T_A$  o  $T_B$  respectivamente. Lo que se hace es desplazar a la derecha el registro correspondiente ( $A \rightarrow B$ ) e ir sacando todos sus bits ciclo a ciclo a través del MUX activando o no 'sel'. El contador correspondiente ( $C_{16}$  o  $(8)$ ) se encarga de que se desplacen todos los bits. Durante estos ciclos  $S$  no se hace 1, para indicar como pide el problema que hay transmisión.

## Problema 2

(a) - Para introducir la instrucción EXG R<sub>i</sub>, R<sub>j</sub>, cosa que es posible, no necesitamos añadir ningún registro a la unidad de datos. El único elemento que es necesario introducir es un multiplexor que permita escribir en los dos registros implicados:



3MUX<sub>2:1</sub> → este es el nuevo elemento  
Si no se introduce no se podría activar la escritura del reg indicado en los bits 2y0 del IR.

- CODOP - puede ser cualquiera de los no utilizados por ejemplo 10000

- formato A:



- código máquina de EXG R<sub>1</sub>, R<sub>6</sub>

1000000100000110

## - Secuencia de microoperaciones

1.  $AC \leftarrow R(IR_{10:8})$  Wac, T<sub>A</sub>
2.  $R(IR_{2:0}) \leftarrow \Delta C$ ,  $AC \leftarrow R(IR_{2:0})$  Wac, Rac, Wreg, T<sub>B</sub>, Sel
3.  $R(IR_{10:8}) \leftarrow AC$  Rac, Wreg

## (b) código máquina

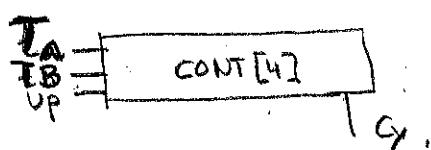
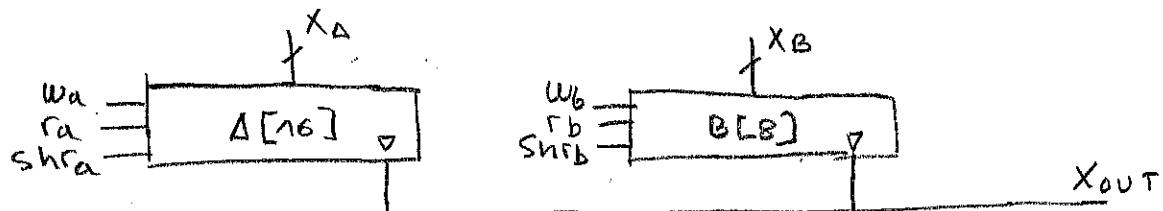
LDI R6, 0xF0	11111 110 11110000
LDI R7, 0xE0	11111 111 11100000
LD R0, Y	00001 000 00000110
LD R1, Z	00001 001 00000111
CP R0, R1	01011 000 00000001
BRLT etiq	00110 011 00000111
EXG R0, R1	10000 000 00000001
STS 0xDO, R0	00010 000 11010000
RET	00101 000 00000000

el programa almacena en la dirección 0xDO de la memoria de datos el menor de los almacenados en 0xF0 y 0xE0.

$DATMEM(\$DO) \leftarrow \text{menor} (DATMEM(\$F0), DATMEM(\$E0))$

## Otra solución al Problema 1

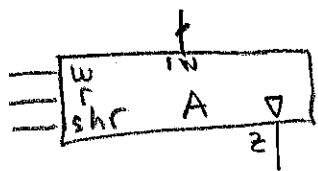
### UNIDAD DE DATOS



La unidad de dato consta de dos registros, A y B, de 16 y 8 bits respectivamente para almacenar los datos recibidos por los buses X<sub>A</sub> y X<sub>B</sub> tal y como indica el enunciado. Son registros de entrada paralelo y salida serie; esta salida posee la capacidad de ponerse en HI (alta impedancia) lo que permite que las procedentes de ambos registros puedan unirse entre sí dando lugar a la salida X<sub>OUT</sub> sin necesidad de multiplexor. Existe un único contador de módulo 48 que podrá precargarse a 8, de este forma podremos computar 8 o 16 ciclos que son los que ha de durar la transmisión.

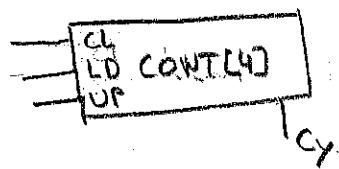
## DESCRIPCION A NIVEL RT DE LOS REGISTROS

Registros A o B



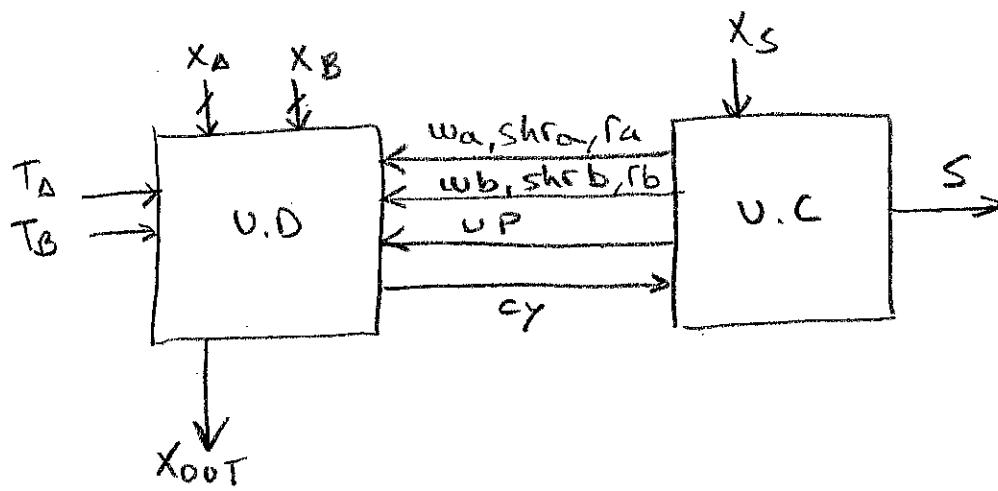
W, r shr	A ←	Z =
0 0 0	A	H1
0 0 1	SHR(A, -)	A61
0 1 0	A	A0
1 0 0	IN	H1
resto	prob	prob

Contador CONT



CL	LD	UP	CONT ←	CY
0	0	0	CONT	1 si [CONT] = 111
0	0	1	CONT + 1	"
0	1	0	8	"
1	0	0	0	"
resto			prob	prob

ORGANIZACION DEL SISTEMA (UD, UC y condiciones)



# CARTA ASM DE LA UNIDAD DE CONTROL

