

Apartado 2

error 1 - las variables  $g, e, l$  debieron ser declaradas tipo `reg`, ya que se usan en una descripción procedimental

incorrecto:

```
module comp (input [3:0] a, b, input g, e, l,
             output g, e, l);
```

correcto:

```
module comp (input [3:0] a, b, input g, e, l,
             output reg g, e, l);
```

error 2 - falta la sentencia `always` antes de comenzar el procedimiento

correcto:

**always @(\*)** tras la sentencia `module`

error 3 - no es posible asignar el valor 0 a  $g, e, l$  de la manera en que se hace:

incorrecto:

```
g = e = l = 0;
```

correcto:

**{g, e, l} = 0** o también:  $g = 0;$   
 $e = 0;$   
 $l = 0;$

error 4.

la comparación que aparece dentro del if no está correctamente escrita

incorrecto:

```
if (a = b)
```

correcto:

```
if (a == b)
```

error 5-

falta poner begin y end en todos los sitios donde hay más de una sentencia, estos sitios son: 1) a continuación del always (begin) y al final del procedimiento (end); 2) tras el if (begin) y antes del primer else (end)

correcto: (se muestra ya todo el código)

```
module comp (input [3:0] a, b, input g0, e0, l0,
             output reg g, e, l);
```

```
always @(*)
```

```
begin
```

```
{g, e, l} = 0;
```

```
if (a == b)
```

```
begin
```

```
g = g0;
```

```
e = e0;
```

```
l = l0;
```

```
end
```

```
else if (a > b)
```

```
g = 1;
```

(si sue) ↘

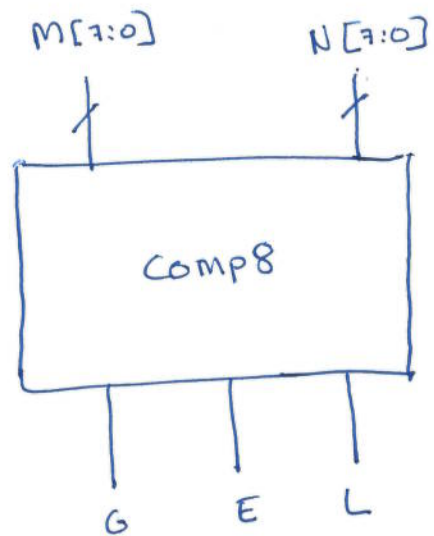
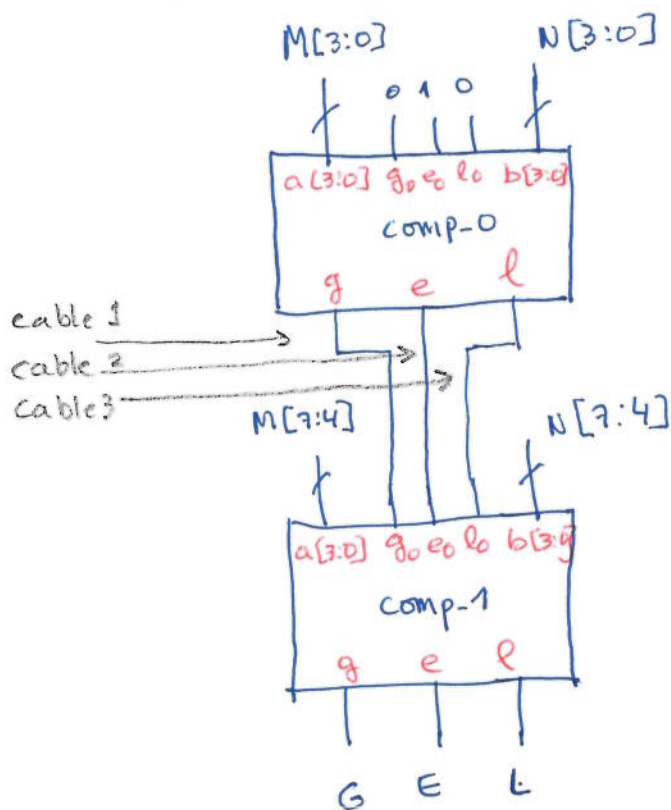
```
else if (a < b)
```

```
l = 1;
```

```
end
```

```
endmodule
```

A continuación se describe el comparador de magnitudes de 8 bits realizado a partir de la conexión de dos instancias del comparador de 4 bits. Tal y como se propone en el enunciado, el circuito es:



↑ este es el nuevo módulo visto desde fuera (su diagrama de bloque o descripción estructural)

He nombrado cable 1, cable 2 y cable 3 a los 3 únicos cables que interconectan ambos módulos entre sí

Descripción Verilog (estructural)

```
module comp8 (input [7:0] M, N, output G, E, L);
```

```
  wire cable1, cable2, cable3;
```

```
  comp comp0 (.a(M[3:0]), .b(N[3:0]), .g0(0),  
             .e0(1), .l0(0), .g(cable1), .e(cable2),  
             .l(cable3));
```

```
  comp comp1 (.a(M[7:4]), .b(N[7:4]), .g0(cable1),  
             .e0(cable2), .l0(cable3), .g(G),  
             .e(E), .l(L));
```

```
endmodule
```

## Apartado 1.

Las soluciones o respuestas pueden encontrarse en el tema 0 de este año en las siguientes transparencias:

6, 11, 14, 16, 18

Estas transparencias fueron, además, desarrolladas durante la clase.