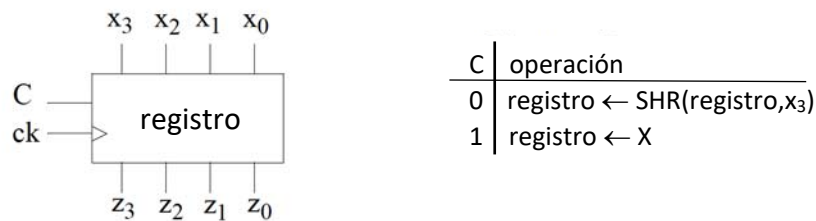


ALUMNO: _____

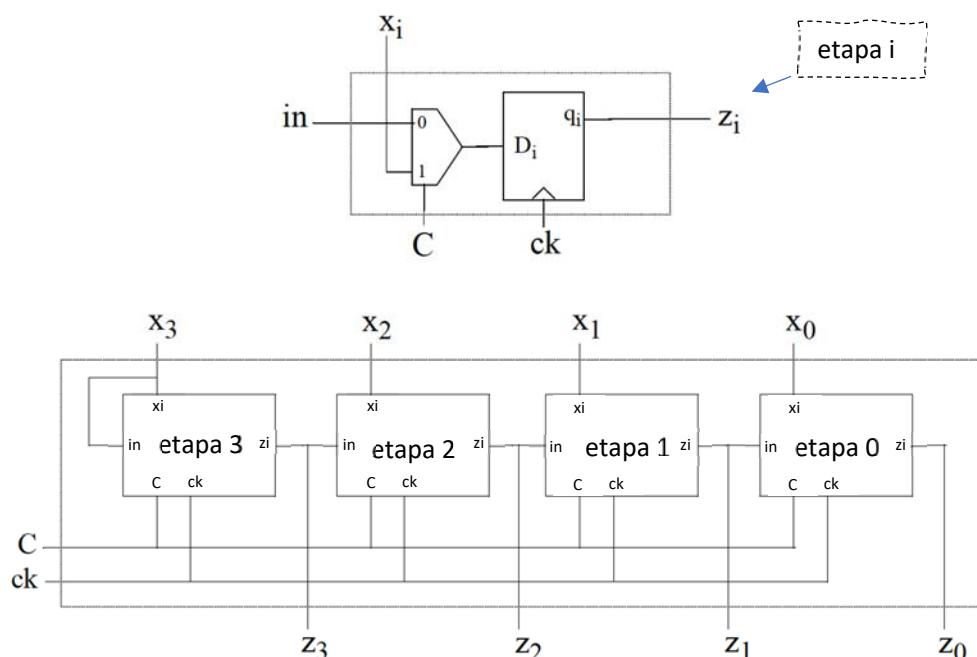
1. Considere una memoria de 4Kx16 y otra de 16Kx4,
 - a. ¿Cuál de ellas tiene mayor capacidad? **(0.5 puntos)**
 - b. ¿Cuántas palabras pueden almacenarse en la memoria de 4Kx16?, ¿y en la de 16Kx4? **(0.5 puntos)**
 - c. A partir de memorias de 4Kx4 y los circuitos combinacionales que necesite, obtenga una memoria de 4Kx16 **(1 punto)**
 - d. A partir de memorias de 4Kx16 y los circuitos combinacionales que necesite obtenga una memoria de 16Kx16 **(1 punto)**

2. Describa en Verilog un contador de módulo 10 con señal de puesta a cero síncrona activa en alto, carga en paralelo y señal de fin de cuenta. Debe especificar claramente los nombres y función de cada una de las señales que utilice. **(2 puntos)**

3. Considere el siguiente registro y descríballo en Verilog utilizando descripción procedimental **(1 punto)**



4. A continuación se muestra un diseño modular del registro del ejercicio anterior. Los dibujos muestran la etapa básica (etapa i) y el circuito correspondiente al registro de 4 bits como interconexión de 4 de estas etapas. Como puede observar, la etapa básica consta de un multiplexor y un biestable D.



A partir de la descripción de los módulos *mux21* y *biestD* que se le proporciona, realice un diseño jerárquico. Para ello, siga los siguientes pasos:

- a. Obtenga el módulo *etapai* a partir de *mux21* y *biestD* mediante descripción estructural **(1,5 puntos)**
- b. Obtenga la descripción del registro a partir de la conexión de 4 instancias de *etapai* **(1 punto)**

```
module mux21 (input a ,b, sel, output z);  
    assign z = ~sel&a | sel&b;  
endmodule
```

```
module biestD (input ck ,d, output reg q);  
    always @ (posedge ck)  
        q <= d;  
endmodule
```

5. Complete el testbench (correspondiente al registro de los apartados 3 y 4) de modo que:
- a. inicialmente todas las entradas parten de valor 0
 - b. se define una señal de reloj de 20 ns de periodo
 - c. la señal C ha de valer 1 desde t=20ns hasta t=40ns
 - d. la señal x_3 ha de valer 1 desde t=40ns hasta t=80ns
 - e. la simulación debe terminar cuando t=120ns
- (1,5 puntos)**

```
module registro_tb;  
  
    reg [3:0] x;  
    reg C, ck;  
    wire [3:0] z;  
  
    registro uut (.x(x),.C(C),.ck(ck),.z(z));  
  
    //completar//
```