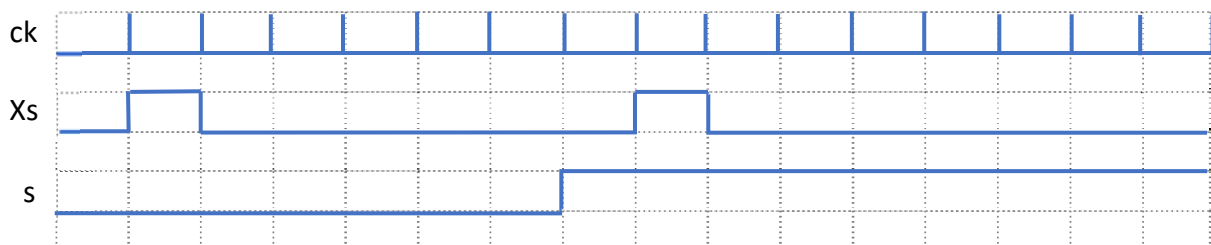
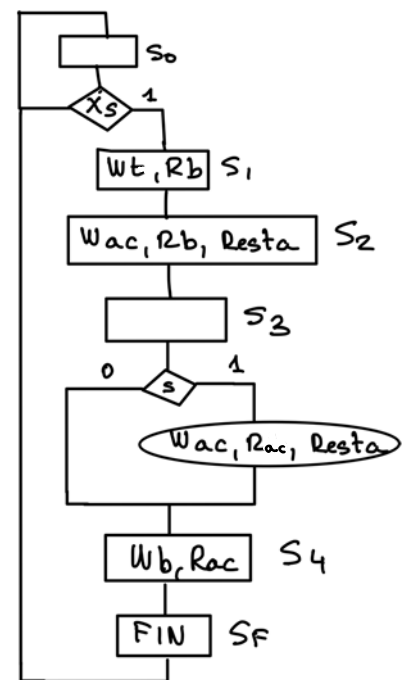
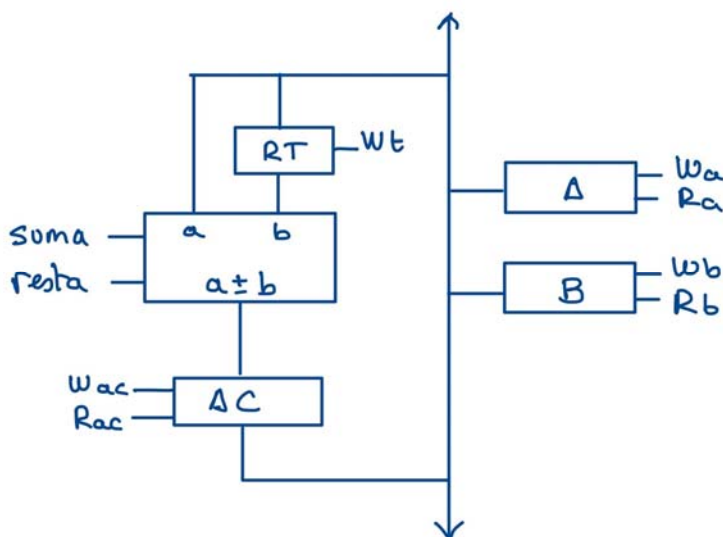


ALUMNO: _____

1. Se tiene un sistema digital cuya unidad de datos se muestra en la figura. También se muestra la carta ASM de la unidad de control y una secuencia de entrada que se utilizará en el apdo. d.
 - a. Haga un diagrama de bloques del sistema en el que aparezcan claramente especificadas las entradas y salidas de la unidad de control y las de la unidad de datos, indicando con flechas el sentido de las señales.
 - b. Describa el registro A a nivel RT y el registro AC en Verilog.
 - c. Explique razonadamente cuál es la tarea que realiza el sistema para los dos valores de s.
 - d. Complete en la plantilla del anexo el diagrama de ondas considerando que las entradas del sistema son las que se muestran.
 - e. Obtenga la descripción Verilog de la unidad de control sobre la plantilla del anexo.
 - f. Puede observar en la carta ASM que cuando $s = 0$ no se realiza ninguna acción en el estado S3. Proponga una optimización de la carta ASM que evite la pérdida de ese ciclo de reloj.



2. Se desea mover el contenido de dos registros A y B de 8 bits a un único registro C de 16 bits de modo que queden intercalados bit a bit, es decir, si $[A] = A_7A_6\dots A_1A_0$ y $[B] = B_7B_6\dots B_1B_0$, al final de la operación el contenido de C debe ser $[C] = A_7B_7A_6B_6\dots A_1B_1A_0B_0$.

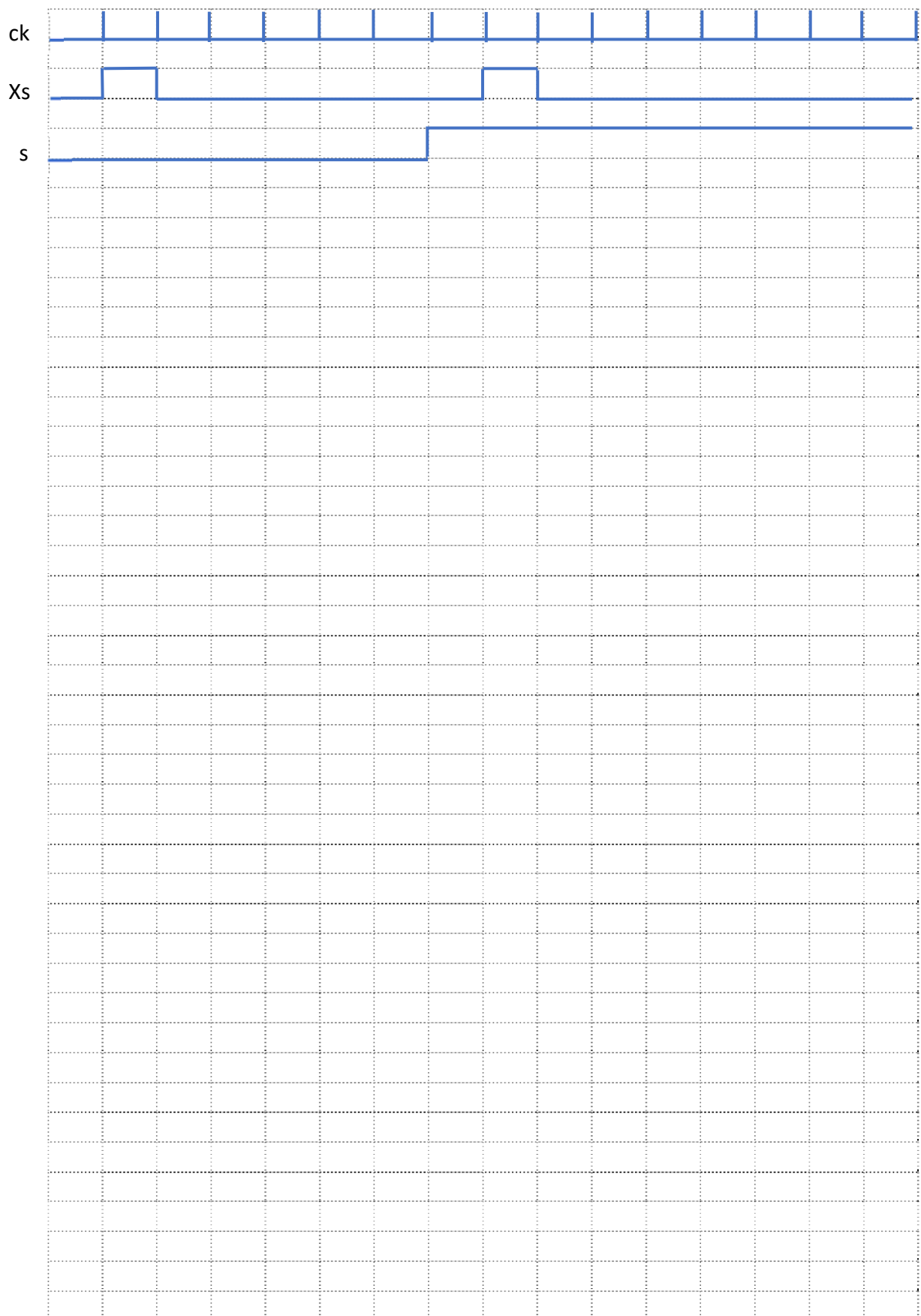
Diseñe un sistema digital que realice la operación descrita, teniendo en cuenta que:

- a. Al comienzo de la operación los datos (DatoA y DatoB) se cargan en los registros A y B respectivamente.
- b. En la unidad de datos puede incluir los elementos que considere necesarios. La única restricción es que el registro C no posee carga en paralelo. Describa los componentes utilizados a nivel RT.
- c. Debe hacer un diagrama de bloques del sistema especificando las entradas y salidas de la unidad de control y las de la unidad de datos, indicando con flechas el sentido de las señales.
- d. Debe proporcionar la carta ASM de la unidad de control.

En este problema, no es necesario que realice ninguna descripción Verilog.

ANEXO

Diagrama de ondas



Descripción Verilog de la unidad de control

```
module Unidad_de_Control (
    input ck, reset,           // Complete con el resto
    output reg                // de entradas y salidas
);

parameter S0 =      ,           // Complete la lista de estados
           S1 =      ,
           SF =      ;

reg [ :0] estado, proximo_estado; // Complete la declaración de vbles de estado

always @ ( posedge clk, posedge reset )
begin
    if (          )           // Complete el "if"

    else                       // Complete el "else"
end

always @ ( estado,          ) //Complete con las entradas
begin
    // Inicialice aquí las salidas

    case (estado) // Complete el "case"
        S0: begin

            end

        SF: begin

            end
    endcase
end
endmodule
```