

ALUMNO: \_\_\_\_\_

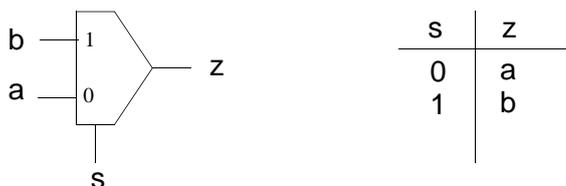
**Apartado 1: (2 ptos)**

- Dibuje a nivel de bloque (caja con entradas y salidas) una memoria ROM de 4Kx8 con entrada de selección de chip activa en bajo ( $\overline{CS}$ ). Dibuje (y justifique su diseño) el circuito que permite obtener a partir de dos ROM de 4Kx8 una ROM de 8Kx8.

- Para la ROM obtenida (8Kx8) explique si tiene acceso secuencial o aleatorio, diga cuántas palabras y de qué anchura almacena, qué nombre reciben las entradas (líneas de ...) y las salidas (líneas de ...).

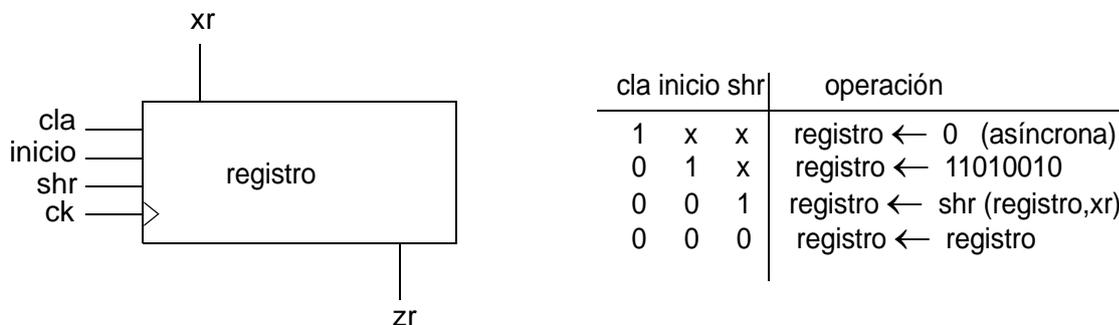
**Apartado 2: (2 ptos)**

Describa en Verilog un multiplexor de dos canales (MUX2:1). Utilice una descripción procedimental. Utilice obligatoriamente los nombres de entradas y salidas que se indican.



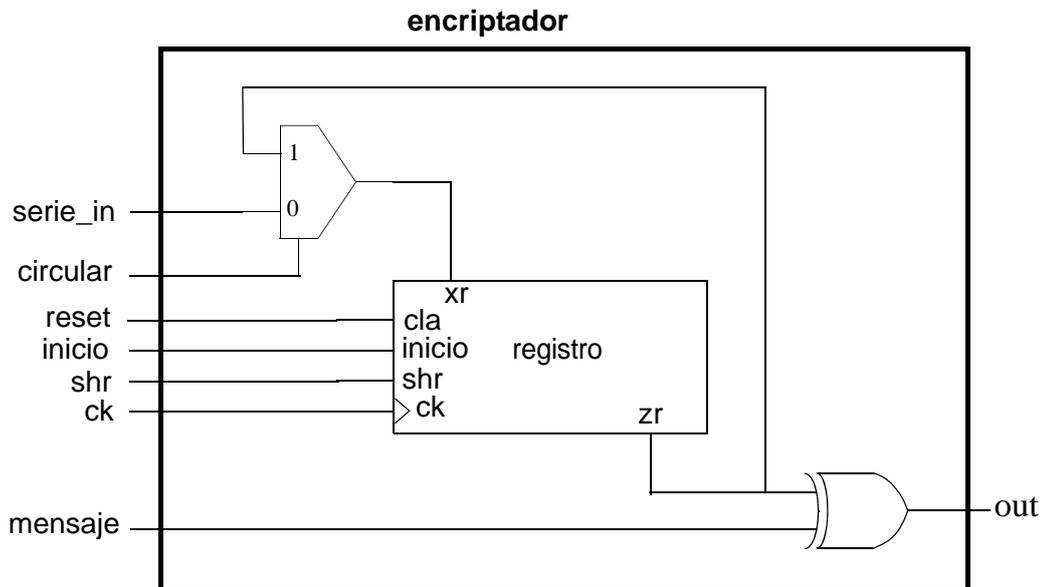
**Apartado 3: (2 ptos)**

Describa en Verilog un registro de desplazamiento de 8 bits como el mostrado en la figura. Utilice una descripción procedimental. Utilice obligatoriamente los nombres de entradas y salidas que se indican.



**Apartado 4: (2 ptos)**

Obtenga el código Verilog correspondiente al módulo encriptador (se muestra en la figura). Encriptador contiene los dos módulos descritos en los apartados anteriores y una puerta xor de librería. Utilice descripción estructural. Es obligatorio que las entradas del módulo encriptador se denominen *serie\_in*, *circular*, *reset*, *inicio*, *shr*, *ck* y *mensaje* y que la salida se llame *out*.

**Apartado 5: (2 ptos)**

Obtenga el código Verilog del *testbench* necesario para poder comprobar mediante simulación el comportamiento del módulo encriptador del apartado 4. Las ondas que se quieren aplicar son las siguientes:

