

Declarar parámetros en Verilog

- se puede hacer en el cuerpo del módulo con la línea

```
parameter parametro1=valor1, parametro2=valor2, ... ;
```

- se puede hacer al definir el módulo de la siguiente forma

```
module nombre_modulo #(parameter parametro1=valor1, parametro2=valor2, ...) (...);
```

Redefinir parámetros en Verilog

- cuando se usa un módulo que está definido con parámetros se puede decidir el valor de los mismos al instanciarlos, de esta forma, aunque en la definición del módulo se le haya dado un valor a los parámetros, podremos cambiarlos al insertar el módulo en otro, para ello, escribiremos:

```
nombre_modulo #(.parametro1(valor1),.parametro2(valor2), ...) nombre_instancia (...);
```

- se puede usar conexión posicional

```
nombre_modulo #(valor1,valor2, ...) nombre_instancia (...);
```

Ejemplos:

Definir parámetro

- en el cuerpo del módulo

```
module sumador (input [N-1:0] a, b, input cin, output [N-1:0] s, output cout);  
  
parameter N =6;  
reg [N:0] res;  
always @(a,b,cin)  
    res=a+b+cin;  
    assign cout = res[N];  
    assign s = res[N-1:0];  
  
endmodule
```

- al definir el módulo

```
module sumador #(parameter N=6) (input [N-1:0] a, b, input cin, output [N-1:0] s, output cout);  
  
    reg [N:0] res;  
    always @(a,b,cin)  
        res=a+b+cin;  
        assign cout = res[N];  
        assign s = res[N-1:0];  
  
endmodule
```

Redefinir parámetro al instanciar el sumador

Vamos a definir un circuito que usa dos instancias del módulo sumador de tamaño 8 y 4 para hacer un sumador de tamaño 12. Es una descripción estructural, se instanciarán los módulos y se conectarán de modo que el acarreo de entrada del módulo más significativo sea el acarreo de salida del menos significativo:

-conexión nombrada:

```
module sumador12 (input [11:0] a, b, input cin, output [11:0] s, output cout)
    wire cable1;
    sumador #(.N(8)) instancia0 (.a(a[7:0]),.b(b[7:0]),.cin(cin),.s(s[7:0]),.cout(cable1));
    sumador #(.N(4)) instancia1 (.a(a[11:8]),.b(b[11:8]),.cin(cable1),.s(s[11:8]),.cout(cout));
endmodule
```

-conexión posicional:

```
module sumador12 (input [11:0] a, b, input cin, output [11:0] s, output cout)
    wire cable1;
    sumador #(8) instancia0 (a[7:0], b[7:0], cin, s[7:0], cable1);
    sumador #(4) instancia1 (a[11:8], b[11:8], cable1, s[11:8], cout);
endmodule
```

Como puede verse hemos modificado el valor del parámetro N del sumador al instanciarlo, una de las veces con valor 8 y la otra con valor 4.