

ANEXO: Información ATmega328

Instrucciones de transferencia de datos

Sintaxis	Descripción	Rango	Operación	Banderines	Ciclos	
MOV	Rd,Rr	Copiar registro	$d,r \in [0,31]$	$Rd \leftarrow Rr$	Ninguno	1
MOVW	Rd,Rr	Copiar registro W	$d,r \in \{0,2,4,\dots,30\}$	$Rd+1:Rd \leftarrow Rr+1:Rr$	Ninguno	1
LDI	Rd,k	Cargar dato inmediato	$d \in [16,31]$ $k \in [0,255]$	$Rd \leftarrow k$	Ninguno	1
LDS	Rd,k	Cargar dato desde la memoria	$d \in [0,31]$ $k \in [0,65535]$	$Rd \leftarrow (k)$	Ninguno	2
LD	Rd,X Rd,X+ Rd,-X Rd,Y Rd,Y+ Rd,-Y Rd,Z Rd,Z+ Rd,-Z	Carga el registro con un dato indirecto	$d \in [0,31]$	$Rd \leftarrow (X)$ $Rd \leftarrow (X); X \leftarrow X+1$ $X \leftarrow X-1; Rd \leftarrow (X)$ $Rd \leftarrow (Y)$ $Rd \leftarrow (Y); Y \leftarrow Y+1$ $Y \leftarrow Y-1; Rd \leftarrow (Y)$ $Rd \leftarrow (Z)$ $Rd \leftarrow (Z); Z \leftarrow Z+1$ $Z \leftarrow Z-1; Rd \leftarrow (Z)$	Ninguno	2
LDD	Rd,Y+q Rd,Z+q	Carga el registro con un dato indirecto con desplazamiento	$d \in [0,31]$ $q \in [0,63], q \geq 0$	$Rd \leftarrow (Y+q)$ $Rd \leftarrow (Z+q)$	Ninguno	2
STS	k, Rr	Almacenar dato en memoria	$r \in [0,31]$ $k \in [0,65535]$	$(k) \leftarrow Rr$	Ninguno	2
ST	X,Rr X+,Rr -X,Rr Y,Rr Y+,Rr -Y,Rr Z,Rr Z+,Rr -Z,Rr	Almacenar registro en memoria	$r \in [0,31]$	$(X) \leftarrow Rr$ $(X) \leftarrow Rr; X \leftarrow X+1$ $X \leftarrow X-1; (X) \leftarrow Rr$ $(Y) \leftarrow Rr$ $(Y) \leftarrow Rr; Y \leftarrow Y+1$ $Y \leftarrow Y-1; v(Y) \leftarrow Rr$ $(Z) \leftarrow Rr$ $(Z) \leftarrow Rr; Z \leftarrow Z+1$ $Z \leftarrow Z-1; (Z) \leftarrow Rr$	Ninguno	2
STD	Y+q,Rr Z+q,Rr	Almacenar registro en memoria con indirecto con desplazamiento	$r \in [0,31]$ $q \in [0,63], q \geq 0$	$(Y+q) \leftarrow Rr$ $(Z+q) \leftarrow Rr$	Ninguno	2
LPM	Rd,Z Rd,Z+	Carga memoria de programa Z es puntero a byte		$R0 \leftarrow (Z)$ $Rd \leftarrow (Z)$ $Rd \leftarrow (Z); Z \leftarrow Z+1$	Ninguno	3
SPM		Almacena en memoria de programa		$(Z) \leftarrow R1:R0$	Ninguno	-
IN	Rd,I/O(A)	Entrada desde registro de I/O	$d \in [0,31]$ $A \in [0,63]$	$Rd \leftarrow I/O(A)$	Ninguno	1
OUT	I/O(A),Rr	Salida hacia registro de I/O	$r \in [0,31]$ $A \in [0,63]$	$I/O(A) \leftarrow Rr$	Ninguno	1
PUSH	Rr	Escritura en pila	$r \in [0,31]$	$STACK \leftarrow Rr$	Ninguno	2
POP	Rd	Lectura de pila	$d \in [0,31]$	$Rd \leftarrow STACK$	Ninguno	2

Instrucciones de manejo de bits

Sintaxis	Descripción	Rango	Operación	Banderines	Ciclos	
SWAP	Rd	Intercambia nibbles	$d \in [0,31]$	$Rd(3..0) \leftarrow \rightarrow Rd(7..4)$	Ninguno	1
SBI	A,b	Poner a 1 el bit b del registro de I/O	$b \in [0,7]$ $A \in [0,31]$	$I/O(A,b) \leftarrow 1$	Ninguno	2
CBI	A,b	Poner a 0 el bit b del registro de I/O	$b \in [0,7]$ $A \in [0,31]$	$I/O(A,b) \leftarrow 0$	Ninguno	2
SEcc	(Ver Nota)	Poner a 1 el bit cc del registro de estado			cc	1
CLcc	(Ver Nota)	Poner a 0 el bit cc del registro de estado			cc	1

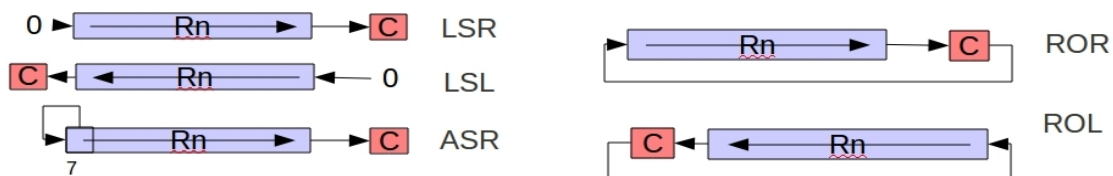
(Nota: En SEcc y CLcc, cc = C,N,T,Z,I,V,H,S)

Instrucciones de control del sistema

Sintaxis	Descripción	Rango	Operación	Banderines	Ciclos
NOP	Nada			Ninguno	1
BREAK	Para depuración			Ninguno	N/A
WDR	Reinicia el temporizador del perro guardián			Ninguno	1
SLEEP	Dormir			Ninguno	1

Instrucciones aritmético-lógicas

Sintaxis	Descripción	Rango	Operación	Banderines	Ciclos	
ADD	Rd,Rr	Suma sin carry	$d,r \in [0,31]$	$Rd \leftarrow Rd + Rr$	Z,N,V,C,H	1
ADC	Rd,Rr	Suma con carry	$d,r \in [0,31]$	$Rd \leftarrow Rd + Rr + C$	Z,N,V,C,H	1
ADIW	Rd,K	Suma inmediato con palabra	$d \in \{24,26,28,30\}$ $K \in [0,63], K > 0$	$Rd+1:Rd \leftarrow Rd+1:Rd + K$	Z,N,V,C	2
SUB	Rd,Rr	Resta sin carry	$d,r \in [0,31]$	$Rd \leftarrow Rd - Rr$	Z,N,V,C,H	1
SUBI	Rd,K	Resta inmediato	$d \in [16,31]$ $K \in [0,255]$	$Rd \leftarrow Rd - K$	Z,N,V,C,H	1
SBC	Rd,Rr	Resta con carry	$d,r \in [0,31]$	$Rd \leftarrow Rd - Rr - C$	Z,N,V,C,H	1
SBCI	Rd,K	Resta inmediato con carry	$d \in [16,31]$ $K \in [0,255]$	$Rd \leftarrow Rd - K - C$	Z,N,V,C,H	1
SBIW	Rd,K	Resta inmediato con palabra	$d \in \{24,26,28,30\}$ $K \in [0,63], K > 0$	$Rd+1:Rd \leftarrow Rd+1:Rd - K$	Z,N,V,C	2
AND	Rd,Rr	And lógica	$d,r \in [0,31]$	$Rd \leftarrow Rd \wedge Rr$	Z,N,V	1
ANDI	Rd,K	And lógica con dato inmediato	$d \in [16,31]$ $K \in [0,255]$	$Rd \leftarrow Rd \wedge K$	Z,N,V	1
OR	Rd,Rr	Or lógica	$d,r \in [0,31]$	$Rd \leftarrow Rd \vee Rr$	Z,N,V	1
ORI	Rd,K	Or lógica con dato inmediato	$d \in [16,31]$ $K \in [0,255]$	$Rd \leftarrow Rd \vee K$	Z,N,V	1
EOR	Rd,Rr	Exclusive or	$d,r \in [0,31]$	$Rd \leftarrow Rd \oplus Rr$	Z,N,V	1
COM	Rd	Complemento a 1	$d,r \in [0,31]$	$Rd \leftarrow \text{SFF} - Rd$	Z,N,V,C	1
NEG	Rd	Complemento a 2	$d,r \in [0,31]$	$Rd \leftarrow \$00 - Rd$	Z,N,V,C	1
INC	Rd	Incrementa	$d,r \in [0,31]$	$Rd \leftarrow Rd + 1$	Z,N,V	1
DEC	Rd	Decrementa	$d,r \in [0,31]$	$Rd \leftarrow Rd - 1$	Z,N,V	1
CLR	Rd	Poner a cero	$d,r \in [0,31]$	$Rd \leftarrow 0$	Z,N,V	1
SER	Rd	Poner todo a 1	$d,r \in [16,31]$	$Rd \leftarrow \text{SFF}$	Z,N,V	1
CP	Rd,Rr	Compara	$d,r \in [0,31]$	$Rd - Rr$	Z,N,V,C,H	1
CPC	Rd,Rr	Compara con carry	$d,r \in [0,31]$	$Rd - Rr - C$	Z,N,V,C,H	1
CPI	Rd,K	Compara inmediato	$d \in [16,31]$ $K \in [0,255]$	$Rd - K$	Z,N,V,C,H	1
MUL	Rd,Rr	Multiplica sin signo	$d,r \in [0,31]$	$R1:R0 \leftarrow Rd \times Rr$	Z,C	2
MULS	Rd,Rr	Multiplica con signo	$d,r \in [16,31]$	$R1:R0 \leftarrow Rd \times Rr$	Z,C	2
MULSU	Rd,Rr	Multiplica signo con sin signo	$d,r \in [16,23]$	$R1:R0 \leftarrow Rd \times Rr$ (Rd signed Rr unsigned)	Z,C	2
LSL	Rd	Desplazamiento lógico a la izquierda (Logical Shift Left)	$d \in [0,31]$	$Rd(n+1) \leftarrow Rd(n)$, $Rd(0) \leftarrow 0, C \leftarrow Rd(7)$	Z,C,N,V,H	1
LSR	Rd	Desplazamiento lógico a la derecha (Logical Shift Right)	$d \in [0,31]$	$Rd(n) \leftarrow Rd(n+1)$, $Rd(7) \leftarrow 0, C \leftarrow Rd(0)$	Z,C,N,V	1
ROL	Rd	Rotación a la izquierda (Rotate Left through Carry)	$d \in [0,31]$	$Rd(n+1) \leftarrow Rd(n)$, $Rd(0) \leftarrow C, C \leftarrow Rd(7)$	Z,C,N,V,H	1
ROR	Rd	Rotación a la derecha (Rotate Right through Carry)	$d \in [0,31]$	$Rd(n) \leftarrow Rd(n+1)$, $Rd(7) \leftarrow C, C \leftarrow Rd(0)$	Z,C,N,V	1
ASR	Rd	Desplazamiento aritmético a la derecha (Arithmetic Shift Right)	$d \in [0,31]$	$Rd(n) \leftarrow Rd(n+1)$, $Rd(7) \leftarrow Rd(7), C \leftarrow Rd(0)$	Z,C,N,V	1



Instrucciones de salto

Sintaxis		Descripción	Rango	Operación	Banderines	Ciclos
RJMP	dir	Salto relativo	$K = \text{dir} - (\text{PC}+1)$ $-2048 \leq K < +2047$	$\text{PC} \leftarrow \text{dir}$	Ninguno	2
JMP	dir	Salto	$0 \leq \text{dir} < 4M$	$\text{PC} \leftarrow \text{dir}$	Ninguno	3
IJMP		Salto indirecto		$\text{PC} \leftarrow Z$	Ninguno	2
RCALL	dir	Llamada a subrutina relativa	$K = \text{dir} - (\text{PC}+1)$ $-2048 < K < +2047$	$\text{STACK} \leftarrow \text{PC}+1$ $\text{PC} \leftarrow \text{dir}$	Ninguno	3
CALL	dir	Llamada a subrutina	$0 \leq \text{dir} < 16K$	$\text{STACK} \leftarrow \text{PC}+2$ $\text{PC} \leftarrow \text{dir}$	Ninguno	4
ICALL		Llamada a subrutina indirecta		$\text{STACK} \leftarrow \text{PC}+1$ $\text{PC} \leftarrow Z$	Ninguno	3
RET		Regreso de subrutina		$\text{PC} \leftarrow \text{STACK}$	Ninguno	4
RETI		Regreso de rutina de interrupción		$\text{PC} \leftarrow \text{STACK}$	I	4
CPSE	Rd,Rr	Compara, esquiva si iguales	$d, r \in [0,31]$	Si $Rd=Rr$ $\text{PC} \leftarrow \text{PC}+2$ (o 3)	Ninguno	1 o 2 o 3
SBRC	Rr,b	Esquiva si el bit b de Rr está a 0	$r \in [0,31]$ $b \in [0,7]$	Si $(Rr(b)=0)$ $\text{PC} \leftarrow \text{PC}+2$ (o 3)	Ninguno	1 o 2 o 3
SBRs	Rr,b	Esquiva si el bit b de Rr está a 1	$r \in [0,31]$ $b \in [0,7]$	Si $(Rr(b)=1)$ $\text{PC} \leftarrow \text{PC}+2$ (o 3)	Ninguno	1 o 2 o 3
SBIC	A,b	Esquiva si el bit b del registro I/O está a 0	$A \in [0,31]$ $b \in [0,7]$	Si $(I/O(A,b)=0)$ $\text{PC} \leftarrow \text{PC}+2$ (o 3)	Ninguno	1 o 2 o 3
SBIS	A,b	Esquiva si el bit b del registro I/O está a 1	$A \in [0,31]$ $b \in [0,7]$	Si $(I/O(A,b)=1)$ $\text{PC} \leftarrow \text{PC}+2$ (o 3)	Ninguno	1 o 2 o 3
BREQ	dir	Salta si iguales	$K = \text{dir} - (\text{PC}+1)$ $-64 \leq K < +63$	Si $(Z=1)$ $\text{PC} \leftarrow \text{dir}$	Ninguno	1 o 2
BRNE	dir	Salta si distintos	$K = \text{dir} - (\text{PC}+1)$ $-64 \leq K < +63$	Si $(Z=0)$ $\text{PC} \leftarrow \text{dir}$	Ninguno	1 o 2
BRCS	dir	Salta si C está a 1	$K = \text{dir} - (\text{PC}+1)$ $-64 \leq K < +63$	Si $(C=1)$ $\text{PC} \leftarrow \text{dir}$	Ninguno	1 o 2
BRCC	dir	Salta si C está a 0	$K = \text{dir} - (\text{PC}+1)$ $-64 \leq K < +63$	Si $(C=0)$ $\text{PC} \leftarrow \text{dir}$	Ninguno	1 o 2
BRLO	dir	Salta si menor, datos sin signo (C=0)	$K = \text{dir} - (\text{PC}+1)$ $-64 \leq K < +63$	Si $(C=1)$ $\text{PC} \leftarrow \text{dir}$	Ninguno	1 o 2
BRSH	dir	Salta si igual o mayor, datos sin signo (C=1)	$K = \text{dir} - (\text{PC}+1)$ $-64 \leq K < +63$	Si $(C=0)$ $\text{PC} \leftarrow \text{dir}$	Ninguno	1 o 2
BRMI	dir	Salta si negativo (N=1)	$K = \text{dir} - (\text{PC}+1)$ $-64 \leq K < +63$	Si $(N=1)$ $\text{PC} \leftarrow \text{dir}$	Ninguno	1 o 2
BRPL	dir	Salta si positivo (N=0)	$K = \text{dir} - (\text{PC}+1)$ $-64 \leq K < +63$	Si $(N=0)$ $\text{PC} \leftarrow \text{dir}$	Ninguno	1 o 2
BRHS	dir	Salta si H está a 1	$K = \text{dir} - (\text{PC}+1)$ $-64 \leq K < +63$	Si $(H=1)$ $\text{PC} \leftarrow \text{dir}$	Ninguno	1 o 2
BRHC	dir	Salta si H está a 0	$K = \text{dir} - (\text{PC}+1)$ $-64 \leq K < +63$	Si $(H=0)$ $\text{PC} \leftarrow \text{dir}$	Ninguno	1 o 2
BRTS	dir	Salta si T está a 1	$K = \text{dir} - (\text{PC}+1)$ $-64 \leq K < +63$	Si $(T=1)$ $\text{PC} \leftarrow \text{dir}$	Ninguno	1 o 2
BRTC	dir	Salta si T está a 0	$K = \text{dir} - (\text{PC}+1)$ $-64 \leq K < +63$	Si $(T=0)$ $\text{PC} \leftarrow \text{dir}$	Ninguno	1 o 2
BRVS	dir	Salta si V está a 1	$K = \text{dir} - (\text{PC}+1)$ $-64 \leq K < +63$	Si $(V=1)$ $\text{PC} \leftarrow \text{dir}$	Ninguno	1 o 2
BRVC	dir	Salta si V está a 0	$K = \text{dir} - (\text{PC}+1)$ $-64 \leq K < +63$	Si $(V=0)$ $\text{PC} \leftarrow \text{dir}$	Ninguno	1 o 2
BRIE	dir	Salta si I está a 1	$K = \text{dir} - (\text{PC}+1)$ $-64 \leq K < +63$	Si $(I=1)$ $\text{PC} \leftarrow \text{dir}$	Ninguno	1 o 2
BRID	dir	Salta si I está a 0	$K = \text{dir} - (\text{PC}+1)$ $-64 \leq K < +63$	Si $(I=0)$ $\text{PC} \leftarrow \text{dir}$	Ninguno	1 o 2
BRGE	dir	Salta si mayor o igual, datos con signo (S=0)	$K = \text{dir} - (\text{PC}+1)$ $-64 \leq K < +63$	Si $(N \oplus V=0)$ $\text{PC} \leftarrow \text{dir}$	Ninguno	1 o 2
BRLT	dir	Salta si menor, datos con signo (S=1)	$K = \text{dir} - (\text{PC}+1)$ $-64 \leq K < +63$	Si $(N \oplus V=1)$ $\text{PC} \leftarrow \text{dir}$	Ninguno	1 o 2

Test (CP Rd,Rr)	Booleana	Mnemonico	Comentario
$Rd \geq Rr$	$(N \oplus V) = 0$	BRGE	Signo
$Rd < Rr$	$(N \oplus V) = 1$	BRLT	Signo
$Rd = Rr$	$Z = 1$	BREQ	Signo/Sin signo
$Rd \neq Rr$	$Z = 0$	BRNE	Signo/Sin signo
$Rd \geq Rr$	$C = 0$	BRCC/BRSH	Sin signo
$Rd < Rr$	$C = 1$	BRCS/BRLO	Sin signo

Tabla de vectores de interrupción y de reset del ATmega328

Vector No.	Program Address	Source	Interrupt Definition
1	0x0000	RESET	External Pin, Power-on Reset, Brown-out Reset and Watchdog System Reset
2	0x0002	INT0	External Interrupt Request 0
3	0x0004	INT1	External Interrupt Request 1
4	0x0006	PCINT0	Pin Change Interrupt Request 0
5	0x0008	PCINT1	Pin Change Interrupt Request 1
6	0x000A	PCINT2	Pin Change Interrupt Request 2
7	0x000C	WDT Watchdog	Time-out Interrupt
8	0x000E	TIMER2 COMPA	Timer/Counter2 Output Compare A Match
9	0x0010	TIMER2 COMPB	Timer/Counter2 Output Compare B Match
10	0x0012	TIMER2 OVF	Timer/Counter2 Overflow
11	0x0014	TIMER1 CAPT	Timer/Counter1 Capture Event
12	0x0016	TIMER1 COMPA	Timer/Counter1 Output Compare A Match
13	0x0018	TIMER1 COMPB	Timer/Counter1 Output Compare B Match
14	0x001A	TIMER1 OVF	Timer/Counter1 Overflow
15	0x001C	TIMER0 COMPA	Timer/Counter0 Output Compare A Match
16	0x001E	TIMER0 COMPB	Timer/Counter0 Output Compare B Match
17	0x0020	TIMER0 OVF	Timer/Counter0 Overflow
18	0x0022	SPI, STC	SPI Serial Transfer Complete
19	0x0024	USART, RX	USART Rx Complete
20	0x0026	USART, UDRE	USART, Data Register Empty
21	0x0028	USART, TX	USART, Tx Complete
22	0x002A	ADC	ADC Conversion Complete
23	0x002C	EE READY	EEPROM Ready
24	0x002E	ANALOG COMP	Analog Comparator
25	0x0030	TWI	2-wire Serial Interface
26	0x0032	SPM READY	Store Program Memory Ready

Nombre estructura y funcionamiento de algunos registros de E/S

TCCR1B – Timer/Counter1 Control Register B

Bit	7	6	5	4	3	2	1	0
(0x81)	ICSC1	ICS1	–	WGM13	WGM12	CS12	CS11	CS10
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W
Initial Value	0	0	0	0	0	0	0	0

- **Bit 3 – WGM12: Waveform Generation Mode**

Este bit controla el modo de funcionamiento del temporizador/contador1:

- Modo "NORMAL" (modo contador) si WGM12 es 0
- Modo "CLEAR TIMER ON COMPARE MATCH" (modo CTC) si WGM12 es 1.

- **Bit 2:0 – CS12:0: Clock Select**

Estos tres bits seleccionan la fuente de reloj utilizada por el temporizador/contador1, de acuerdo a la siguiente tabla.

CS12	CS11	CS10	Descripción
0	0	0	Temporizador/contador parado
0	0	1	Frecuencia clk/1
0	1	0	Frecuencia clk/8
0	1	1	Frecuencia clk/64
1	0	0	Frecuencia clk/256
1	0	1	Frecuencia clk/1024
1	1	0	Flancos de bajada de reloj externo en pin T1
1	1	1	Flancos de subida de reloj externo en pin T1

TCNT1H and TCNT1L – Timer/Counter1

Bit	7	6	5	4	3	2	1	0	
(0x85)	TCNT1[15:8]								TCNT1H
(0x84)	TCNT1[7:0]								TCNT1L
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Los dos registros de E/S del temporizador/contador (TCNT1H y TCNT1L, que combinados son TCNT1) permiten acceder tanto en lectura como en escritura, al valor de 16 bits del contador

OCR1AH and OCR1AL – Output Compare Register 1 A

Bit	7	6	5	4	3	2	1	0	
(0x89)	OCR1A[15:8]								OCR1AH
(0x88)	OCR1A[7:0]								OCR1AL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

El "Output Compare Register" contiene un valor de 16 bits que es comparado continuamente con el valor del contador (TCNT1). Una coincidencia ("match") puede utilizarse para generar una interrupción "Output Compare A Match".

TIMSK1 – Timer/Counter1 Interrupt Mask Register

Bit	7	6	5	4	3	2	1	0	
(0x6F)	-	-	ICF1	-	-	OCF1B	OCIE1A	TOIE1	TIMSK1
Read/Write	R	R	R/W	R	R	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Bit 1 – OCIE1A: Timer/Counter1, Output Compare A Match Interrupt Enable**

Cuando este bit vale 1 y el bit 1 del "Status Register" esté activado, entonces la interrupción "Timer/Counter1 Output Compare A Match" está habilitada. El vector de interrupción correspondiente será ejecutado cuando se active el bit indicador ("flag") OCF1A del TIFR1.

- **Bit 0 – TOIE1: Timer/Counter1, Overflow Interrupt Enable**

Cuando este bit vale 1 y, el bit 1 del "Status Register" está activado, entonces la "Timer/Counter1 Overflow interrupt" está habilitada. El vector de interrupción correspondiente será ejecutado cuando se active el bit indicador ("flag") TOV1 del TIFR1.

TIFR1 – Timer/Counter1 Interrupt Flag Register

Bit	7	6	5	4	3	2	1	0	
0x16 (0x36)	-	-	ICF1	-	-	OCF1B	OCF1A	TOV1	TIFR1
Read/Write	R	R	R/W	R	R	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Bit 1 – OCF1A: Timer/Counter1, Output Compare A Match Flag**

Este bit indicador ("flag") se activa cuando el valor del contador (TCNT1) coincide ("match") con el valor del "Output Compare Register 1 A" (OCR1A). OCF1A se borra automáticamente al ejecutarse el vector de interrupción "Timer/Counter 1 Output Compare A Match". Alternativamente puede borrarse OCF1A escribiendo un 1 en su posición.

- **Bit 0 – TOV1: Timer/Counter1, Overflow Flag**

Este bit indicador ("flag") se activa cuando el valor del contador (TCNT1) desborda "overflows". TOV1 se borra automáticamente al ejecutarse el vector de interrupción "Timer/Counter1 Overflow". Alternativamente puede borrarse TOV1 escribiendo un 1 en su posición.

